

一种基于格雷码的电路自测试序列分配算法

孙海珺^{1),2)} 王宣明²⁾ 卢晓博²⁾ 邵志标²⁾

¹⁾(郑州大学信息工程学院 郑州 450001)

²⁾(西安交通大学电子与信息工程学院 西安 710049)

摘 要 为了降低组合电路内建自测试的测试功耗,提出了一种基于格雷码的测试序列分配算法.分组式格雷码序列和种子序列相异或生成单跳变测试序列,根据电路的基本输入权重,合理分配测试序列位,减少了电路内部节点的跳变,有效降低了电路的测试功耗.该算法应用在改进的布斯二阶乘法器的自测试中,根据不同的数据通道位宽,相对于传统自测试架构,测试功耗降低了 35.6%~43.7%,并且不影响乘法器的性能.对 ISCA85 基准电路的测试结果表明,该算法降低了测试功耗,具有高的故障覆盖率和少的测试长度,与 LFSR 相比功耗下降了 59.3%~97.3%,并且硬件开销小.实验结果表明,该算法有效降低了组合电路的测试功耗,特别适合于系统级芯片内部模块的内建自测试.

关键词 功耗;内建自测试;权重;测试序列;格雷码

中图法分类号 TN47 **DOI 号:** 10.3724/SP.J.1016.2011.01697

An Algorithm of Test Pattern Assignment of Circuit BIST Based on Gray Code

SUN Hai-Jun^{1),2)} WANG Xuan-Ming²⁾ LU Xiao-Bo²⁾ SHAO Zhi-Biao²⁾

¹⁾(School of Information Engineering, Zhengzhou University, Zhengzhou 450001)

²⁾(School of Electronics and Information Engineering, Xi'an Jiaotong University, Xi'an 710049)

Abstract An algorithm is presented to reduce the power dissipation during test application for combinational circuits tested using built in self-test(BIST). The test sequence is generated by logic XOR operation between Group Gray code sequence and its canonical seeds to ensure that it is a single input change(SIC) sequence. According to the primary input weights of circuit, this algorithm properly assigns the Test Pattern Generator(TPG) outputs to the circuit based on the character of Gray code. The algorithm has been used for Modified Booth Multiplier(MBM). As compared to the conventional BIST scheme, the achieved reduction of power dissipation is from 35.6% to 43.7% depending on the size of the MBM. Testing results on the ISCAS'85 benchmark circuit show that the algorithm can achieve low power consumption and higher fault coverage while using less test patterns, and the power consumption is reduced by 59.3%~97.3% compared with LFSR at very small area overhead. Experimental results indicate that the proposed algorithm is very effective and applicable for low power BIST of embedded cores of systems on chip.

Keywords power dissipation; built in self-test(BIST); weight; test pattern; Gray code

收稿日期:2008-01-21;最终修改稿收到日期:2009-06-29. 本课题得到国家自然科学基金(60605009)资助. 孙海珺,男,1976年生,博士,讲师,研究方向为低功耗集成电路设计、集成电路测试. E-mail: iehjsun@zzu.edu.cn. 王宣明,男,1985年生,硕士研究生,研究方向为集成电路测试. 卢晓博,男,1986年生,硕士研究生,研究方向为集成电路测试. 邵志标,男,1942年生,教授,中国计算机学会(CCF)高级会员,主要研究领域为超大规模集成电路测试、电路设计和器件设计.

1 引言

随着 VLSI 的集成度和复杂度不断提高,对电路的测试要求也越来越高,为了降低测试的成本和时间,内部模块的可测性已经成为系统级芯片设计的关键.目前,各种电路内建自测试架构已经被提出,它使系统级芯片的内部模块具有可测性和可控性,避免了外部测试电路和测试向量的引入,提高了测试效率^[1-2].

传统的自测试架构的目标集中在具有高的故障覆盖率、小的测试电路面积和少的测试时间,随着芯片的规模和工作频率不断提高,测试时的功耗对芯片的可靠性和稳定性产生影响,目前,低功耗测试已经成为内建自测试的重要目标^[3].各种低功耗自测试方法已被陆续提出来:改进的 PODEM 算法通过减少测试向量间的翻转降低了测试功耗^[4];基于两个线性反馈移位寄存器运行在不同的速度,测试时电路的翻转减少,测试功耗降低^[5];电路内嵌计数器,对预设的测试向量进行优化,来降低测试时的功耗^[6].

本文通过对格雷码和电路基本输入权重的研究,提出了一种新的由分组式格雷码序列和正交种子序列构成的权重分配自测试架构,有效降低了电路的测试功耗.通过对种子性质的理论推导,本文提出了种子的数学模型以及电路实现.基于乘法器和 ISCAS85 基准电路的实验结果表明,本文提出的自测试架构具有高的故障覆盖率和低的测试功耗,并且硬件开销不大.

2 基于格雷码和正交种子的测试序列分配

2.1 基本输入权重

CMOS 电路的功耗主要来自负载电容的充放电电流,即动态功耗^[7]

$$P_w = (1/2)V_{dd}^2 \sum_l C_l T_l \quad (1)$$

其中, C_l 是电路内部线 l 的负载电容; V_{dd} 是电源电压; T_l 是线 l 的电平翻转总数.

从式(1)中可以看出,通过减少电路内部线的总的翻转数目 $\sum_l T_l$,可以降低电路功耗.令 $f(l)$ 表示线 l 的函数, $\frac{\partial f(l)}{\partial in_i}$ 表示 $f(l)$ 对应于基本输入端 in_i 的

布尔差分,它表明 $f(l)$ 是否对 in_i 敏感,如式(2)所示

$$\frac{\partial f(l)}{\partial in_i} = f(l)_{in_i} \oplus f(l)_{\overline{in_i}} \quad (2)$$

令 $p\left(\frac{\partial f(l)}{\partial in_i}\right)$ 表示 $\frac{\partial f(l)}{\partial in_i}$ 为 1 的概率,则电路的功耗还可以表示为

$$P_w = (1/2)V_{dd}^2 \sum_l C_l \sum_l p\left(\frac{\partial f(l)}{\partial in_i}\right) T(in_i) \quad (3)$$

式(3)表明可以通过减少基本输入端的跳变,从而减少电路内部线的总的翻转数目而使功耗降低.然而,根据电路结构,某些基本输入端的跳变要比其它基本输入端造成更多的内部电路翻转.对应于每一个基本输入端,设定一个权重 $w(in_i)$,如下式所示:

$$w(in_i) = \sum_l C_l p\left(\frac{\partial f(l)}{\partial in_i}\right) \quad (4)$$

权重表明每一个基本输入端的跳变所影响的总的负载电容.从式(3)和式(4)可以看出,权重越大的输入端的翻转越少,则电路的功耗越低.因此,对于测试电路,将测试向量中跳变少的位分配给权重大的基本输入端,可以有效降低测试功耗.

2.2 格雷码的权重分配

格雷码相邻两个编码之间只有一位不同,因此采用格雷码作为测试向量,可以减少基本输入端的跳变.但是,由于格雷码有很多种,相同位翻转的次数是不同的,通过对格雷码的优化筛选,根据电路的基本输入权重,合理分配测试向量,来减少电路内部翻转.测试向量中分配给权重大的输入端的位跳变越少,测试功耗降低越多,因此,应使格雷码的高位翻转最少.

定理 1. 对于 n 位格雷码序列 $G_{2^n \times n}$,当每一位的翻转次数 x_1, x_2, \dots, x_n 为 $1, 2, \dots, 2^{n-1}$,若 g_1 给定,那么应有

$$g_{ij} = \begin{cases} \overline{g_{(i-1)j}}, & i = (2^{n-j} + 1) \bmod (2^{n-j+1}), i \geq 2 \\ g_{(i-1)j}, & \text{其它} \end{cases}$$

证明. n 位格雷码序列 $G_{2^n \times n}$ 可表示为

$$G_{2^n \times n} = \begin{pmatrix} \mathbf{g}_1 \\ \vdots \\ \mathbf{g}_{2^n} \end{pmatrix} = \begin{pmatrix} g_{11} & \cdots & g_{1n} \\ \vdots & \ddots & \vdots \\ g_{2^n 1} & \cdots & g_{2^n n} \end{pmatrix},$$

$\mathbf{g}_1, \mathbf{g}_2, \dots, \mathbf{g}_{2^n}$ 为 n 位格雷码,

对于 n 位格雷码序列 $G_{2^n \times n}$,如果每一位的翻转次数 x_1, x_2, \dots, x_n 为 $1, 2, \dots, 2^{n-1}$,那么第 j 位的翻转如下:第一次在 $2^{n-j} + 1$ 行,以后每隔 2^{n-j+1} 行发生翻转,最后一次在 $2^n - 2^{n-j} + 1$ 行,共翻转 2^{j-1} 次.即当 $i = 2^{n-j} + 1, (2^{n-j} + 1) + 2^{n-j+1}, (2^{n-j} + 1) + 2 \times 2^{n-j+1}, \dots, (2^{n-j} + 1) + k \times 2^{n-j+1}, \dots, (2^{n-j} + 1) +$

$(2^{j-1}-1) \times 2^{n-j+1}$ 时,第 j 位翻转,此时 $g_{ij} = \overline{g_{(i-1)j}}$.

由以上可得

$$g_{ij} = \begin{cases} \overline{g_{(i-1)j}}, & i = (2^{n-j} + 1) \bmod (2^{n-j+1}), i \geq 2 \\ g_{(i-1)j}, & \text{其它} \end{cases}.$$

若首个测试向量给定,则整个格雷码序列可由定理 1 得到.

定理 2. 对于 n 位格雷码序列 $\mathbf{G}_{2^n \times n}$, 每一位的翻转次数 x_1, x_2, \dots, x_n 为 $1, 2, \dots, 2^{n-1}$, 如果 \mathbf{g} 确定为 $(00 \cdots 0)$, 那么所有第 j 位发生翻转的格雷码, 其第 $j+1$ 位到第 n 位均为 $(10 \cdots 0)$, 且第 1 位到第 $j-1$ 位组成 $j-1$ 位的穷举的二进制序列 $\mathbf{G}'_{2^{j-1} \times (j-1)}$.

证明. 根据定理 1, 当 \mathbf{g} 确定为 $(00 \cdots 0)$, 则

$$g_{ij} = \begin{cases} 1, & i \in ((4k-3) \times 2^{n-j}, (4k-1) \times 2^{n-j}], \\ & k \in (1, 2, 3, \dots, 2^{j-2}) \\ 0, & \text{其它} \end{cases}.$$

当第 j 位将要翻转时, $i = 2^{n-j}, 3 \times 2^{n-j}, \dots, (2m-1) \times 2^{n-j} \dots, m \in (1, 2, 3, \dots, 2^{j-1})$, 此时:

对于第 $j+1$ 位,

$$g_{i(j+1)} = \begin{cases} 1, & i \in ((4m-3) \times 2^{n-j-1}, (4m-1) \times 2^{n-j-1}], \\ & m \in (1, 2, 3, \dots, 2^{j-1}) \\ 0, & \text{其它} \end{cases}.$$

因为 $i = (2m-1) \times 2^{n-j} = (4m-2) \times 2^{n-j-1}$,

所以 $i \in ((4m-3) \times 2^{n-j-1}, (4m-1) \times 2^{n-j-1}]$,

$m \in (1, 2, 3, \dots, 2^{j-1})$, $g_{i(j+1)} = 1$.

对于第 j' ($j+2 \leq j' \leq n$) 位,

$$g_{ij'} = \begin{cases} 1, & i \in ((4s-3) \times 2^{n-j'}, (4s-1) \times 2^{n-j'}], \\ & s \in (1, 2, 3, \dots, 2^{j'-2}) \\ 0, & \text{其它} \end{cases}.$$

由于 $i = (2m-1) \times 2^{n-j}$

$$= 4 \times (2m-1) \times 2^{j-j-2} \times 2^{n-j'},$$

令 $r = (2m-1) \times 2^{j-j-2}$, 则 $i = 4r \times 2^{n-j'}$.

因为 $1 \leq r \leq (2^j - 1) \times 2^{j-j-2} < 2^{j'-2}$,

所以 $r \in s$.

因为 $4r \times 2^{n-j'} \notin ((4s-3) \times 2^{n-j'}, (4s-1) \times 2^{n-j'})$, 即 $i \notin ((4s-3) \times 2^{n-j'}, (4s-1) \times 2^{n-j'})$,

所以 $g_{ij'} (j' = j+2, j+3, \dots, n) = 0$.

对于第 1 位到 $j-1$ 位:

当第 j 位要翻转时,

$$\mathbf{g}_i = (g_{i1} g_{i2} \cdots g_{i(j-1)} g_{ij} 10 \cdots 0),$$

$$i = (2m-1) \times 2^{n-j}, m \in (1, 2, 3, \dots, 2^{j-1}).$$

将所有要翻转的格雷码的第 1 位到 $j-1$ 位组成一个 $2^{j-1} \times (j-1)$ 的序列 $\mathbf{G}'_{2^{j-1} \times (j-1)}$, 其第 u 行

$$\mathbf{g}'_u = (g'_{u1} g'_{u2} \cdots g'_{u(j-1)}) = (g_{i1} g_{i2} \cdots g_{i(j-1)}),$$

$$i = (2u-1) \times 2^{n-j}, u \in (1, 2, 3, \dots, 2^{j-1}).$$

由于 \mathbf{g}_i 不发生重复, 故 $\mathbf{G}'_{2^{j-1} \times (j-1)}$ 为穷举的二进制序列. 由以上可证得: 如果 \mathbf{g} 确定为 $(00 \cdots 0)$, 那么所有第 j 位发生翻转的格雷码, 其第 $j+1$ 位到第 n 位均为 $(10 \cdots 0)$, 且第 1 位到第 $j-1$ 位组成 $j-1$ 位的穷举的二进制序列 $\mathbf{G}'_{2^{j-1} \times (j-1)}$.

在测试过程中先根据式(4)可确定权重最小的基本输入端, 将格雷码序列中跳变最多的第 n 位分配给它. 根据定理 2, 格雷码的第 $n-1$ 位在跳变时, 其第 n 位始终为 1, 因此, 在确定权重次小的输入端时, 应将权重最小的输入端赋值为 1, 重新计算余下各端口的权重. 同理, 权重次小的输入端确定后, 计算余下的基本输入端的权重时, 权重次小和最小端口应赋值(10), 依次类推. 根据格雷码的特点, 计算电路基本输入端的权重, 将测试序列中的位合理分配给电路的输入端, 使测试功耗最小化.

2.3 基于格雷码和正交种子的测试序列

采用穷举的格雷码序列作为测试序列, 故障覆盖率会很高, 但是, 随着输入端口数目的增多, 测试向量的数目很大, 测试时间很长. 如果采用部分的格雷码序列作为测试序列, 可能使得比较关键的输入端口翻转频率下降, 从而影响测试覆盖率, 或者在相同测试覆盖率的情况下测试时间延长.

本文提出了基于格雷码和正交种子的测试序列, 它由分组式格雷码序列和正交种子序列异或生成. 分组式格雷码序列按位分组, 逐组发生跳变, 组内为穷举的格雷码. 正交种子序列和分组式格雷码序列异或生成单跳变测试序列, 既可以通过种子使得生成的测试序列对应于关键输入端口的位的翻转频率上升, 从而提高测试覆盖率, 又由于测试序列组内各位的跳变数目不相同, 将跳变少的位分配给能造成更多的内部电路翻转的输入端, 可以降低测试功耗. 本文的分组式格雷码序列是每 4 位分成一组, 矩阵形式如下:

$$\mathbf{C}_{16n \times n} = \begin{bmatrix} c_{0n} & \cdots & c_{01} \\ \vdots & \ddots & \vdots \\ c_{(16n-1)n} & \cdots & c_{(16n-1)1} \end{bmatrix} = \begin{bmatrix} \mathbf{c}_0 \\ \vdots \\ \mathbf{c}_{(16n-1)} \end{bmatrix},$$

其中, n 为组数, c_{ij} 为四位的二进制码.

令格雷码序列

$$\mathbf{G}_{16 \times 4} = (g_1 \ g_2 \ \cdots \ g_{16})^T = (0000 \ 0001 \ \cdots \ 1000)^T$$

(g_i 为 4 位的格雷码),

如果 $\mathbf{c}_0 = [g_1 \ \cdots \ g_1 \ g_1]$, 则 c_{ij} 如下式:

当 $1 \leq i \leq 16n-1$ 时

$$c_{ij} = \begin{cases} g_{\lfloor (i-1)/n \rfloor + 2}, & j=1 \\ c_{(i-1)(j-1)}, & j \geq 2 \end{cases},$$

以 $n=2$ 为例,分组式格雷码序列为

$$\{00000000, 00000001, 00010001, \dots, 10000000\}.$$

本文提出的测试序列代数形式如下:

$$\begin{aligned} \mathbf{T} = \mathbf{C} \oplus \mathbf{S} &= \begin{bmatrix} \mathbf{c}_0 \\ \vdots \\ \mathbf{c}_x \end{bmatrix} \oplus [\mathbf{s}_0 \quad \dots \quad \mathbf{s}_y] \\ &= \begin{bmatrix} \mathbf{c}_0 \oplus \mathbf{s}_0 & \dots & \mathbf{c}_0 \oplus \mathbf{s}_y \\ \mathbf{c}_1 \oplus \mathbf{s}_0 & \dots & \mathbf{c}_1 \oplus \mathbf{s}_y \\ \vdots & & \vdots \\ \mathbf{c}_x \oplus \mathbf{s}_0 & \dots & \mathbf{c}_x \oplus \mathbf{s}_y \end{bmatrix}, \end{aligned}$$

其中 $\mathbf{C} = [\mathbf{c}_0 \quad \mathbf{c}_1 \quad \dots \quad \mathbf{c}_x]^T$ 为分组式格雷码矩阵, $\mathbf{S} = [\mathbf{s}_0 \quad \mathbf{s}_1 \quad \dots \quad \mathbf{s}_y]$ 为种子矩阵. 为了提高测试效率, 正交种子序列和分组式格雷码序列异或应生成不重复的测试序列, 即

$$\begin{aligned} \forall \mathbf{c}_i, \mathbf{c}_j \in \mathbf{C}, \forall \mathbf{s}_p, \mathbf{s}_q \in \mathbf{S}, \text{ 有} \\ \mathbf{s}_p \oplus \mathbf{c}_i \neq \mathbf{s}_q \oplus \mathbf{c}_j \Rightarrow \mathbf{s}_p \oplus \mathbf{s}_q \neq \mathbf{c}_i \oplus \mathbf{c}_j \end{aligned} \quad (5)$$

3 内建自测试电路的架构实现

3.1 种子的生成算法及电路

为了提高故障覆盖率, 测试序列生成的测试向量不应该发生重复.

定理 3. 序列 $\mathbf{S}^m = \{\mathbf{s}_0, \mathbf{s}_1, \mathbf{s}_2, \dots, \mathbf{s}_{2^m-1}\}$ ($m \geq 1$) 满足 $\mathbf{s}_0 = \mathbf{0}$.

$$\mathbf{s}_{2^k+u} = \mathbf{s}_{2^k} \oplus \mathbf{s}_u \quad (0 \leq k \leq m-1, 0 \leq u \leq 2^k-1).$$

如果 \mathbf{S}^m 是分组式格雷码序列的种子序列, 且第 2^m+1 个种子 \mathbf{s}_{2^m} 存在, 那么序列 $\mathbf{S}^{m+1} = \{\mathbf{s}_0, \mathbf{s}_1, \dots, \mathbf{s}_{2^m-1}, \mathbf{s}_{2^m}, \mathbf{s}_{2^m+1}, \dots, \mathbf{s}_{2^{m+1}-1}\}$ 也是分组式格雷码序列的种子序列.

证明. 令 $\mathbf{c}_i, \mathbf{c}_j$ 为分组式格雷码序列中任意两个向量, 由式(5)可知 $\forall \mathbf{s}_h \in \mathbf{S}^m, \forall \mathbf{s}_r \in \mathbf{S}^m$, 有

$$\mathbf{s}_h \oplus \mathbf{s}_r \neq \mathbf{c}_i \oplus \mathbf{c}_j \quad (6)$$

$$\text{令 } \mathbf{S}^r = \mathbf{S}^{m+1} - \mathbf{S}^m = \{\mathbf{s}_{2^m}, \mathbf{s}_{2^m+1}, \dots, \mathbf{s}_{2^{m+1}-1}\}.$$

$$\text{因为 } \mathbf{s}_{2^m+p} = \mathbf{s}_{2^m} \oplus \mathbf{s}_p \quad (0 \leq p \leq 2^m-1),$$

所以 $\forall \mathbf{s}_{2^m+p} \in \mathbf{S}^r, \forall \mathbf{s}_q \in \mathbf{S}^m$, 有

$$\mathbf{s}_{2^m+p} \oplus \mathbf{s}_q = (\mathbf{s}_{2^m} \oplus \mathbf{s}_p) \oplus \mathbf{s}_q.$$

因为 $\mathbf{s}_p \in \mathbf{S}^m, \mathbf{s}_q \in \mathbf{S}^m$,

所以由序列 \mathbf{S}^m 满足的条件可知, $\exists \mathbf{s}_t \in \mathbf{S}^m$, 满足

$$\mathbf{s}_t = \mathbf{s}_p \oplus \mathbf{s}_q,$$

$$\text{所以 } \mathbf{s}_{2^m+p} \oplus \mathbf{s}_q = \mathbf{s}_{2^m} \oplus (\mathbf{s}_p \oplus \mathbf{s}_q) = \mathbf{s}_{2^m} \oplus \mathbf{s}_t.$$

因为 $\mathbf{s}_{2^m}, \mathbf{s}_t$ 都是种子, 由式(5)知

$$\mathbf{s}_{2^m} \oplus \mathbf{s}_t \neq \mathbf{c}_i \oplus \mathbf{c}_j,$$

所以 $\forall \mathbf{s}_{2^m+p} \in \mathbf{S}^r, \forall \mathbf{s}_q \in \mathbf{S}^m$, 有

$$\mathbf{s}_{2^m+p} \oplus \mathbf{s}_q = \mathbf{s}_{2^m} \oplus \mathbf{s}_t \neq \mathbf{c}_i \oplus \mathbf{c}_j \quad (7)$$

$\forall \mathbf{s}_{2^m+d} \in \mathbf{S}^r, \forall \mathbf{s}_{2^m+f} \in \mathbf{S}^r$ ($0 \leq d \leq 2^m-1, 0 \leq f \leq 2^m-1$), 有

$$\mathbf{s}_{2^m+d} \oplus \mathbf{s}_{2^m+f} = (\mathbf{s}_{2^m} \oplus \mathbf{s}_d) \oplus (\mathbf{s}_{2^m} \oplus \mathbf{s}_f) = \mathbf{s}_d \oplus \mathbf{s}_f.$$

因为 $\mathbf{s}_d, \mathbf{s}_f$ 都是种子, 由式(5)知

$$\mathbf{s}_d \oplus \mathbf{s}_f \neq \mathbf{c}_i \oplus \mathbf{c}_j,$$

所以 $\forall \mathbf{s}_{2^m+d} \in \mathbf{S}^r, \forall \mathbf{s}_{2^m+f} \in \mathbf{S}^r$, 有

$$\mathbf{s}_{2^m+d} \oplus \mathbf{s}_{2^m+f} = \mathbf{s}_d \oplus \mathbf{s}_f \neq \mathbf{c}_i \oplus \mathbf{c}_j \quad (8)$$

由式(6)~(8)可知, $\forall \mathbf{s}_u \in \mathbf{S}^{m+1}, \forall \mathbf{s}_v \in \mathbf{S}^{m+1}$, 满足 $\mathbf{s}_u \oplus \mathbf{s}_v \neq \mathbf{c}_i \oplus \mathbf{c}_j$.

因此, 序列 $\mathbf{S}^{m+1} = \{\mathbf{s}_0, \mathbf{s}_1, \dots, \mathbf{s}_{2^m-1}, \mathbf{s}_{2^m}, \dots, \mathbf{s}_{2^{m+1}-1}\}$ 是分组式格雷码序列的种子序列.

根据定理 3, 本文产生种子的方法如下:

① 令第一个种子 $\mathbf{s}_0 = \mathbf{0}, \mathbf{c}_i, \mathbf{c}_j \in \mathbf{C}$;

② 选择种子 \mathbf{s}_1 , 满足 $\mathbf{s}_1 \oplus \mathbf{s}_0 \neq \mathbf{c}_i \oplus \mathbf{c}_j$;

③ 选择种子 \mathbf{s}_2 , 满足

$$\mathbf{s}_2 \oplus \mathbf{s}_v \neq \mathbf{c}_i \oplus \mathbf{c}_j \quad (v < 2), \mathbf{s}_2 \text{ 和 } \mathbf{s}_1 \text{ 异或生成种子 } \mathbf{s}_3;$$

④ 选择种子 \mathbf{s}_4 , 满足

$$\mathbf{s}_4 \oplus \mathbf{s}_v \neq \mathbf{c}_i \oplus \mathbf{c}_j \quad (v < 4), \mathbf{s}_4 \text{ 和 } \mathbf{s}_1, \mathbf{s}_2, \mathbf{s}_3 \text{ 分别异或生}$$

成种子 $\mathbf{s}_5, \mathbf{s}_6, \mathbf{s}_7$;

⑤ 选择第 2^k+1 个种子 \mathbf{s}_{2^k} , 满足

$$\mathbf{s}_{2^k} \oplus \mathbf{s}_v \neq \mathbf{c}_i \oplus \mathbf{c}_j \quad (v < 2^k), \mathbf{s}_{2^k} \text{ 和 } \mathbf{s}_1, \dots, \mathbf{s}_{2^k-1} \text{ 分别}$$

异或生成种子 $\mathbf{s}_{2^k+1}, \dots, \mathbf{s}_{2^k+2^k-1}$ ($k=3, 4, \dots$). 本文将种子 \mathbf{s}_{2^k} ($k=0, 1, 2, \dots$) 称为 key seed, 确定 m 个 key seed 能生成 2^m 个种子. 种子序列中第 $m+1$ 个种子 \mathbf{s}_m (m 的二进制形式为 $b_h \dots b_1 b_0$) 可以表示为

$$\mathbf{s}_m = \mathbf{s}_{(b_h \cdot 2^h + \dots + b_1 \cdot 2 + b_0)},$$

由定理 3 可得

$$\begin{aligned} \mathbf{s}_m &= (b_h \mathbf{s}_{2^h}) \oplus (b_{h-1} \cdot 2^{h-1} + \dots + b_1 \cdot 2 + b_0) \\ &= (b_h \mathbf{s}_{2^h}) \oplus (b_{h-1} \mathbf{s}_{2^{h-1}}) \oplus \dots \oplus (b_0 \mathbf{s}_{2^0}). \end{aligned}$$

令第 i 个 key seed 为 $\mathbf{Y}_{i-1} = \{y_{i-1}^{n-1}, \dots, y_{i-1}^1, y_{i-1}^0\}$, 则

$$\begin{aligned} \mathbf{s}_m &= (b_h \mathbf{Y}_h) \oplus (b_{h-1} \mathbf{Y}_{h-1}) \oplus \dots \oplus (b_0 \mathbf{Y}_0) \\ &= \{(b_h \mathbf{y}_h^{n-1}) \oplus (b_{h-1} \mathbf{y}_{h-1}^{n-1}) \oplus \dots \oplus (b_0 \mathbf{y}_0^{n-1}), \\ &\quad \dots \\ &\quad (b_h \mathbf{y}_h^1) \oplus (b_{h-1} \mathbf{y}_{h-1}^1) \oplus \dots \oplus (b_0 \mathbf{y}_0^1), \\ &\quad (b_h \mathbf{y}_h^0) \oplus (b_{h-1} \mathbf{y}_{h-1}^0) \oplus \dots \oplus (b_0 \mathbf{y}_0^0)\}. \end{aligned}$$

由上式可以看出, key seed 确定以后, \mathbf{s}_m 只与 m 的二进制形式有关. 如果把 $b_h \dots b_1 b_0$ 看成二进制计数器的输出, 那么种子电路可以由计数器和异或门构成.

以 16 位种子为例, 种子电路如图 1 中 a 所示, 7 个 key seed 是

$$\mathbf{Y}_0 = \{1, 0, 1, 0, 0, 1, 0, 1, 0, 1, 1, 1, 1, 1, 1, 0\}, \dots,$$

$Y_6 = \{0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 1, 0, 0, 0, 0, 0, 1\}$, 则

$$s_m = \{ (b_6 y_6^{15}) \oplus (b_5 y_5^{15}) \oplus \dots \oplus (b_0 y_0^{15}), \dots, (b_6 y_6^1) \oplus (b_5 y_5^1) \oplus \dots \oplus (b_0 y_0^1), (b_6 y_6^0) \oplus (b_5 y_5^0) \oplus \dots \oplus (b_0 y_0^0) \} \\ = \{ (b_3 \oplus b_2 \oplus b_0), \dots, (b_5 \oplus b_4 \oplus b_2 \oplus b_1 \oplus b_0), (b_6 \oplus b_5 \oplus b_1) \}.$$

3.2 内建自测试电路

对于输入端口少的被测电路,可以直接采用格

雷码计数器产生穷举的格雷码序列对电路进行测试.对于输入端口多的被测电路,自测试电路由种子电路和分组式格雷码电路构成,如图 1 所示,种子序列(图(a))和分组式格雷码序列(图(b))相异或生成测试序列(图(c)).测试序列是单跳变序列,它通过种子提高基本输入端关键端口的跳变频率,从而提高故障覆盖率,同时又由于测试序列组内各位的跳变数目不相同,根据电路的基本输入权重,将跳变少的位分配给能造成更多的内部电路翻转的被测电路输入端,更多的降低测试功耗.

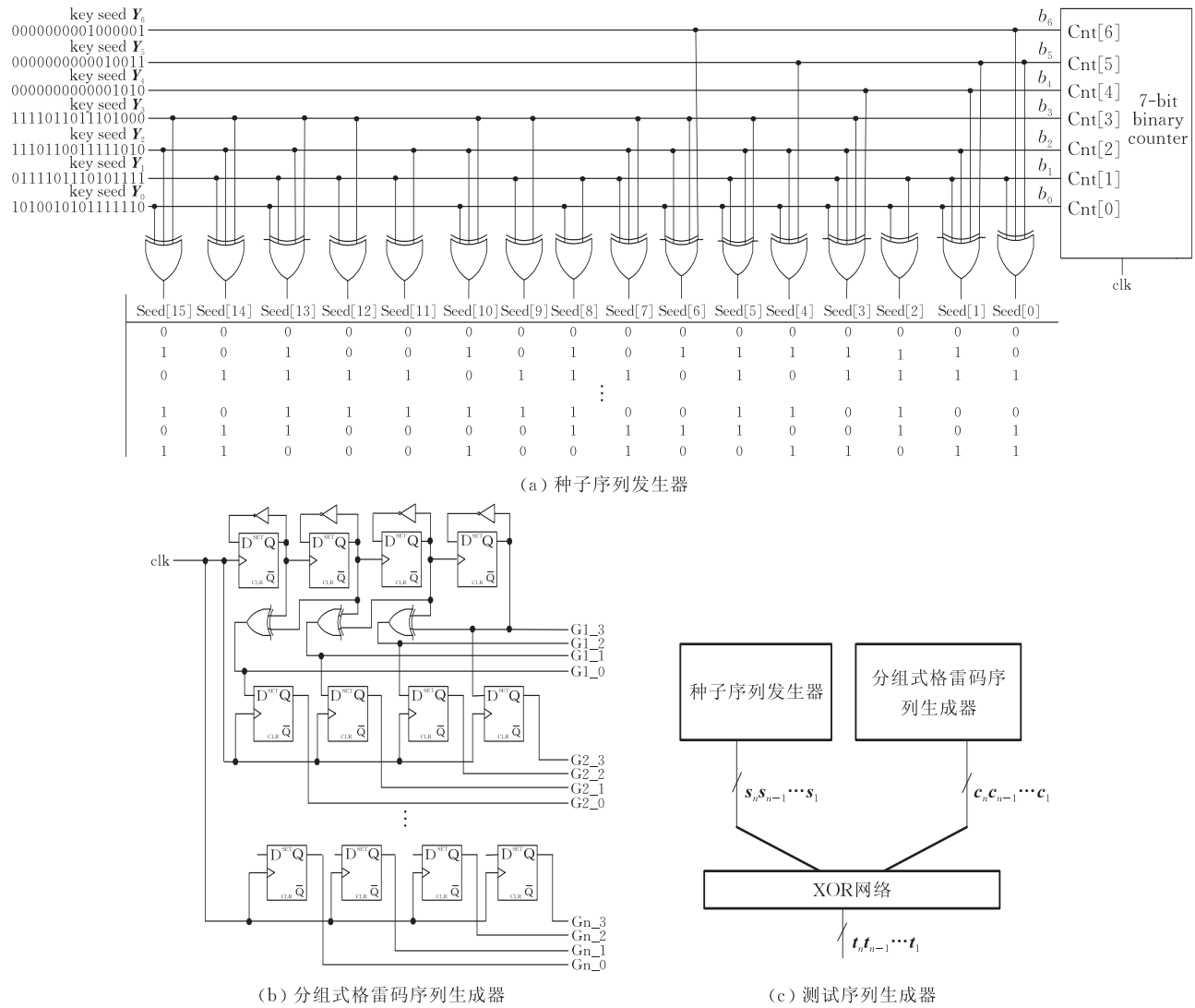


图 1 自测试电路架构

4 实验结果

采用 8 位的格雷码计数器,生成穷举的格雷码序列,对 $n \times n$ 位的布斯乘法器进行测试,其测试结

构如图 2 所示,故障覆盖率可达到 99% 以上^[8].8 位的格雷码计数器产生 256 个测试向量,测试过程中,4 位分配给乘法器的 X 操作数,4 位分配给乘法器的 Y 操作数.本文对 32 位乘法器的逻辑网表提取寄生参数,确定内部每个线 l 的负载,计算出乘法器

的基本输入权重,根据基本输入权重,将格雷码计数器的输出分配到乘法器相应的输入计算测试功耗.

32 位乘法器的基本输入权重如表 1 所示.从表

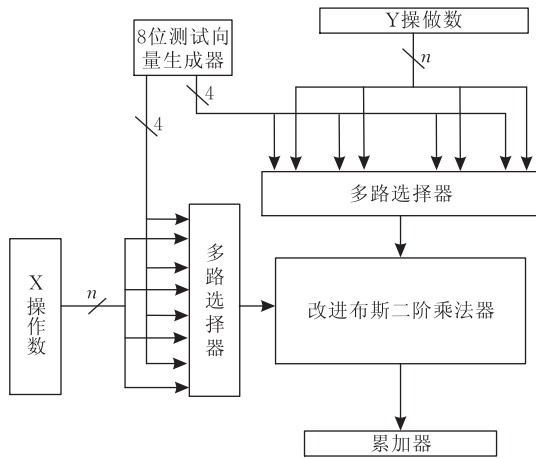


图 2 $n \times n$ 位布斯乘法器内建自测试结构

中可以看出,32 位乘法器的基本输入权重由小到大依次为 $y_0 y_1 y_2 y_3 x_2 x_0 x_3 x_1$.根据乘法器的基本输入权重,将格雷码计数器的输出分配到乘法器相应的输入,在 $0.18\mu\text{m}$ CMOS 工艺下,使用 PrimePower 完成了 8 位、16 位和 32 位乘法器的测试功耗的模拟,并与二进制计数器采用顺序分配进行了比较,结果如表 2 所示.从表中可以看出,采用基于格雷码的测试序列分配算法,乘法器的测试功耗降低从 35.6%到 43.7%.

对于输入端口少的被测电路,可以直接采用格雷码计数器生成穷举的测试序列进行测试,而对于输入端口多的被测电路,自测试电路由种子电路和分组式格雷码电路构成,根据电路的基本输入权重,将测试序列中跳变少的位分配给能造成更多的内部电路翻转的被测电路输入端.

表 1 32×32 改进布斯二阶乘法器的输入权重

$y_3 y_2 y_1 y_0 x_3 x_2 x_1 x_0$	$\sum_{i=0}^7 w(x_{4i+3})$							
	N3	N2	N1	N0	N6	N4	N7	N5
*****	10764.79	10026.86	10006.48	9998.14	20891.98	12686.27	21727.05	12629.48
1*	10833.25	10054.44	10028.25	—	21162.94	13982.13	22014.56	13936.06
10**	10788.75	9904.38	—	—	21196.00	13688.88	22192.25	13605.86
*100****	10450.00	—	—	—	20633.75	11984.00	21332.00	11824.00
1000****	—	—	—	—	20072.75	10511.75	21080.25	10664.75
00001**	—	—	—	—	18844.00	—	19003.00	1727.00
0000*0*1	—	—	—	—	18844.00	—	18941.00	—

表 2 乘法器的测试功耗模拟

	计数器 A 的功耗/W	格雷码 B 的功耗/W	格雷码 C 的功耗/W	功耗减少/%
8 位	1.05×10^{-4}	6.06×10^{-5}	5.91×10^{-5}	43.7
16 位	4.52×10^{-4}	2.97×10^{-4}	2.91×10^{-4}	35.6
32 位	2.04×10^{-3}	1.34×10^{-3}	1.31×10^{-3}	35.8

注:分配 A: $C_0=Y_{4i+3}, C_1=Y_{4i+2}, C_2=Y_{4i+1}, C_3=Y_{4i}, C_4=X_{4i}, C_5=X_{4i+1}, C_6=X_{4i+2}, C_7=X_{4i+3}$;

分配 B: $C_3=Y_{4i+3}, C_2=Y_{4i+2}, C_1=Y_{4i+1}, C_0=Y_{4i}, C_4=X_{4i}, C_5=X_{4i+1}, C_6=X_{4i+2}, C_7=X_{4i+3}$;

分配 C(本文优化): $C_3=Y_{4i+3}, C_2=Y_{4i+2}, C_1=Y_{4i+1}, C_0=Y_{4i}, C_5=X_{4i}, C_7=X_{4i+1}, C_4=X_{4i+2}, C_6=X_{4i+3}$.

本文采用图 1 所示的测试电路对 ISCA85 基准电路进行了故障仿真,测试序列 4 位分成一组,根据权重分配到基准电路的输入端.表 3 比较了本文提出的测试电路与 LFSR 的固定型故障覆盖率(SFC),从表中可以看出,对于绝大部分电路,在测试图形远少于 LFSR 的情况下,本文提出的自测试电路具有更高的故障覆盖率.如 C6288,在 SFC 相同的情况下,测试长度是 LFSR 的 1%;如 C3540,在 SFC 高 3.36%的情况下,测试长度是 LFSR 的 70%.表 4 比较了本文提出的自测试电路和 LFSR 在测试中基准电路全部内部节点电容与跳变次数的乘积之和(用 $\sum t \cdot c$ 表示), $\sum t \cdot c$ 值越高测试功耗

越大.表中 A 表示没有根据权重分配的 $\sum t \cdot c$,B 表示根据权重分配后的 $\sum t \cdot c$,从表中可以看出根据权重分配后的 $\sum t \cdot c$ 比分配前下降了 3.4%~13.7%.在相同的测试长度下,本文提出的自测试电路根据权重分配后的 $\sum t \cdot c$ 比 LFSR 降低了 59.3%~97.3%,对输入端数目最多的 3 个电路 C5315、C7552 和 C2670, $\sum t \cdot c$ 下降均超过 97%.仿真结果表明,本文提出的自测试电路能够有效降低测试功耗.

表 3 本文提出的自测试电路和 LFSR 的故障覆盖率比较

Circuit	LFSR 电路测试结果		本文电路测试结果	
	length	SFC	length	SFC
C880	16384	99.94	8200	100.00
C6288	32768	99.46	338	99.50
C3540	32768	96.30	23240	99.66
C5315	32768	99.42	20560	99.96
C1908	16384	99.48	4860	99.84
C1355	16384	99.71	1680	100.00
C2670	65536	89.24	871680	94.91

表 4 本文提出的自测试电路和 LFSR 的功耗比较

Circuit	Length	$\sum t \cdot c$		
		A	B	LFSR
C880	16400	1502.7	1308.9	18780.9
C6288	1600	8309.8	8021.5	19711.7
C3540	23240	8319.9	8000.5	83291.3
C5315	20560	3005.7	2663.3	91043.5
C7552	31148	5629.4	4859.2	178492.0
C1908	9720	3048.2	2928.2	9853.3
C1355	1680	558.0	538.9	1893.5
C2670	54480	2080.4	1829.0	65171.3

5 结 论

本文提出了一种基于格雷码的测试序列分配算法,根据电路的基本输入权重,合理分配测试向量位,减少了电路内部翻转,有效降低了电路的测试功耗。对于输入端口少的被测电路,直接采用格雷码计数器生成穷举的测试序列进行测试,对于输入端口多的被测电路,自测试电路由种子电路和分组式格雷码电路构成,种子序列和分组式格雷码序列相异或生成单跳变测试序列,对电路进行测试,既可以保证高的故障覆盖率,又由于测试序列各位的跳变数目不相同,将跳变少的位分配给权重大的基本输入端,可以更多地降低测试功耗。

采用格雷码计数器生成穷举的测试序列对改进的布斯二阶乘法器进行了测试,相对于传统自测试架构,测试功耗降低了 35.6% 到 43.7%,并且不影

响乘法器的性能。采用种子序列和分组式格雷码序列相异或生成测试序列,对 ISCA85 基准电路进行了测试,同 LFSR 相比,本文提出的自测试电路具有高的故障覆盖率和少的测试长度,在测试长度相同的情况下,功耗比 LFSR 下降 59.3%~97.3%。实验结果表明,本文提出的测试电路能有效降低测试功耗,具有高的故障覆盖率和少的测试长度,并且硬件开销小。

参 考 文 献

- [1] Wang S. A BIST TPG for low power dissipation and high fault coverage. *IEEE Transactions on VLSI Systems*, 2007, 15(7): 777-789
- [2] Lai N C, Wang S J, Fu Y H. Low-power BIST with a smoother and scan-chain reorder under optimal cluster size. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2006, 25(11): 2586-2594
- [3] Bakalis D, Nikolos D. On low power BIST for carry save array multipliers//*Proceedings of the 5th IEEE International On-Line Testing Workshop*. Rhodes, Greece, 1999; 86-90
- [4] Wang S, Gupta S K. ATPG for heat dissipation minimization during test application. *IEEE Transactions on Computers*, 1998, 47(2): 256-262
- [5] Wang S, Gupta S K. DS-LFSR: A new BIST TPG for low heat dissipation//*Proceedings of the International 1997 Test Conference*. Washington, USA, 1997; 848-857
- [6] Kavousianos X, Nikolos D, Tragoudas S. On-chip deterministic counter-based TPG with low heat dissipation//*Proceedings of the Southwest Symposium on Mixed-Signal Design*. Tucson, USA, 1999; 87-92
- [7] Tsui C Y, Pedram M. Accurate and efficient power simulation strategy by compacting the input vector set. *IEEE Transactions on VLSI Systems*, 1998, 25(1): 37-52
- [8] Gizopoulos D, Paschalis A, Zorian Y. An effective BIST scheme for Booth multipliers//*Proceedings of 1995 IEEE International Test Conference*. Washington, USA, 1995; 824-833



SUN Hai-Jun, born in 1976, Ph. D., lecturer. His research interests include low-power circuit design, VLSI testing.

WANG Xuan-Ming, born in 1985, M. S. candidate. His research interests include VLSI testing.

LU Xiao-Bo, born in 1986, M. S. candidate. His research interests focus on VLSI testing.

SHAO Zhi-Biao, born in 1942, professor. His research interests include VLSI testing, circuit design, and device design.

Background

The ever increasing complexity of integrated circuits highly complicates the testing process. BIST offers a promising solution to this problem. Pseudo-random patterns are often adopted because they are easily generated in a cost-effective way by employing linear feedback shift registers (LFSR). However, due to the existence of random pattern resistant faults (RPRF), unacceptable test lengths are always needed to achieve satisfactory fault coverage. Besides, the correlation between consecutive patterns generated by LFSR is low, which leads to excess power consumption.

Many techniques have been put forward to address the problem of excessive test length. Control and observation points are inserted in the circuit under test (CUT) to detect RPRF. The technique of weighted pseudo-random pattern generation approach is proposed, which is based on weighted pseudorandom testing and uses a novel approach for compressing and storing the weight sets. Markov sources have been shown to be efficient pseudorandom pattern generators in scan BIST. Many techniques have also been reported to reduce test power consumption. A low-transition TPG is proposed, where power is reduced by diminishing the transitions between consecutive patterns and adjacent bits. A TPG called bit-swapping LFSR, which reduces transitions occurring at the scan-chain input. Techniques to reorder scan cells

to reduce test power have been proposed. The technique called first level supply gating (FLS) to virtually eliminate power dissipation in combinational logic by masking signal transitions at the logic inputs during scan shifting. However, these techniques don't combine the low power and test length for combinational circuits testing, and the penalty of these techniques is great area and routing overhead.

This paper proposes a novel algorithm to reduce the power dissipation during test application for combinational circuits, which can reduce test length and power consumption while keeping high fault coverage. The test sequence is generated by logic XOR operation between Group Gray code sequence and its canonical seeds to ensure that it is a single input change (SIC) sequence. According to the primary input weights of circuit, this algorithm properly assigns the Test Pattern Generator (TPG) outputs to the circuit based on the character of gray code. Testing results show that the algorithm can achieve low power consumption and higher fault coverage while using less test patterns. Experimental results indicate that the proposed algorithm is very effective and applicable for low power BIST of embedded cores of systems on chip.

This research is supported by the National Natural Science Foundation of China under grant No. 60605009.