

# 可热扩展的三维并行散热集成方法： 用于大规模并行计算的片上系统关键技术

骆祖莹<sup>1)</sup> 韩银和<sup>2)</sup> 赵国兴<sup>1)</sup> 余先川<sup>1)</sup> 周明全<sup>1)</sup>

<sup>1)</sup>(北京师范大学信息科学与技术学院 北京 100875)

<sup>2)</sup>(中国科学院计算技术研究所 北京 100190)

**摘 要** 现有的三维(3D)垂直集成技术无法实现热扩展,受限于过高的温度,难以通过众多器件层的叠放来实现性能的最大化.文中提出了一种具有热扩展性的3D并行散热集成方法,将每个器件层平行于散热方向进行叠放,器件层为长条形,其短边平行于散热方向,长边垂直于散热方向,这样就保证了每个器件层均可以凭借自身所拥有的高导热性硅衬底(而不是导热过孔)来获得独立而较短的散热通道,保证3D并行散热集成芯片最高温度与所叠加的器件层数无关.文中提出了一种用于3D并行散热集成芯片最高衬底温度计算的分析模型,推导出3D芯片最高衬底温度的解析表达式,从理论上说明了该方法具有热扩展性.通过对未来用于千核并行计算的芯片进行3D集成设计表明:该文3D并行散热集成方法具有热扩展性、不需要导热过孔、良品率高等优点.

**关键词** 片上系统;三维芯片;热分析;并行计算;算法

**中图法分类号** TP391 **DOI号**: 10.3724/SP.J.1016.2011.00717

## Thermal-Scalable 3D Parallel-Heat-Sinking Integration Methodology: Key SoC Technology for Large-Scale Parallel Computing

LUO Zu-Ying<sup>1)</sup> HAN Yin-He<sup>2)</sup> ZHAO Guo-Xing<sup>1)</sup> YU Xian-Chuan<sup>1)</sup> ZHOU Ming-Quan<sup>1)</sup>

<sup>1)</sup>(College of Information Science and Technology, Beijing Normal University, Beijing 100875)

<sup>2)</sup>(Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190)

**Abstract** Present 3D vertical stacking technology is not thermal-scalable and is unable to stack enough layers to maximize chip performance owing to intolerable hotness. This paper proposes a novel thermal-scalable 3D parallel-heat-sinking (PHS) stacking methodology which stacks all layers parallel to the heat-sinking path. All layers are the same strip shape of short dimension parallel to and long dimension vertical to the heat-sinking path. Therefore instead of thermal through-silicon-via (TSV), each regular silicon substrate provides an independent shorter and perfect heat-conduction path for its attached device layer because of silicon's good heat conductance. As a result, the peak substrate temperature of 3D PHS stacking chips does not increase as they stack many more layers. This paper further proposes an analytical model to compute the peak substrate temperature of 3D PHS stacking chips and to show the thermal-scalability of the methodology. Experiments on 3D integration for the future on-chip thousand-core parallel computing draw the conclusion that the 3D PHS methodology is of advantages including thermal scalability, thermal-TSV free, and high yield high yield.

**Keywords** system-on-chip; 3D chip; thermal analysis; parallel computing; algorithm

收稿日期:2010-03-16;修改日期:2011-09-26. 本课题得到国家“八六三”高技术研究发展计划项目基金(2009AA01Z126,2007AA01Z109)、国家自然科学基金(60876025)资助. 骆祖莹,男,1968年生,博士,副教授,主要研究方向为低功耗设计与物理设计. E-mail: luozy@bnu.edu.cn. 韩银和,男,1980年生,博士,副研究员,主要研究方向为IC测试. 赵国兴,男,1981年生,博士,讲师,主要研究方向为并行算法设计. 余先川,男,1967年生,博士,教授,主要研究领域为计算机辅助设计. 周明全,男,1954年生,教授,主要研究领域为虚拟现实与计算机辅助设计.

# 1 引 言

## 1.1 3D 集成技术研究的重要性与优点

摩尔定律(Moore's Law)给出了 IC 产业的发展方向,即 IC 生产工艺 2~3 年提高一代,集成度、性能、和性能/价格比提高一倍<sup>[1-2]</sup>.但随着晶体管尺寸越来越接近其物理极限,如何延续摩尔定律就成为 IT 产业发展的关键<sup>[1-2]</sup>.3D 芯片技术作为一种能够延续摩尔定律的候选技术,获得了广泛的研究<sup>[3-14]</sup>.同时为了提高性能和降低设计复杂度,片上集成并行计算技术被广泛地应用于高端计算领域,多核片上系统(MPSoC)已成为集成电路设计的重要研究方向<sup>[5,14]</sup>.为了追求性能的最大化,未来必须在芯片中集成数以千计的计算单元<sup>[14]</sup>,需要更高的集成度,只有 3D 集成技术才能提供如此高的集成度.

目前,3D 垂直集成技术将普通的 2D 平面芯片或器件层垂直于散热通道进行叠加,所有器件层平行于散热器底面,以获取如下性能和成本的改善:(1)高集成度.由于 3D 芯片拥有 2 个以上的器件层,所以其单位面积上可以集成更多的晶体管,其集成度更高<sup>[3-14]</sup>.(2)高性能.由于 3D 集成中的垂直互连要远短于水平互连,用 3D 芯片代替 2D 芯片,不仅可以减小芯片尺寸,而且使影响芯片性能的全局互连得到明显的缩短,提高芯片的工作频率与性能<sup>[3-14]</sup>.(3)高工艺兼容性.先采用不同工艺制造出无疵内核(Known Good Die, KGD),再对 KGD 进行垂直叠加来制造 3D 芯片,可以获得很好的工艺兼容性<sup>[3-4]</sup>.(4)消除数模混合电路的干扰问题.对于数模混合电路,2D 集成会产生明显的干扰;通过将数模电路分层集成,3D 集成能够很好地消除数模电路之间的干扰<sup>[6]</sup>.(5)减少芯片管脚的需求.3D 芯片中较多的是 KGD 之间的互连,其对外的芯片管脚需求相对较少<sup>[3-7]</sup>.(6)降低封装成本.由于 3D 集成中多个 KGD 共用一个封装,并且芯片管脚少,所以 3D 芯片的封装成本较低<sup>[3-4]</sup>.由于具有众多的优点,所以 3D 集成技术被视为延续摩尔定律的有效手段<sup>[3-14]</sup>.

## 1.2 现有 3D 集成技术所面临的工作温度高难题及其对策

现有的 3D 垂直集成技术工作温度高的缺陷也很明显<sup>[3-14]</sup>,这主要源于:(1)高功耗密度.3D 芯片的高集成度,必然带来高功耗密度,特别是高端 MPSoC 芯片,会因为大规模的并行计算而产生大量

的功耗<sup>[3-5]</sup>.(2)低散热能力.由于导电与导热都靠电子的运动,所以材料的导电性与导热性是正相关的,布线层之间的绝缘隔离层具有很差的导热能力<sup>[3,10-13]</sup>,尤其是多孔结构的低 K 材料绝缘隔离层具有非常差的导热能力<sup>[3]</sup>;一般来说,一个器件层配 4~8 个布线层,如果 3D 芯片集成 3 个以上的器件层,它的导热能力就非常差了,必须插入导热过孔<sup>[11-13]</sup>.

为了更好地控制 3D 芯片的工作温度,不仅要进行基础性的 3D 热分析研究,包括简单的静态热分析方法<sup>[8,16-17]</sup>和较为复杂的动态 RC 热分析方法<sup>[13]</sup>,更要进行温度管理方面的研究<sup>[7-9,11-12]</sup>.目前 3D 芯片的温度管理方法主要有如下 4 种:(1)面向温度的布图规划<sup>[7]</sup>,由于 3D 芯片中与散热片相连的是顶层,顶层散热性最好、温度最低,越往下的层散热性越差、温度越高,所以在布图规划中,将功耗高的功能块置于顶层,功耗低的功能块置于下面的层.(2)面向温度的布局优化<sup>[8]</sup>,在布局优化中,将过孔尽量置于温度梯度大的部位,可以尽快地将 3D 芯片中下层的热量散出.(3)系统运行时的实时温度管理<sup>[9]</sup>,根据对任务的多寡和部件的冷热来进行任务平衡分配,避免系统中出现过热点.(4)插入导热 TSV(Through-Silicon-Via,过硅器件层的过孔)<sup>[8,11-13]</sup>,针对 3D 芯片中下层的散热性差的问题,最直接的方法是插入导热 TSV 来提高散热性能.前 3 种方法是间接温度控制方法,优点是不增加面积和 TSV 的开销,缺点是它们不能在散热片和热源之间建立直接的散热通路,所以散热效果有限;第 4 种方法则是一种直接温度控制方法,导热 TSV 在散热片和热源之间建立起直接的散热通路,所以它的控制温度能力明显强于前 3 种方法,但缺点也很明显,即需增加面积和 TSV 的开销,降低 3D 芯片的集成度.

由于现有 3D 芯片均采用垂直散热技术,所以在进行更多器件层集成时,必须打破散热与供电对 3D 设计的瓶颈约束<sup>[3,12]</sup>.为了未来在单颗芯片上集成多达千颗处理器单元,以进行片上大规模并行计算<sup>[14]</sup>,现行的 3D 垂直集成技术必须回答如下两个科学问题:“3D 集成技术是否存在对器件层叠加数的技术限制?利用 3D 技术的其它可能选择是什么?”<sup>[10]</sup> (“Is there a practical limit of how many levels one should stack? What are other possibilities to utilize 3D technology?”)

## 1.3 本文工作及创新

本文最大的创新就体现在:从理论上首次回答

了以上两个科学问题, 明确指出现有的 3D 垂直集成技术无法对多器件层进行叠加, 并提出了一种能够叠加足够多器件层的 3D 并行集成方法。

为了回答 1.2 节的第一个科学问题, 基于在芯片三维热分析领域作者已有的研究成果<sup>[15,17]</sup>, 对 3D 垂直集成芯片的散热问题进行模型化, 推导出精确计算 3D 芯片最高衬底温度  $T_{\text{chip}}$  的解析表达式, 指出  $T_{\text{chip}}$  是关于 3D 芯片垂直叠层层数  $M$  的二次多项式函数, 从理论上证明了现有的 3D 垂直集成技术具有热不可扩展的固有局限性。

为了回答 1.2 节的第 2 个科学问题, 本文提出了一种并行散热的 3D 集成方法, 将所有器件层与散热通道平行(即所有器件层与散热片的接触面垂直), 借助硅材料的高热导性, 将器件层的衬底用作导热层, 以降低晶体管沟道的温度。由于每个器件层的导热层是固有的, 所以都会获得一个独立而稳定的散热通道, 即 3D 芯片获得了并行散热能力。同时随着器件层的增加, 3D 并行散热集成芯片与散热片之间的接触面积也成比例地增加, 可以有效地将 3D 芯片的热量传出去, 使得 3D 芯片衬底温度保持不变。为此, 本文专门针对 3D 并行散热集成方法进行模型化, 推导出精确计算 3D 芯片最高衬底温度  $T_{\text{chip}}$  的解析表达式, 从理论上证明了 3D 并行散热集成方法具有可热扩展性的优点, 并分析了器件层尺寸对 3D 芯片最高衬底温度的影响。

基于现有的 3D 垂直散热集成方法和本文提出的 3D 并行散热集成方法, 我们对采用 10nm 工艺、面积  $10\text{cm}^2$ 、功耗 200W 的千核 SOC 三维集成进行了散热设计。当采用 3D 垂直集成技术时, 受困于过大的功耗密度与层内温度差, 只有采用传统的双层垂直集成, 才能满足热性能的设计要求, 但单层  $5\text{cm}^2$  内核面积会极大地降低芯片的良品率。采用 3D 并行散热集成方法, 则可以将千核 SOC 等分为 20 个  $0.2 \times 2.5\text{cm}^2$  器件层, 获得  $2.5\text{cm}^2$  的散热面, 此时 3D 芯片的最高衬底温度为  $66.22^\circ\text{C}$ , 小于设定的  $70^\circ\text{C}$  最高温度限, 即满足热性能的设计要求; 同时制造  $0.2 \times 2.5\text{cm}^2$  器件层的无疵内核(KGD)则可以获得较高的良品率, 规避 3D 垂直集成技术所面临的散热和良品率之间的矛盾, 在保证良品率的前提下, 满足热性能的设计要求。

文章最后进一步对 3D 并行散热集成方法所存在的相关技术问题及其解决方案进行了简单论述, 指出本文方法还可以采用如下技术来提高并行处理能力: (1) 每个器件层集成多个处理器核, 多核共用

L2 和 L3-Cache 技术来提高芯片数据处理性能。(2) 采用片上网络(NoC)获得更好的核间数据通信性能, 并减少多核对 3D 芯片 I/O 管脚的需求。(3) 本文方法可以降低对 TSV 资源的需求, 并提供更多的 I/O 管脚, 使 3D 芯片获得更好的供电性能。

总之, 本文提出的 3D 并行散热集成方法具有如下优点: (1) 并行散热; (2) 无需导热 TSV; (3) 高良品率。本文下面内容的组织如下: 第 2 节是研究基础; 第 3 节论述 3D 垂直集成芯片的静态热分析模型并给出这种技术热不可扩展性的结论; 第 4 节提出 3D 并行散热集成方法及其热分析模型、从理论上证明这种新方法的热扩展性优点; 第 5 节对千核 SOC 进行 3D 集成的热设计, 显示 3D 并行散热集成方法的优越性; 第 6 节给出 3D 并行散热集成技术的应用及其相关技术问题; 第 7 节总结全文。

## 2 研究基础

### 2.1 不同材料的热导率

在集成电路所用材料(如 Si、Cu、 $\text{SiO}_2$ 、SiN 等)中, 其热(电)导率差异很大, 但一般而言, 导电材料的导热性好, 绝缘材料的导热性差, 半导体材料的导热性明显好于绝缘材料, 但弱于导电材料。不同材料的热导率  $\kappa$  如表 1 的前 4 项所示。

从表 1 的前 4 项可以看出, 铜具有最好的导热性, 硅材料的导热性也比较好的, 二氧化硅和空气的导热性非常差。在 3D 热分析中, 可以将二氧化硅和空气近似为绝热材料, 硅材料的热导率是铜的  $1/4$ , 所以本文将铜和硅视为导热材料。另外, 栅极绝缘层所用的 high- $\kappa$  材料、铜导线的包裹材料和互连线之间的 low- $\kappa$  材料等用于绝缘的材料均可以视为绝热材料<sup>[3,12]</sup>。此外, 碳纳米管具有非常高的导热性, 但没有应用于实际的 3D 芯片集成, 同时液体微管散热技术过于复杂<sup>[12-13]</sup>, 所以本文不考虑碳纳米管与液体微管, 仅考虑铜材料与硅材料。

### 2.2 2D 芯片的散热系统

图 1 给出了完整的 2D 芯片散热系统结构(事实上 3D 芯片的散热系统结构也是一样的), 在散热片上是导热层, 导热层可进一步分为导热层 1 (TIM1)和导热层 2 (TIM2), 导热层上方就是芯片的内核(die), 导热层的热传导性能远好于空气, 可以有效地改善内核与散热片之间的热传导性能, 因此内核+导热层+散热片构成了主散热通道。内核下方是芯片的封装基座, 封装基座下方是芯片插座,

芯片插座下方则是印刷电路板(PCB),内核+封装基座+芯片插座+PCB 构成了辅散热通道.主散热通道的散热能力强于辅散热通道几个数量级,所以在全芯片 3D 热分析中,均只讨论主散热通道,而忽略辅散热通道,本文下面将主散热通道简称散热通道.

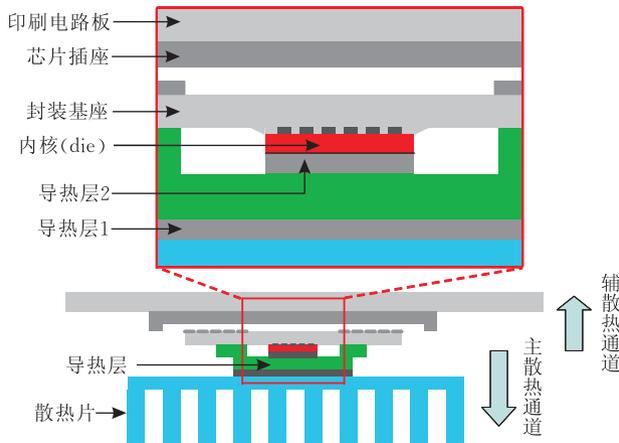


图 1 2D 芯片散热结构的示意

### 2.3 2D 芯片的静态热分析简化模型

由于全芯片 3D 静态热分析较为复杂<sup>[15-17]</sup>,所以本文假设芯片内核的功耗密度分布均匀,硅衬底、导热层、散热片及风扇均匀导热,就可以获得一个简单的串行导热模型,如图 2 所示.在图 2(a)所示的直接简化模型中,硅衬底、导热层、散热片及风扇的导热能力被等效为各自的热阻,分别为  $r_{\text{bulk}}$ 、 $r_{\text{cond}}$ 、 $r_{\text{sink}}$ 、 $r_{\text{fan}}$ ,器件层的功耗密度  $P$  为器件层所产生的热量.在图 2(b)所示的深度简化模型中,导热层、散热片及风扇的热阻被合并为一个总的等效电阻  $r_0$ ,即  $r_0 = r_{\text{cond}} + r_{\text{sink}} + r_{\text{fan}}$ .以上两图可以形式化为如下公式

$$\begin{aligned} T_{\text{chip}} - T_a &= (r_{\text{bulk}} + r_{\text{cond}} + r_{\text{sink}} + r_{\text{fan}})P \\ &= (r_{\text{bulk}} + r_0)P \\ &= r_{\text{system}}P \end{aligned} \quad (1)$$

式中  $r_{\text{system}} = r_{\text{bulk}} + r_0$  为芯片散热系统的系统等效热阻,  $T_a$  为环境温度. Intel 公司的 Xeon 7400 系列处理器手册<sup>[18]</sup>给出了如下的温度函数(最好的一条温度曲线)

$$T_{\text{chip}} = 0.146TDP + 45 \quad (2)$$

式中  $TDP$  (Thermal Design Power) 是芯片的热设计功耗,最高值为 130W,  $T_a$  为 45°C. 从式(2)可以获得如下结论:(1) 芯片的最高工作温度为 64°C. (2) 由于其内核面积为  $A_{\text{chip}} = 1.43\text{cm}^2$ , 则其单位面积所对应的系统热阻  $r_{\text{system}} = 0.146 \times 1.43 = 0.209\text{cm}^2\text{K/W}$ .

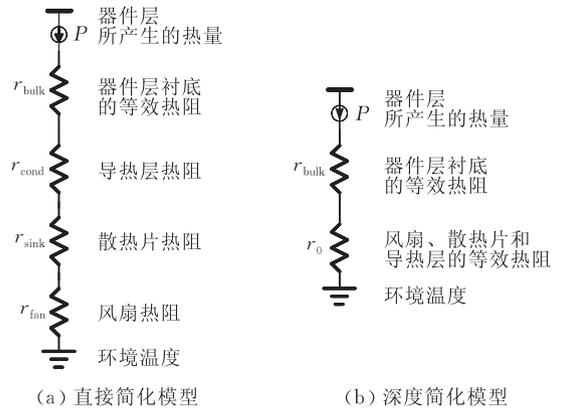


图 2 2D 芯片简化的静态热分析模型

## 3 3D 垂直集成芯片的静态热分析模型

### 3.1 3D 垂直集成芯片

图 3 给出了 3D 垂直集成芯片的结构图及其垂直散热的工作原理.在 3D 垂直散热芯片中,第 1 器件层具有常规厚度的硅衬底,其它器件层具有剪薄衬底,以缩短 3D 互连线长度.3D 互连包含两类 TSV,即信号 TSV 与导热 TSV,信号 TSV 穿过器件层和硅衬底,在两个器件层之间进行信号传输,为了防止信号电流的泄漏,信号 TSV 和硅衬底之间有绝缘层,因此信号 TSV 的导热性比较差;而导热 TSV 仅穿过器件层,在两个相邻的硅衬底之间进行热传导,要求采用导热性非常好的材料,本文采用的是铜.

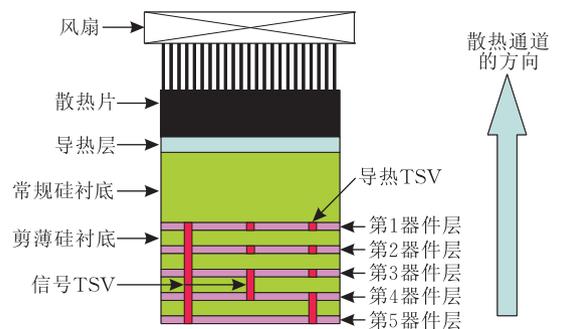


图 3 3D 垂直散热芯片的截面示意图(未按比例绘制)

3D 垂直集成芯片的垂直散热工作原理如下:各个器件层所产生的热量从第 5 器件层向第 1 器件层传导,最后依次经导热层、散热片、风扇,散入环境中,此路径构成了散热通道.因此,在 3D 垂直散热芯片中,沿着散热方向的逆方向,从第 1 器件层到第 5 器件层,其衬底温度依次升高,第 5 器件层的衬底温度最高,被称为 3D 芯片的最高衬底温度  $T_{\text{chip}}$ .同理,对于一个叠加  $M$  个器件层的 3D 垂直散热芯片,

其第  $M$  器件层具有最高衬底温度。

图 4 给出了器件层的版图示意. 对于一个正方形的器件层, 其边长为  $D_{\text{die}}$ , 其面积  $A_{\text{die}} = D_{\text{die}} \times D_{\text{die}}$ . 器件层中有数个 3D 垂直布线通道, 所有 TSV 都布放在 3D 垂直布线通道中<sup>[14]</sup>, 其中信号 TSV 优先布放, 剩下的所有 TSV 均作为导热 TSV. 器件层被 3D 垂直布线通道均匀地分为几个器件模块, 器件模块所产生的热量通过导热 TSV 导出, 每个模块的宽度为  $L_{\text{block}}$ . 由于模块中心线离 3D 垂直布线通道最远, 所以中心线具有模块中的最高温度。

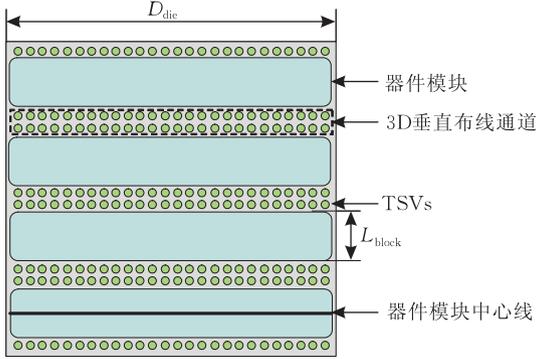


图 4 器件层版图示意(未按比例绘制)

### 3.2 多器件层 3D 垂直散热芯片的热分析模型

为了对 3D 垂直散热芯片静态热分析进行模型化, 本文进行如下假设: (1) 每个器件层具有均匀的功耗密度; (2) 在器件层, 只有导热 TSV 将一个硅衬底的热量传导到它的低温相邻的硅衬底; (3) 导热 TSV 在 3D 垂直布线通道中均匀分布. 依据以上假设可以得出如下结论: (1) 在同一个器件层内, 导热 TSV 具有相同的温度, 传导相同的热量; (2) 在每个器件模块, 由于模块中心线离 3D 垂直布线通道最远, 所以模块中心线具有模块中最高温度。

对于第  $i$  个器件层, 它的剪薄衬底厚度为  $h_2$ , 其器件模块中心线到导热 TSV 之间的温度差取为  $T_{i,\text{block}}$ . 通过 3D 热分析的离散化后, 从器件模块中心线到导热 TSV 之间共有  $0.5L_{\text{block}}/h_2$  个边长为  $h_2$  的正方块质元. 每个质元的热阻为  $r_{\text{thin}} = h_2/k_{\text{Si}}$ , 其中  $k_{\text{Si}}$  为硅材料的热导率,  $k_{\text{Si}}$  单位为  $\text{W}/(\text{cm} \cdot \text{K})$ . 设此器件层上所有器件模块的功耗密度为  $P_i$ , 则可以将  $T_{i,\text{block}}$  形式化为

$$\begin{aligned} T_{i,\text{block}} &= \sum_{j=1}^{0.5L_{\text{block}}/h_2} (j \times r_{\text{thin}} \times P_i) - 0.5 \times \\ &\quad \left( \frac{0.5L_{\text{block}}}{h_2} r_{\text{thin}} \times P_i \right) \\ &= \frac{(0.5L_{\text{block}}/h_2)^2}{2} r_{\text{thin}} P_i \end{aligned}$$

$$\begin{aligned} &= \frac{(0.5L_{\text{block}}/h_2)^2}{2} \times \frac{h_2}{k_{\text{Si}}} P_i \\ &= \frac{L_{\text{block}}^2 P_i}{8h_2 k_{\text{Si}}} \end{aligned} \quad (3)$$

根据式(3)可以得出如下结论: (1) 缩小器件模块宽度  $L_{\text{block}}$  或加厚剪薄衬底的厚度  $h_2$  都可以降低  $T_{i,\text{block}}$ , 但对于 3D 垂直集成设计, 降低  $L_{\text{block}}$  和加厚  $h_2$  都存在技术难度. (2) 降低功耗密度  $P_i$  也可以降低  $T_{i,\text{block}}$ , 可以通过在器件层布放 L2 或 L3 高速缓存的设计来适当降低  $P_i$ , 但大幅度降低  $P_i$  也不现实. (3) 对于具有剪薄衬底的器件层, 降低  $h_2$  尽管可以提高 3D 互连的性能, 但也导致了器件层内导热能力的降低, 扩大了器件层内温度分布的最大温度差。

如图 5 所示, 与形式化  $T_{i,\text{block}}$  所需的平面离散相比, 对每个器件层导热 TSV 的温度进行形式化则需要进行 3D 离散处理, 其中采用边长为  $h_3$  的正方块质元、对厚度为  $h_3$  的常规衬底进行离散化, 每个质元的热阻  $r_1 = h_3/k_{\text{Si}}$ , 并设导热层、散热片及风扇的等效热阻为  $r_0$ . 对于  $i > 1$  的器件层, 取  $r_i$  为厚度为  $h_1$  的第  $i$  个器件层与第  $i+1$  个器件层剪薄衬底的等效热阻, 如果不考虑剪薄衬底中导热通路的侧面扩展效应, 可直接采用下式计算  $r_i$

$$r_i = \frac{A_{\text{die}}}{A_{\text{TSV}}} \times \left( \frac{h_1}{k_{\text{Cu}}} + \frac{h_2}{k_{\text{Si}}} \right) \quad (4)$$

式中  $A_{\text{die}}$  和  $A_{\text{TSV}}$  分别为器件层与 3D 垂直布线通道的面积. 在本文研究中, 我们假设所有 TSV 均作为导热 TSV, 采用铜材料制作导热 TSV, 式中  $k_{\text{Cu}}$  是铜材料的导热率. 基于图 5 所示的 3D 离散化处理, 可以将第  $i$  个器件层的导热 TSV 温度  $T_{i,\text{TSV}}$  形式化为

$$T_{i,\text{TSV}} = T_a + (r_0 + r_1) \sum_{j=1}^M P_j + \sum_{j=2}^i \left[ r_j \sum_{k=j}^M P_k \right] \quad (5)$$

式中  $M$  为 3D 垂直散热芯片所叠加的器件层数,  $T_a$  为环境温度. 将  $T_{i,\text{block}}$  和  $T_{i,\text{TSV}}$  进行相加可以获得第  $i$  个器件层的最高衬底温度  $T_i$

$$\begin{aligned} T_i &= T_{i,\text{TSV}} + T_{i,\text{block}} \\ &= T_a + (r_0 + r_1) \sum_{j=1}^M P_j + \sum_{j=2}^i \left[ r_j \sum_{k=j}^M P_k \right] + \frac{L^2 P_i}{8h_2 k_{\text{Si}}} \end{aligned} \quad (6)$$

将  $T_M$  作为 3D 垂直散热芯片的最高衬底温度  $T_{\text{chip}}$ , 则可以获得下式

$$T_{\text{chip}} = T_M = T_a + (r_0 + r_1) \sum_{j=1}^M P_j +$$

$$\sum_{j=2}^M \left[ r_j \sum_{k=j}^M P_k \right] + \frac{L^2 P_i}{8h_2 k_{Si}} \\ = T_{chip}^{2D} + T_{chip}^{3D} \quad (7)$$

其中

$$T_{chip}^{2D} = T_a + (r_0 + r_1) \sum_{j=1}^M P_j \quad (8)$$

$$T_{chip}^{3D} = \sum_{j=2}^M \left[ r_j \sum_{k=j}^M P_k \right] + \frac{L^2 P_i}{8h_2 k_{Si}} \quad (9)$$

式中  $T_{chip}^{2D}$  是 2D 等效衬底温度,即对所有器件层功耗密度进行累加后,将其总和加到第一器件层所产

生的最高衬底温度;  $T_{chip}^{3D}$  是器件层 3D 垂直叠加所带来的温度增量.按照式(8)和(9),当 3D 所叠加的器件层数  $M$  增加时,  $T_{chip}^{2D}$  呈现出线性增加,  $T_{chip}^{3D}$  则呈现出二次方增加,即 3D 垂直集成芯片的最高衬底温度  $T_{chip}$  是关于其所叠加器件层数  $M$  的二次多形式函数.因此,3D 垂直集成芯片存在一个致命的技术缺陷,即无法实现热扩展,在限定最高工作温度的前提下,3D 垂直集成技术难以叠加更多的器件层,无法实现大规模的片上并行计算.

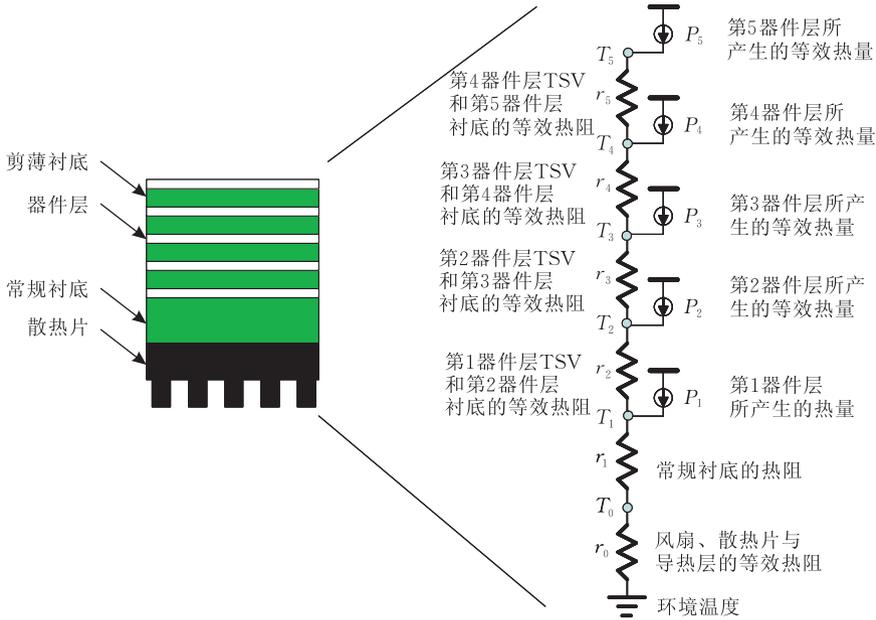


图 5 多器件层 3D 垂直散热集成芯片的静态热分析模型

基于表 2 所给出的 3D 垂直集成工艺与设计参数,本文采用经典的连续过松弛(SOR)算法<sup>[17]</sup>来验证以上的解析分析模型.首先,计算出  $L_{block} = \left(1.0 - \frac{A_{TSV}}{A_{die}}\right) \frac{D_{die}}{N_{block}} = 0.195 \text{cm}$ ,并计算出

$$T_{i,block} = \frac{L_{block}^2 P_i}{8h_2 k_{Si}} = 4.75^\circ\text{C} \quad (10)$$

接着可以计算出  $r_1 = h_3/k_{Si} = 0.05 \text{cm}^2 \cdot \text{K/W}$ ,并采用式(4)计算出  $r_i = 0.205 \text{cm}^2 \cdot \text{K/W}$ ,采用式(5)计算出第  $i$  个器件层的导热 TSV 温度  $T_{i,TSV}$

$$T_{i,TSV} = 45 + 0.209 \times (10 + 5 \times M) + \sum_{j=2}^i [0.205 \times (M - j + 1) \times 5] \\ = 45 + 1.045 \times (2 + M) + 1.025 \times \sum_{j=2}^i (M - j + 1) \quad (11)$$

基于式(7)、(10)、(11)可以计算出 3D 垂直集成芯片的最高衬底温度  $T_{chip}$ :

$$T_{chip} = T_{M,TSV} + T_{M,block} \\ = 45 + 1.045(2 + M) + 1.025 \times \sum_{j=2}^M (M - j + 1) + 4.75 \\ = 49.75 + 1.045(2 + M) + 0.5125M(M - 1) \\ = 51.84 + 0.5325M + 0.5125M^2 \quad (12)$$

对于集成不同器件层数  $M$  的 3D 垂直散热芯片,采用式(12)可以直接计算出最高衬底温度  $T_{chip}$ .为了对叠加 2~10 层的 3D 垂直集成芯片进行设计,本文根据文献[8,14,16]设定相关参数,列于表 1 中.其中与散热片接触的第一器件层功耗密度  $P_1$  为  $15 \text{W/cm}^2$ ,其它器件层的功耗密度均为  $5 \text{W/cm}^2$ ,器件层厚度  $h_1$  取为  $5 \mu\text{m}$ ,剪薄硅衬底厚度  $h_2$  取为  $50 \mu\text{m}$ ,常规硅衬底厚度  $h_3$  取为  $500 \mu\text{m}$ ,器件层正方形内核面积  $A_{die}$  为  $1.0 \text{cm}^2$ ,边长  $D_{die}$  为  $1.0 \text{cm}$ ,器件层 3D 互连通道面积  $A_{TSV}$  为  $0.025 \text{cm}^2$ ,器件层拥有  $N_{block} = 5$  个功能模块,环境温度  $T_a$  为  $45^\circ\text{C}$ .

将采用本文模型计算出的  $T_{chip}$  数据与 SOR 模

拟算法求解的数据列在表 2 中. 从表中数据可以看出, 随着 3D 垂直散热芯片所集成器件层数  $M$  的增加,  $T_{\text{chip}}$  快速增加, 呈现出二次曲线性质, 这表明 3D 垂直集成技术无法进行热扩展, 存在着致命的热性能缺陷; 同时, 与采用 SOR 算法模拟出的精确值相比, 本文解析模型所计算  $T_{\text{chip}}$  的最大误差小于 1.7%, 这表明本文模型足够精确. 因此, 本文模型可以直接用来计算集成  $M$  个器件层的 3D 垂直集成芯片的最高衬底温度  $T_{\text{chip}}$ , 分析 3D 垂直集成设计的热性能.

表 1 用于 3D 垂直集成芯片热设计的全部工艺与设计参数<sup>[8,14,16]</sup>

参数	取值	参数	取值
$k_{\text{Cu}}$	4.00W/(cm·K)	$r_0$	0.159cm <sup>2</sup> K/W
$k_{\text{Si}}$	1.00W/(cm·K)	$M$	2~10
$k_{\text{SiO}_2}$	0.014W/(cm·K)	$N_{\text{block}}$	5
$k_{\text{air}}$	0.0003W/(cm·K)	$A_{\text{die}}$	1.00cm <sup>2</sup>
$h_1$	5 $\mu\text{m}$	$D_{\text{die}}$	1.00cm
$h_2$	50 $\mu\text{m}$	$A_{\text{TSV}}$	0.025cm <sup>2</sup>
$h_3$	500 $\mu\text{m}$	$P_1$	15W/cm <sup>2</sup>
$T_a$	45 $^{\circ}\text{C}$	$P_2 \sim P_{10}$	5W/cm <sup>2</sup>

表 2 关于 3D 垂直集成芯片  $T_{\text{chip}}$  的算法比较

$M$	SOR	解析模型	误差/%
2	55.35	54.96	-0.72
3	58.84	58.05	-1.34
4	63.19	62.17	-1.62
5	68.41	67.32	-1.61
6	74.51	73.49	-1.37
7	81.47	80.68	-0.96
8	89.29	88.90	-0.44
9	97.99	98.15	0.16
10	107.56	108.42	0.80

## 4 3D 并行散热集成方法及其热分析模型

### 4.1 多器件层 3D 并行散热集成方法

由于 3D 垂直集成技术无法解决热扩展性问题, 现有的 3D 垂直集成技术难以在 3D 芯片中集成众多的器件层. 但 IC 工业确实需要集成更多的器件层来实现片上大规模并行计算<sup>[6,14]</sup>. 为了克服 3D 垂直集成技术难以进行热扩展的缺陷, 本文提出了一种全新的多器件层 3D 并行散热集成技术, 即将器件层做成长条形内核, 长边垂直于散热通道方向, 短边平行于散热通道方向, 具体如图 6 所示.

按照 3D 集成工艺<sup>[3]</sup>, 多器件层 3D 并行散热集成技术的制造工艺流程是: (1) 制造无疵内核 (KGD), 先在晶圆 (Wafer) 上制造内核, 再采用磨平工艺以获得常规厚度的衬底, 然后进行切割、测试,

最后获得形状划一的无疵内核. (2) 将无疵内核逐片进行粘接, 粘接前必须采用高精度的对准定位, 以保证信号 TSV 的连通. (3) 将粘接完毕的 3D 芯片固定在封装基底上, 获得一颗 3D 芯片. 封装基底与散热片位于 3D 芯片内核的两侧, 图 6 中只画出散热片, 而没有画出封装基底.

3D 并行散热集成方法具有两个重要的优点来保证它的热扩展性: (1) 图中所有器件层均具有常规厚度的硅衬底, 由于硅材料是一种很好的导热材料, 每个器件层均可以通过它自己的硅衬底将它产生的热量传导到散热片, 所以每个器件层都拥有自己独立的散热通道, 因此本文提出的 3D 集成方法具有并行散热能力. (2) 对于 3D 并行散热集成芯片, 由于它与散热片之间的接触面积正比于器件层数, 所以当它集成更多的器件层时, 它与散热片之间的接触面积也同比增大, 加大热对流的能力. 与此相反, 当所集成的器件层数增加时, 3D 垂直集成芯片与散热片的接触面积却没有增加.

受惠于以上两个优点, 当集成的器件层数增加时, 3D 并行散热集成芯片的衬底温度才能够保持不变. 同时如图 6 所示, 3D 并行散热集成方法不需要导热 TSV, 不会产生 TSV 和芯片面积的额外开销. 在 3D 并行散热集成方法中, 每个器件层均为具有常规厚度硅衬底的无疵内核 (KGD), 通过适当封装来制造 3D 并行散热集成芯片. 由于每个无疵内核的面积较小, 所以无疵内核制造良品率很高, 进而保证 3D 并行散热集成芯片的高良品率.

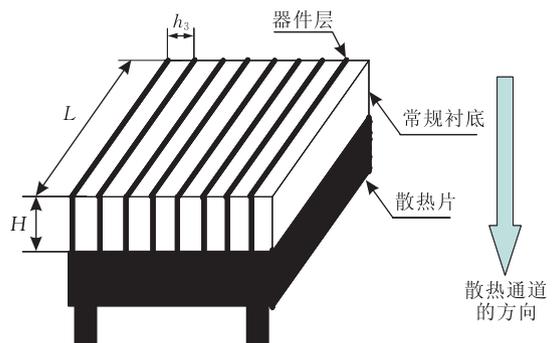


图 6 多器件层 3D 并行散热集成技术的装配及散热示意 (未按比例绘制)

为了控制 3D 并行散热集成芯片的最高衬底温度  $T_{\text{chip}}$ , 应当适当降低器件层高度  $H$  的取值. 本部分下面内容将推导二者之间的关系.

### 4.2 用于 3D 并行散热芯片热分析的离散化模型

在 3D 芯片并行散热器件层的分布式热分析模型化中, 本文按如下步骤进行离散化:

(1) 设 3D 并行散热集成芯片的所有器件层具有相同功耗  $P_D$ , 也具有相同的面积与尺寸规格, 其面积  $A_D = H \times L$ , 则器件层的功耗密度为  $P_d = P_D/A_D = P_D/(H \times L)$ .

(2) 以常规衬底厚度  $h_3$  为单位将器件层高度  $H$  均匀细分为  $K$  个热量单元, 其计算公式如下

$$K = H \div h_3 \quad (13)$$

中轴线上的标准热阻为  $r_d$ , 可以用下式表示

$$r_d = h_3 \div \kappa_{si} = h_3 \div 1.0 = h_3 \quad (14)$$

(3) 第  $i$  个热量单元的功耗密度  $P_d$  分别通过水平热阻传到衬底的散热通道(中轴线)上, 由于从器件层到中轴线的距离为  $0.5h_3$ , 所以水平热阻为  $0.5r_d$ .

(4) 第  $i$  个热量单元的功耗密度  $P_d$  传到中轴线后, 汇合从上面传来的  $(i-1) \times P_d$  功耗密度, 向下传的功耗密度为  $i \times P_d$ .

(5) 中轴线上的热量沿中轴线向散热片传导, 标准热阻为  $r_d$ , 由于从散热片接触面到第 1 个温度节点的距离为  $0.5h_3$ , 所以与散热片热阻  $r_0$  相连的热阻为  $0.5r_d$ .

(6) 导热层与内核接触面处的功耗密度为  $K \times P_d$ .

(7) 风扇、散热片、导热层的等效热阻为  $r_0$ .

(8) 由于各器件层拥有各自独立的散热通道, 所

以每个器件层的散热通路相互独立.

#### 4.3 3D 并行散热集成技术热分析的解析模型

如图 7 所示, 3D 并行散热集成芯片的最高衬底温度  $T_{\text{chip}}$  与器件层数  $M$  无关, 只与器件层的功耗密度、尺寸规格有关, 所以 3D 并行散热集成技术具有热可扩展性. 根据图 7 所示的模型化结果, 可以计算出  $T_{\text{chip}}$ :

$$\begin{aligned} T_{\text{chip}} &= T_a + 0.5r_d \times P_d + \sum_{i=1}^{K-1} \{i \times r_d \times P_d\} + \\ &\quad (0.5r_d + r_0) \times K \times P_d \\ &= T_a + 0.5(K^2 + 1) \times r_d \times P_d + r_0 \times K \times P_d \end{aligned} \quad (15)$$

按照表 1 中的参数, 可以获得  $r_d = 0.05 \text{cm}^2 \cdot \text{K/W}$  和  $r_0 = 0.159 \text{cm}^2 \cdot \text{K/W}$ , 进而将式(15)改写为

$$\begin{aligned} T_{\text{chip}} &= T_a + 0.5(K^2 + 1)0.05P_d + K \times 0.159P_d \\ &= T_a + (0.025 + 0.159K + 0.025K^2)P_d \end{aligned} \quad (16)$$

从式(16)可以获得关于 3D 并行散热集成方法的如下结论: (1)  $T_{\text{chip}}$  和器件层数  $M$  无关, 即 3D 并行散热集成方法具有明显的热可扩展性. (2)  $T_{\text{chip}}$  正比于器件层功耗密度  $P_d$ . (3)  $T_{\text{chip}}$  正比于  $K$  的平方, 由于  $K = H/h_3$ , 所以随着器件层高度  $H$  的增加,  $T_{\text{chip}}$  会呈现出平方量的增加. 因此, 可以通过调低  $P_d$  和  $H$  的值, 来达到降低  $T_{\text{chip}}$  的目的. 对于条状的器件层, 它的高度较小, 因此可以保证较低的  $T_{\text{chip}}$ .

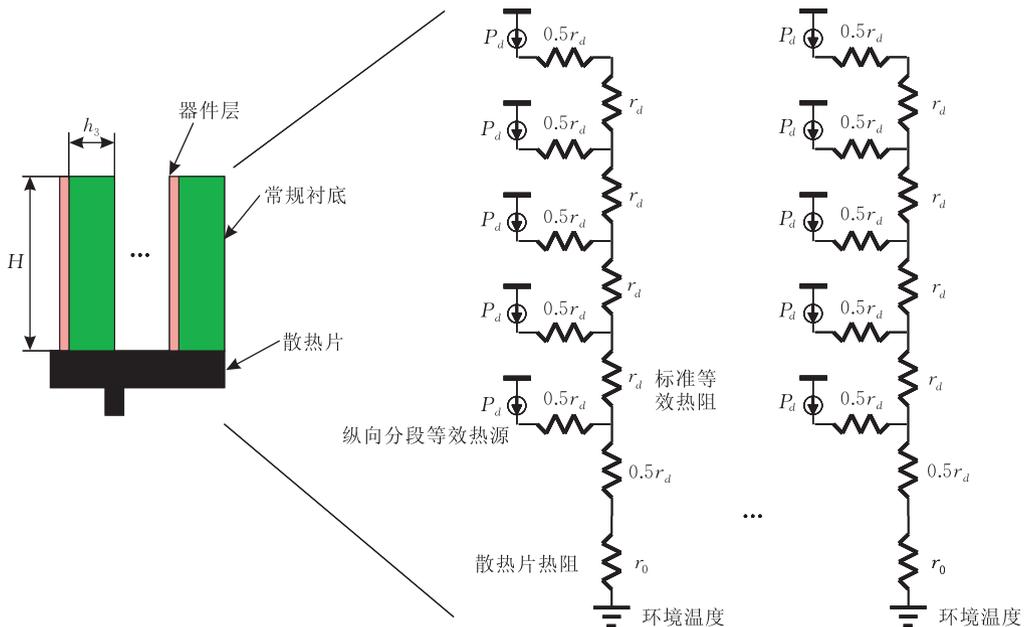


图 7 3D 并行散热集成芯片的分布式热分析模型

为了验证以上所推导的 3D 并行散热集成芯片热分析的解析模型, 本文分别采用经典的 SOR 求解方法和本文的解析模型分别求解  $T_{\text{chip}}$ , 其中器件

层功耗密度  $P_d$  取为  $10 \text{W/cm}^2$ . 在 SOR 求解方法中, 为了保证 SOR 求解的精确性, 采用边长为  $50 \mu\text{m}$  (而不是  $500 \mu\text{m}$  的  $h_3$ ) 的正方块对 3D 并行散热集

成芯片进行离散化. 对应于不同的  $K$  取值, 所有  $T_{\text{chip}}$  的求解值(单位为  $^{\circ}\text{C}$ ) 被列于表 3 中. 如表 3 所示, 随着  $K$  取值的不断增加,  $T_{\text{chip}}$  也快速增加, 并呈现出二次曲线的变化规律, 表明  $T_{\text{chip}}$  与  $K$  (和  $H$ ) 之间存在二次多项式函数的关系. 同时, 与 SOR 算法相比, 本文的解析模型非常精确, 其最大误差小于 0.17%, 因此本文的解析模型可以用于快速分析 3D 并行散热集成设计的热性能.

表 3 关于 3D 并行散热集成芯片最高衬底温度  $T_{\text{chip}}$  的方法比较

$K=H/h_3$	SOR	解析方法	误差/%
2	49.35	49.43	0.167
3	52.19	52.27	0.158
4	55.53	55.61	0.149
5	59.37	59.45	0.139
6	63.71	63.79	0.130
7	68.55	68.63	0.121
8	73.89	73.97	0.112
9	79.73	79.81	0.104
10	86.07	86.15	0.096

## 5 千核 SOC 的 3D 集成热设计

对于目前采用 45nm 生产的 Xeon 7400 系列处理器<sup>[18]</sup>, 其内核面积为  $1.43\text{cm}^2$ , 最大功耗为 130W, 包含 6 个处理器单元. 按照摩尔定律, 在 10 年内 IC 工艺将提高 4 代, 即  $45\text{nm} \rightarrow 32\text{nm} \rightarrow 22\text{nm} \rightarrow 15\text{nm} \rightarrow 10\text{nm}$ , 集成度提高 16 倍, 可以在  $1.43\text{cm}^2$  面积上集成 96 个核, 单核功耗可以控制在 1W 左右. 受困于 MOS 管工艺的量子效应, 10nm 以后的工艺提升将面临物理极限, 难于再对工艺进行提升. 为了延续摩尔定律, 3D 集成芯片的层数将不断增加, 以保持芯片集成度的不断提升, 如何对千核 SOC 进行 3D 集成成为一个有意义的研究问题<sup>[10-14]</sup>.

在千核 SOC 的 3D 集成中, 我们可以假设芯片采用 10nm 工艺, 单核面积为  $0.01\text{cm}^2$  (即  $1\text{mm}^2$ ), 单核功耗为 0.2W (采用超低功耗设计), 从理论上对千核 SOC 的 3D 集成进行散热设计, 尽管 10nm 工艺在今天看来还是不可想象的. 按照以上假设, 千核 SOC 的内核面积为  $10\text{cm}^2$ , 功耗为 200W. 如果还采用传统的 2D 芯片进行设计, 按照式(1)与式(2)可以计算它的最高衬底温度为  $49.38^{\circ}\text{C}$ , 远小于热设计的  $70^{\circ}\text{C}$  温度限, 但它的  $10\text{cm}^2$  内核面积却会造成良品率奇低的后果, 所以传统的 2D 芯片设计方案不可取. 下面我们将分别采用 3D 垂直集成技术和 3D 并行散热集成技术, 对千核 SOC 的 3D 集成热设计问题进行研究, 研究焦点集中于芯片的最高衬底温度  $T_{\text{chip}}$ .

### 5.1 现行的 3D 垂直集成方案

在 3D 垂直集成设计中, 设与散热片接触的第一器件层功耗密度为  $P_1$ , 其它器件层的功耗密度为  $P_i$ ,  $P_1 = 3P_i$ . 本文使用第 2 节所给出的解析模型计算所有 3D 垂直集成设计方案的最高衬底温度  $T_{\text{chip}}$ . 对应于 2~5 个器件层的 3D 垂直集成设计的热设计参数都列在表 4 中. 随着 3D 芯片所集成器件层数  $M$  的增加, 可以看出每个器件层面积  $A_{\text{die}}$  不断减少, 意味着 3D 芯片与散热片的接触面积也在不断减少, 同时  $P_1$  和  $P_i$  也有少量增加, 但二者之间的比例保持不变, 但 3D 垂直集成芯片的  $T_{\text{chip}}$  却在大幅增加. 只有采用目前常用的双器件层集成方案, 才能保证  $T_{\text{chip}} = 64.91^{\circ}\text{C}$ , 满足  $T_{\text{chip}} < 70^{\circ}\text{C}$  的设计要求, 但对于双器件层集成方案, 由于每个器件层的内核面积为  $5.0\text{cm}^2$ , 如此大面积的内核将会显著降低制造良品率. 因此, 受困于 3D 垂直集成技术的热不可扩展性, 千核 SOC 的 3D 垂直集成方案在热性能和良品率之间存在难以调和的矛盾.

表 4 3D 垂直集成芯片的热设计参数

$M$	$A_{\text{die}}/\text{cm}^2$	$P_1/(\text{W}/\text{cm}^2)$	$P_i/(\text{W}/\text{cm}^2)$	$T_{\text{chip}}/^{\circ}\text{C}$
2	5.00	30.00	10.00	64.91
3	3.33	36.00	12.00	76.32
4	2.50	40.00	13.33	90.79
5	2.00	42.86	14.29	108.76

### 5.2 3D 并行散热集成方案

对于 3D 并行散热集成设计, 本文采用式(16)来计算: 对应于不同  $P_d$  和  $K$  的 3D 并行散热集成芯片的  $T_{\text{chip}}$  值, 所有参数列于表 5 中. 随着  $K=H/h_3$  的增加,  $T_{\text{chip}}$  不断增大, 必须降低  $K$  和  $H$  的值, 才能降低  $T_{\text{chip}}$ . 在表 5 中, 浅灰色区域所对应的设计方案均能够保证  $T_{\text{chip}} < 70^{\circ}\text{C}$  的设计要求. 对于内核面积为  $10\text{cm}^2$ 、功耗为 200W 的千核 SOC, 假设其功耗密度均匀, 则  $P_d = 20\text{W}/\text{cm}^2$ , 当取  $K=4$  时,  $T_{\text{chip}} = 66.22^{\circ}\text{C}$ , 满足  $T_{\text{chip}} < 70^{\circ}\text{C}$  的设计要求. 当  $K=4$  时,  $H = K \times h_3 = 4 \times 500\mu\text{m} = 0.2\text{cm}$ . 为了保证器件层的长/高比合理, 本文取  $L = 2.5\text{cm}$ , 此时内核的长/高比为 12.5, 内核面积  $A_{\text{die}} = 0.5\text{cm}^2$ , 即需要集成 20 片无疵内核才能获得千核 SOC 的  $10\text{cm}^2$  内核面积. 此 3D 并行散热集成芯片与散热片的接触面积  $A_{\text{interface}} = M \times h_3 \times L = 20 \times 0.05 \times 2.5 = 2.5\text{cm}^2$ , 表明 3D 并行散热集成芯片具有足够大的热对流面积. 表 6 列出了采用  $P_d = 20\text{W}/\text{cm}^2$  和  $K=4$  的 3D 并行散热集成所对应的所有热设计参数.

表 5 对应于不同  $P_d$  和  $K$  的 3D 并行散热集成芯片的  $T_{chip}$ 

K	$T_{chip}/^{\circ}\text{C}$			
	$P_d=5$	$P_d=10$	$P_d=15$	$P_d=20$
2	47.215	49.43	51.645	53.86
3	48.635	52.27	55.905	59.54
4	50.305	55.61	60.915	66.22
5	52.225	59.45	66.675	73.90
6	54.395	63.79	73.185	82.58
7	56.815	68.63	80.445	92.26
8	59.485	73.97	88.455	102.94
9	62.405	79.81	97.215	114.62
10	65.575	86.15	106.725	127.30

表 6 3D 并行散热集成芯片设计方案的热设计参数

参数	取值	参数	取值
$P_d$	20 W/cm <sup>2</sup>	$A_{die}$	0.5 cm <sup>2</sup>
$K$	4	$M$	20
$H$	0.2 cm	$A_{interface}$	2.5 cm <sup>2</sup>
$L$	2.5 cm	$T_{chip}$	66.22 <sup>°</sup> C

与现有的 3D 垂直集成技术相比,本文提出的 3D 并行散热集成方法显示出如下优点:(1)热扩展性,每个器件层均拥有自己独有的散热通道,并且 3D 并行散热芯片与散热片之间的接触面积正比于器件层的数目  $M$ ,都保证了  $T_{chip}$  不随  $M$  的增加而增大。(2)无需导热 TSV,不会带来内核面积与 TSV 的额外开销。(3)高良品率,3D 并行散热芯片需要平行叠加很多层的无疵内核,无疵内核较小的内核面积保证它拥有非常高的良品率,进而保证 3D 并行散热芯片拥有较高的良品率。

## 6 3D 并行散热集成技术的应用及其相关技术问题

作为一种全新的 3D 集成技术,3D 并行散热集成技术带来了一些新的技术特点,也面临一些额外的技术难题,下面就对几个突出的技术特点与相关问题进行讨论,以进一步说明这项技术的优越性与实用性。

### 6.1 3D 并行散热集成芯片的并行计算技术

有别于现有 3D 集成中所用的矩形器件层,3D 并行散热集成方法使用条形 KGD 上的器件层,采用何种体系结构才能实现系统性能的最大化?下面对这个问题进行论述。

如图 6 所示,在千核 SOC 的 3D 并行散热集成设计中,按照表 6 的设计参数,20 片无疵内核(KGD)器件层上集成 1000 个处理器,平均每个无疵内核器件层集成 50 个处理器。对于采用 CPU+L1Cache+L2Cache+L3Cache 的多核并行计算技术,在一个矩形器件层上,可以采用如图 8 所示的布

放形式来实行片上并行计算。KGD 上的 50 个处理器可以分为 5 组,每组包括 10 个处理器,每组共享一个 L3Cache;一个组可以分为 2 个子组,每个子组包括 5 个处理器,共享一个 L2Cache,共享一个 3D 路由器。每个处理器包括一个处理器核心(逻辑部分)与一个专用的 L1Cache。

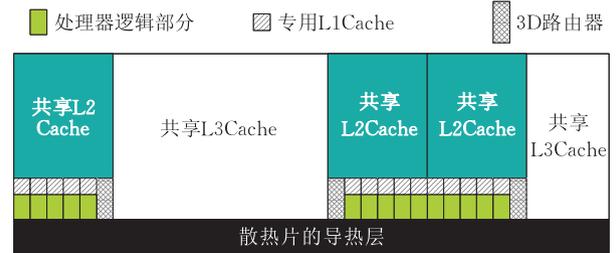


图 8 50 核 KGD 布放版图局部示意(未按比例绘制)

图 8 所示的布放形式主要追求如下目的:(1)良好的散热性能。由于就功耗密度而言,处理器核心  $>$  L1Cache  $>$  L2Cache,所以将三者依次排列,并将散热片置于处理器核心的下侧,利于将热量散出。(2)层次化的储存器架构。可以提高命中率,降低数据总线带宽。(3)高性能片上网络。20 个器件层每层拥有 10 个 3D 路由器,可以构成一个  $20 \times 10$  的片上网络,每个路由器实现每个子组内 5 个处理器的数据通信。由于 KGD 的厚度小于  $600 \mu\text{m}$ ,片上网络在叠片方向具有较小的互连延迟,所以 3D 并行散热集成方法可以获得一个高性能片上网络。

### 6.2 高性能的 3D 并行散热集成技术

借鉴现有 3D 集成技术中大容量缓存与处理器核心分层集成方法,3D 并行散热集成芯片可以进一步获得性能的提升。

尽管采用图 8 所示的多核布放版图形式可以获得很高的性能,但 L2Cache 到 L3Cache 的距离仍然较远,将 L3Cache 放到另外一个器件层上则可以获得更短的信号延迟,提高缓存带宽,以获得更高的并行计算性能<sup>[2-6]</sup>,并已获得 IC 厂商的应用<sup>[3]</sup>。由于 3D 并行散热集成方法的基本部件是 KGD(无疵内核),所以对如图 9 所示的双器件层 KGD 可以直接进行并行集成。在图 9 中,双器件层 KGD 由脸对脸(器件层对器件层)的两个器件层构成,其中一个器件层具有常规衬底,用于布放高功耗的处理器核心、L1Cache 和 L2Cache、3D 路由器,另一个器件层具有剪薄衬底,用于布放低功耗的 L3Cache。由于两个器件层直接通过片内互连(而不是 TSV 互连)进行通信,并且互连层的厚度非常小( $< 10 \mu\text{m}$ ),与 L2 缓存进行通信的总线距离非常短,因此可以获得非常

大的通信带宽,极大地提高处理器的性能.在散热方面,由于 L3 Cache 的功耗较低,它自己的剪薄衬底以及相邻的常规衬底可以提供很好的散热条件.但对于最左边的那个 L3 Cache 器件层,由于无相邻的常规衬底,它自己的剪薄衬底难于进行高效散热,则将剪薄衬底更换为常规衬底,以保证它的热性能.

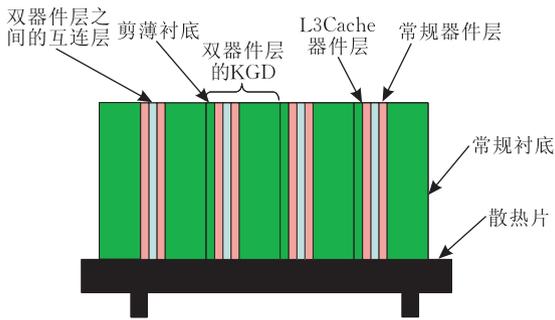


图 9 由脸对脸双器件层 KGD 构成的 3D 并行散热集成芯片示意(未按比例绘制)

### 6.3 3D 并行散热集成技术的 I/O 与供电技术

现有的 3D 垂直散热集成芯片与封装基座之间的接触面积是固定的,并不随器件层的增加而增大,因此 3D 垂直集成芯片的 I/O 数目是固定的<sup>[3,12]</sup>.相反,对于 3D 并行散热集成芯片而言,由于随集成器件层数的增加,它与封装基座之间的接触面积同比增加,所以 3D 并行散热集成芯片的 I/O 数目也同比增加,即 3D 并行散热集成芯片具有 I/O 的可扩展性. I/O 可扩展性的优点体现在如下两个方面: (1)更多的片外存储器总线端口及更大的前端总线带宽. (2)更多的电源线/地线网络(P/G 网)供电管脚,降低 P/G 网的 IR 电压降.

同时与 3D 垂直散热集成芯片相比,由于 3D 并行散热集成芯片的器件层是长条形,其高度较小( $B \leq 2\text{mm}$ ),所以其 I/O 更接近于器件层,其 I/O 的性能更好.以电源线/地线网络(P/G 网)供电系统为例,由于每个器件层都有自己的 P/G 网 PAD,所以 3D 并行散热集成芯片的供电 I/O 更多,更容易保证芯片的电源供应.

## 7 结 论

用于大规模并行计算的片上系统迫切需要散热性能好的 3D 集成方案,本文主要针对这个问题,不仅从理论上指出现有 3D 垂直集成技术面临热扩展性的难题,还提出了多器件层 3D 并行散热集成方法,并对 3D 并行散热集成芯片温度分析进行建模,推导出简洁而精确的解析分析公式,从理论上指出

本文的 3D 并行散热集成方法具有热扩展性.本文工作表明:采用 3D 并行散热集成方法可以在保证芯片热性能的前提下,大幅度提高芯片的良品率,并更好地保障器件层的供电和大数据量的 NoC 通信,适用于未来千核 SOC 的 3D 集成,使摩尔定律能够在 IC 工艺达到物理极限后、还能够延续下去.

本文仅采用简单的静态热分析模型、来定性地分析了 3D 垂直集成技术无热扩展性的缺陷和本文的 3D 并行散热集成方法具有热扩展性的优点.但要采用特定工艺的 3D 芯片进行定量的热分析,则需要更复杂的瞬态热分析模型.3D 芯片瞬态热分析的计算复杂度非常巨大,不仅需要低复杂度的高效 EDA 算法,还需要更为强大的计算能力.为了对 3D 芯片进行电热分析(包括功耗分析、P/G 网分析与热分析)与优化,本课题组已成功研制了基于 Windows 操作系统的 GPU 高性能计算集群,今后将基于该集群、对应用于 3D 芯片电热分析与优化的 GPU 集群层次式并行算法进行研究,满足 3D 芯片电热设计的需求.

**致 谢** 清华大学微电子与纳电子学系叶佐昌老师对本文理论工作提出了有益的建议,在此表示感谢!

### 参 考 文 献

- [1] International Technology Roadmap for Semiconductors (ITRS). <http://public.itrs.net/>, 2008update
- [2] Luo Zu-Ying. Power consumption and process variations: Two challenges to design of next-generation ICs. Chinese Journal of Computers, 2007, 30(7): 1054-1063(in Chinese) (骆祖莹. 芯片功耗与工艺参数变化:下一代集成电路设计的两大挑战. 计算机学报, 2007, 30(7): 1054-1063)
- [3] Garrou P, Bower C, Ramm P. Handbook of 3D integration: Technology and applications of 3D integrated circuits. VILEY-VCH Verlag GmbH & Co. KGaA, Weinheim, Germany, 2008
- [4] Weerasekera R, Zheng L R, Pamunuwa D et al. Extending systems-on-chip to the third dimension: Performance, cost and technological tradeoffs//Proceedings of the International Conference on Computer Aided Design. San Jose, 2007: 212-219
- [5] Bautista J. Tera-scale computing and interconnect challenges//Proceedings of the 45th Design Automation Conference. San Diego, 2008: 665-667
- [6] Mitsumasa K, Takafumi F, Tetsu T. Three-dimensional integration technology and integrated system//Proceedings of the Asia and South-Pacific Design Automation Conference. Taipei, Taiwan, China, 2009: 409-415

- [7] Zhou P Q, Ma Y C, Li Zhuoyuan et al. 3D-STAF: Scalable temperature and leakage aware floorplanning for three-dimensional integrated circuits//Proceedings of the International Conference on Computer Aided Design. San Jose, 2007: 590-597
- [8] Goplen B, Sapatnekar S S. Placement of 3D ICs with thermal and interlayer via considerations//Proceedings of the 44th Design Automation Conference. San Diego, 2007: 626-631
- [9] Jayaseelan R, Mitra T. Dynamic thermal management via architectural adaptation//Proceedings of the 46th Design Automation Conference. San Francisco, 2009: 484-489
- [10] Haensch W. Why should we do 3D integration?//Proceedings of the 45th Design Automation Conference. San Diego, 2008: 674-675
- [11] Sapatnekar S S. Addressing thermal and power delivery bottlenecks in 3D circuits//Proceedings of the Asia and South-Pacific Design Automation Conference. Taipei, Taiwan, China, 2009: 423-428
- [12] Lee Y J, Lim S K. Co-optimization of signal, power, and thermal distribution networks for 3D ICs//Proceedings of the Electrical Design of Advanced Packaging and Systems Symposium. Korea, 2008: 163-166
- [13] Mizunuma H, Yang C L, Lu Y C. Thermal modeling for 3D-ICs with integrated microchannel cooling//Proceedings of the International Conference on Computer Aided Design. San Jose, 2009: 256-263
- [14] Borkar S. Thousand core chips—A technology perspective//Proceedings of the 44th Design Automation Conference. San Diego, 2007: 746-749
- [15] Luo Zu-Ying. Survey and preview on studies of electro-thermal (ET) analysis. Chinese Journal of Computer-Aided Design and Computer Graphics, 2009, 21(9): 1203-1211 (in Chinese)  
(骆祖莹. 电热分析研究的现状与展望. 计算机辅助设计与图形学学报, 2009, 21(9): 1203-1211)
- [16] Iverson R B, LeCoz Y L, Kleveland B et al. A multi-scale random-walk thermal-analysis methodology for complex IC-interconnect systems//Proceedings of the Simulation of Semiconductor Processes and Devices. Seattle, 2000: 84-86
- [17] Luo Z Y, Tan S X D, Fan J. Single-node statistical 3D thermal analysis considering electro-thermal coupling//Proceedings of the International Symposium on Circuit and System. Taipei, Taiwan, China, 2009: 1289-1292
- [18] Intel® Xeon® Processor 7400 Series Manual. <http://www.intel.com/product/processor>



**LUO Zu-Ying**, born in 1968, Ph. D.. His current research interests include low-power design and physical design.

**HAN Yin-He**, born in 1980, Ph. D.. His current research interests include IT test and DFT.

## Background

It is becoming increasingly difficult to scale as IC technology moves into 32nm and beyond process due both to physics and economics. Three-dimension (3D) vertical integration is one lower cost alternative to further drive cost-per-function down following Moore's law. Existing 3D ICs based on stacking chips are vertical-heat-sinking (VHS) schemes, which mean that the heat sinking direction is vertical to the chips themselves. Although 3D VHS ICs reduces the global wire delay considerably compared to traditional planar (2D) chips, offers higher packaging density, smaller chip areas, and flexible integration of heterogeneous technologies, they imposes a major challenge in thermal management due to power density increasing linearly in the number of vertically stacked device layers. Therefore, researchers have tried to alleviate the thermal issue in 3D ICs through thermal TSVs, thermal-aware floor planning or task scheduling.

In this work, we first show with an accurate thermal analysis model that present vertical stacking technology for 3D ICs is not thermally scalable. Then, for the first time, we propose a novel 3D parallel-heat-sinking (PHS) integration methodology whose thermal performance is independent of the number of stacking chip layers. An analytic model is

**ZHAO Guo-Xing**, born in 1981, Ph. D.. His current research interests focus on parallel computing.

**YU Xian-Chuan**, born in 1967, professor, Ph. D. supervisor. His current research interests focus on computer-aided design.

**ZHOU Ming-Quan**, born in 1954, professor, Ph. D. supervisor. His current research interests include visual reality and CAD.

further proposed to estimate the peak substrate temperature of the 3D PHS stacking chip. At last, this work uses the 3D PHS stacking methodology to analyze a hypothetical future thousand-core design for parallel computing. Analysis shows that the 3D PHS methodology is the attractive alternative technology to extend the Moore's law because of its thermal scalability, free of thermal TSVs, and high yield.

In order to further efficiently analyze and design 3D ICs, we have developed a Windows-OS based GPU cluster of 16. 3TFLOPS peak computing capacity. Then based on the GPU cluster, we want to research hierarchical parallel algorithms for electro-thermal analysis and optimization for 3D chips. Thanks many CPUs and GPUs, each CPU of 2-6 threads and each GPU of more than 300 processing cores, hierarchical parallel algorithms can manage the complexity increases original from 3D chips through combining inter-CPU OpenMPI, intra-CPU OpenMP, and GPU-oriented CUDA programming technologies.

This work is supported by National High Technology Research and Development Plan of China under grant No. 2009AA01Z126 and No. 2007AA01Z109, National Science Foundation of China under grant No. 60876025.