

基于精英池演化算法的数字电路在片演化方法

何国良^{1),2)} 李元香^{1),2)} 史忠植³⁾

¹⁾(武汉大学软件工程国家重点实验室 武汉 430072)

²⁾(武汉大学计算机学院 武汉 430072)

³⁾(中国科学院计算技术研究所智能信息处理重点实验室 北京 100190)

摘 要 20 世纪末演化硬件技术的提出为实现硬件系统的自适应与智能化等特征提供了一种可行的新技术,现阶段电路进化是演化硬件研究的热点之一. 该文引入人工经验与规则,提出一种扩展矩阵编码法,保护具有较优结构的电路个体不易被淘汰;其次,基于多目标和局部寻优技术,结合子电路杂交与单元重要性的自适应变异策略,提出了一种设计数字电路的精英池演化算法,并在可编程逻辑器件上实现电路的自主动态重构与评价等演化过程.

关键词 演化硬件;演化算法;电路演化;在片演化

中图法分类号 TP302 DOI号: 10.3724/SP.J.1016.2010.00365

Elitist Pool Evolutionary Algorithm for On-Line Evolution of Digital Circuits

HE Guo-Liang^{1),2)} LI Yuan-Xiang^{1),2)} SHI Zhong-Zhi³⁾

¹⁾(State Key Laboratory of Software Engineering, Wuhan University, Wuhan 430072)

²⁾(College of Computer Science, Wuhan University, Wuhan 430072)

³⁾(Key Laboratory of Intelligent Information Processing, Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190)

Abstract Evolvable hardware (EHW) refers to reconfiguration hardware design with natural algorithms, which could change its architecture and behavior dynamically and autonomously by interacting with its environment. At present, the auto-design of electronic and analog circuits is one of hot issues in the field of EHW. In this paper, an elitist pool evolutionary algorithm (EPEA) with some evolution techniques is proposed to optimize the evolutionary design of logic circuits efficiently. First, an extended matrix encoding method is proposed based on human experiences and principles to increase the fitness value of some evolved circuits quickly. This representation can be expected to reflect the potential performance of circuits and avoid deleting some inferior circuits with a good developing potential during the evolution. Then, a novel sub-circuit crossover operator and an adaptive mutation strategy are introduced to improve design efficiency in terms of the techniques of the multi-objective and local searching optimization. Moreover, a framework of on-line evolution is employed to implement EPEA on field-programmable gate array (FPGA). Experiments show that the proposed methods can design digital circuits automatically and efficiently.

Keywords evolvable hardware; evolutionary algorithm; evolutionary design of circuits; on-line evolution

收稿日期: 2008-09-11; 最终修改稿收到日期: 2009-11-15. 本课题得到武汉大学自主科研项目基金(6082019)、国家自然科学基金(60773009, 60775035)、国家“八六三”高技术研究发展计划项目基金(2007AA01Z290, 2007AA01Z132)和国家“九七三”重点基础研究发展规划项目基金(2007CB311004)资助. 何国良, 男, 1974 年生, 博士, 讲师, 主要研究方向为演化硬件、演化计算和数据挖掘. E-mail: glhe@whu.edu.cn. 李元香, 男, 1962 年生, 教授, 博士生导师, 主要研究领域为演化计算、并行计算等. 史忠植, 男, 1941 年生, 研究员, 博士生导师, 主要研究领域为人工智能、机器学习、多主体系统、语义 Web 等.

1 引言

演化硬件技术(Evolvable Hardware, EHW)自从 20 世纪 90 年代初被 Gairs 等提出以来,引起各国政府部门和学者们的广泛关注与深入研究,极大地促进了该技术的发展和应。演化硬件的实现过程与演化算法类似,根据个体适应值的评估方式,演化硬件可分为离线演化与在线演化两种设计技术。离线演化一般是通过软件仿真评估每代演化的所有个体,只下载最优个体到可编程器件上验证;而在线演化则将硬件测试嵌入到演化硬件设计过程中,所有个体都下载到硬件设备进行在线实测和评价。作为一个新的研究领域,演化硬件是计算机科学、电子学、生物学的交叉学科,为硬件系统设计的自动化与智能化提供了新的技术手段和设计方法。演化硬件技术在数字电路和模拟电路的设计应用方面有助于实现复杂电路的自动设计与优化、提高设计效率、降低能耗、发现新的规则与知识。

人们针对离线演化硬件技术,为提高演化硬件的编码效率,提出了各种电路编码技术,如矩阵编码法^[1]、CGP(Cartesian Genetic Programming)^[2]编码法等;为了优化硬件并降低演化的时间复杂度,提出了各种有效的智能算法,如并行遗传程序法^[3]、多目标自适应遗传算法^[4]、单元杂交法^[5]、评估技术^[6]等。此外,分而治之与生长式方法也是演化复杂演化硬件的有效技术,如基于商农分解定理的自动分解方法 GDD(Generalized Disjunction Decomposition)^[7]可以提高演化电路的规模,MDCGP(Modular Developmental Cartesian Genetic Programming)^[8]技术可缩短演化时间,提高容错率。与此同时,在线演化硬件和内部演化技术的研究也取得了许多新进展,如直接演化电路的配置串^[9]、通过 API 函数对配置串读写并修改相关基因段^[10]、基于可编程逻辑器件(Field-Programmable Gate Array, FPGA)的物理结构和待演化系统的特点设计特定的演化结构实现演化电路的动态重构^[11]等。

本文引入人工设计电路的经验和规则,提出扩展矩阵编码法,设计出一种精英池演化算法(Elitist Pool Evolutionary Algorithm, EPEA),结合子电路杂交法与基于单元共享度的自适应变异策略演化数字电路,并采用一种在片演化技术实现电路的演化

过程。实验结果表明:该方法在一定程度上可提高演化电路的规模及其设计效率。

2 演化电路的编码

2.1 矩阵编码法

采用演化硬件技术自动设计数字电路,首先需将电路表示成便于算法设计的一种编码方式,目前一般采用矩阵编码法^[1]表示一个组合逻辑电路,如图 1 所示。其中每个单元表示一个逻辑函数,单元间的互连形成逻辑函数间的关联,构成一个数字电路。

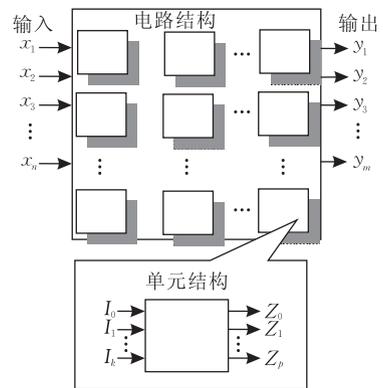


图 1 组合逻辑电路的染色体结构示意图

为了完全表示一个组合逻辑电路,需定义矩阵中单元的函数类型以及单元间的连接关系。其中,单元的函数类型可以定义为基本的逻辑门类型或自定义的函数类型,表 1 列举了部分基本逻辑函数类型。其次是单元间互连关系,某些单元的输出信号和电路输入端信号可作为其它单元的输入信号。对于组合逻辑电路的编码,为避免单元间的连接形成回路,先定义单元间连接关系的一个基本概念:单元的连接度。

表 1 基本逻辑单元类型

函数类型		函数类型	
0	a^*	3	$a+b$
1	$!a$	4	$a\oplus b$
2	$a \cdot b$		

注: * 表示此函数类型不执行任何逻辑操作(即直连线),直接将该单元的输入端与输出端相连。

定义 1. 在矩阵编码 H_{mn} (m 为矩阵的行数, n 为矩阵的列数)中,若某个单元 c_{ij} (表示此单元的位置在矩阵中的第 i 行、第 j 列)的输入端信号可与其前 k 列单元的输出端信号相连,即在第 $j-k$ 列至 $j-1$ 列位置上所有单元的输出端信号都可为此单元的输入端信号,则称此单元 c_{ij} 的连接度 D 为 k 。

每个单元的编码信息包括此单元的全部输入端信号信息和函数类型,如下所示:

输入端信号 1	输入端信号 2	...	函数类型
---------	---------	-----	------

以单元编码为基础,矩阵中全部单元的编码信息即可表示一个电路的完整结构.该矩阵编码法也可用于对时序逻辑电路编码,此时单元间连接允许形成回路,单元的函数类型包含触发器等.

2.2 扩展矩阵编码法

虽然该矩阵编码法能较好地表示一个数字电路,便于演化算法的自动设计,但容易淘汰一些具有较优结构的电路个体.例如,设计一个三输入二输出的组合逻辑电路,其真值表如表 2 所示(a, b, c 为输入信号, y_1, y_2 为输出信号).

表 2 组合逻辑电路的真值表

In			Out		Out1		Out2	
a	b	c	y_1	y_2	x_1	x_2	z_1	z_2
0	0	0	0	0	$\bar{1}$	0	0	0
0	0	1	0	0	$\bar{1}$	0	0	0
0	1	0	0	1	$\bar{1}$	0	0	0
0	1	1	0	1	$\bar{1}$	$\bar{1}$	0	$\bar{1}$
1	0	0	0	0	$\bar{1}$	0	0	0
1	0	1	0	1	$\bar{1}$	0	0	0
1	1	0	0	1	$\bar{1}$	$\bar{1}$	0	$\bar{1}$
1	1	1	1	0	1	$\bar{1}$	0	$\bar{1}$

若一个演化电路的功能如表 2 中的 Out1(x_1, x_2)所示,通过与真值表 Out 相比较,可知第 1 个输出端信号的功能匹配度是 1/8,第 2 个输出端信号的匹配度是 5/8.若在该演化电路的第 1 个输出端添加一个非门,则该输出端信号的功能如表 2 的 Out2(z_1, z_2)所示,匹配度上升为 7/8.由此可知,必要时在演化电路的某些输出端添加非门可迅速提高电路性能.

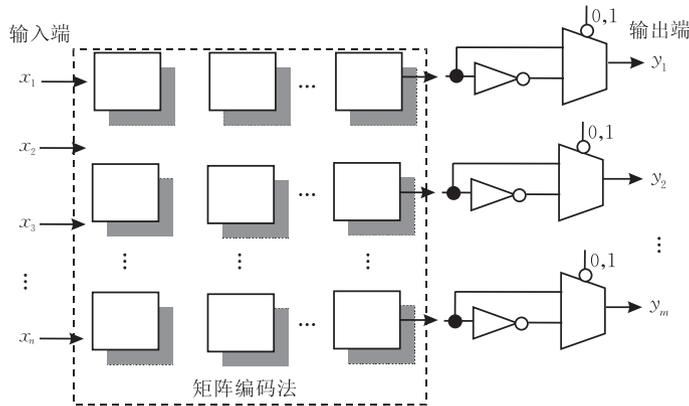


图 2 扩展矩阵编码法

为此,本文引入人工设计电路的经验和规则,以矩阵编码法为基础提出一种扩展矩阵编码法,在原矩阵编码法的每个输出端添加一个宏模块,它由一个非门和一个二路选择器组成,如图 2 所示.当评价演化电路的某个输出端功能与真值表的匹配度低于 0.5 时,选择器控制端选择信号“1”,表示在此输出信号端添加一个非门;否则,反之.此编码法能保护具有较优结构的电路个体不易被淘汰,同时增强了种群的多样性.

此外,本文规定所有单元的连接度为 1,即每个单元的输入端信号为电路的原始输入信号或其前一系列单元的输出端信号,最后一列单元的输出对应电路的输出端信号.

3 精英池演化算法

为了阐述其演化策略,定义几个基本概念.

定义 2. 对于一个具有 n 个输出端信号的组合逻辑电路 C ,基于输出端信号可将电路 C 分解为 n 个单输出子电路,每个子电路分别对应电路 C 相应输出端信号的功能,本文称按此划分的每个子电路为输出端信号子电路.

值得注意的是:在定义 2 中,电路 C 中的某些逻辑单元可能是多个输出端子电路的逻辑单元,即为多个输出端子电路所共享,我们称其为共享单元,见定义 3.

定义 3. 若采用扩展矩阵编码表示定义 2 中的电路 C ,电路的每个输出端信号子电路都是由矩阵编码中的某些单元及其连接构成.若矩阵编码中某个单元 c_{ij} (表示此单元的位置在矩阵中的第 i 行、第 j 列)是电路 C 多个输出端信号子电路的一个逻辑单元,则称此单元 c_{ij} 为共享单元;否则,则称此单元 c_{ij} 为非共享单元.

定义 4. 在定义 3 中,若扩展矩阵编码中的某

个单元 c_{ij} 是共享单元,且此单元是电路 C 的 m ($m \leq n$) 个输出端信号子电路的共享单元,则此单元 c_{ij} 的共享度为 $S_{c_{ij}} = m/n$.

3.1 子电路杂交法

基于多目标技术,若将数字电路的每个输出端信号单独作为一个目标,一个多输出数字电路的设计即为一个带约束的多个目标优化问题.由于一个多输出组合逻辑电路可分解为多个输出端信号子电路,因此,一个多输出组合逻辑电路可由所有单输出端信号子电路构成.本文基于多目标与局部优化技术,提出子电路杂交策略.新个体电路的每个输出端信号子电路产生规则为:根据两父体电路中同一输出端信号的功能评价,选取较优的子电路作为新个体电路对应输出端信号子电路,然后将新产生的所有输出端信号子电路组合形成新个体电路.本文在自动设计电路时考虑面积和功耗等因素,需充分利用各子电路间的可共享单元,优化设计电路所需的逻辑门数.因此,在产生新个体电路时,各子电路对应的基因段映射到染色体时可能存在某些基因段的不一致而相互冲突,各子电路融合阶段冲突的处理策略形成多输出电路的共享单元.

本文处理冲突的方法是基于电路每个输出信号端的位置,按照某种次序进行替换.首先,将两个父体电路根据输出端信号分解成各个子电路(各子电路间存在共享单元);其次,选择两父体中每组输出端信号具有较高匹配度的子电路作为新个体对应输出端信号子电路;最后,按照输出端信号的位置次序将新个体的第 1 个输出端信号子电路与第 2 个输出端信号子电路融合,若融合时某些单元冲突,则用第 2 个输出端信号子电路的单元覆盖第 1 个输出端信号子电路的单元,得到的含两个输出端信号子电路与第 3 个输出端信号子电路融合,依此方式产生包含所有输出端信号的新个体电路.

例如,若演化 1 个四输入三输出的组合逻辑电路,两父体电路中每个输出端信号的适应值分别为 14/16, 9/16, 15/16 和 9/16, 12/16, 11/16, 如图 3(a), (b) 所示.其中,矩阵编码中的每个单元分别注明了它属于的特定输出端信号子电路:1、2、3 分别表示此单元属于第 1 个、第 2 个或第 3 个输出端信号子电路; -1 表示此单元不属于任何输出端信号子电路,是一个冗余单元;若一个单元中注明了多个编号,如 1 和 2, 表示此单元是第 1 个与第 2 个输出端信号子电路的共享单元.

该两父体的子电路杂交过程如下.

第 1 步:分解电路.将每个父体电路分解为输出端信号子电路,如图 3(a)、(b) 所示.

第 2 步:选择子电路.选取新个体电路的每个输出端信号对应的父体子电路,第 1 个输出端信号子电路选取父体 I 中具有较优匹配度的对应(第 1 个输出端信号)子电路,如图 3(c) 所示;同理,新个体的第 2 个输出端信号子电路选取父体 II 对应的子电路,如图 3(d) 所示;同样可得到新个体第 3 个输出端信号子电路.

第 3 步:融合.将第 2 步选取的第 1 个输出端信号子电路与第 2 个输出端信号子电路融合产生一个包含两个输出端信号的子电路,若融合时第 2 个输出端信号子电路的某些单元与第 1 个输出端信号子电路冲突,则将第 2 个输出端信号子电路的单元覆盖第 1 个输出端信号子电路的相关单元,如图 3(e) 所示;将融合的子电路再与第 3 个输出端信号子电路进一步融合,产生一个包含所有输出端信号的新个体电路,如图 3(f) 所示.

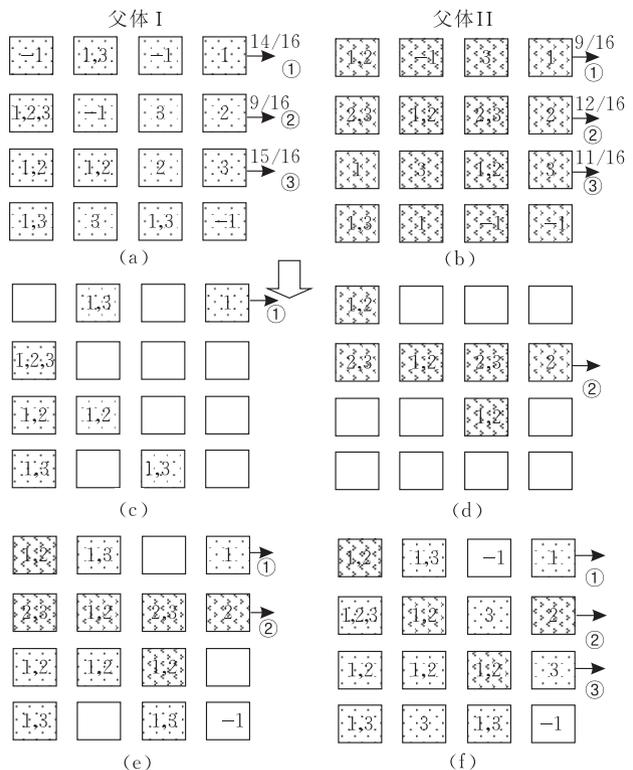


图 3 子电路杂交法

3.2 自适应变异策略

根据染色体中各个基因的重要性,设计了一种自适应的变异策略,重要位基因以较低的概率变异,非重要位基因以较高的概率变异保持种群的多样性.在扩展矩阵编码法中,矩阵中的每个单元对应染色体一段基因,其变异概率随其单元的重要性和演

化电路的性能而动态变化. 其中, 单元的重要性表现为其共享度, 单元的共享度越高, 则越重要.

根据扩展矩阵编码中每个单元的重要性, 自适应变异策略如下:

(1) 矩阵编码中某个单元是非共享单元: 若此单元所在的输出端信号子电路功能不能与真值表完全匹配, 则增加此单元的变异概率; 否则, 降低其变异概率.

(2) 矩阵编码中某个单元 c_{ij} 是共享单元: 若此单元的共享度 $S_{c_{ij}}$ 小于 0.5, 则增加此单元的变异概率, 否则减小其变异概率.

3.3 精英池演化算法的基本框架

基于上述演化策略, 设计了一种精英池演化算法(EPEA). 其主要思想是在演化过程中每一代的重要性个体变异生成一个精英池, 主种群与精英池杂交以提高演化效率. 该算法的主要步骤为:

1. 随机生成一个种群 A , 规模为 N , 并评价.
2. 采用局部搜索策略, 将种群 A 的最优个体通过变异产生 M 个个体, 形成精英池 B , 其中 $N \gg M$.
3. 演化操作: 从种群 A 和精英池 B 中分别随机选取一个个体杂交得到一个新个体, 并对新个体运用变异策略, 反复此步直到生成规模为 N 的下一代种群 A .
4. 对新种群 A 评价, 并保留最优个体电路.
5. 若不满足终止条件, 转步 2; 否则, 结束算法.

3.4 评价函数

演化过程中, 评价标准能否准确反映电路的优劣程度至关重要, 它直接影响到演化操作, 并导致能否得到最优解. 对于数字电路, 通过测试集对其进行功能仿真验证是评价的基础, 如组合逻辑电路功能的评价一般是通过测试所有可能的输入组合, 通过仿真测试其电路的输出值, 并与真值表比较得到演化电路的功能与真值表的匹配度, 作为演化电路个体性能的评价值.

另外, 在设计有效电路的同时要求其结构最优化. 本文考虑组成电路的逻辑门数作为电路优化的一个基本特征, 即其所需的基本逻辑门数越少, 结构越优. 采用扩展矩阵编码表示数字电路时, 矩阵中的一些单元为电路的冗余单元, 它可分为两类: 一类是指其函数类型为直连线, 即表 1 中的函数类型 0; 另一类指该单元不是电路的有效逻辑单元.

因此, 本文中个体电路 x 的评价函数定义如下.

定义 5. 电路 x 的适应值函数 $F(x)$ 为电路功能评价与电路有效逻辑门数之和, 即 $F(x) = H(x) + \omega * V(x)$. $H(x)$ 为个体电路 x 全部输出端信号与

真值表的匹配程度; $V(x)$ 为扩展矩阵编码表示电路个体 x 的冗余单元数; ω 是动态权系数, 若个体为有效电路(满足真值表中指定的逻辑功能), 其值取 1; 否则, 取很小的正数.

4 在片演化的原理框架

基于 FPGA 的物理结构及在片演化硬件技术的特点, 本文采用在片演化硬件设计原理如图 4 所示, XUP-V2P 板具有大容量的静态和动态存储空间, 且芯片 Virtex-II Pro 嵌有 IBM PowerPC 405 处理器, 便于在片演化硬件的设计. PC 机与 FPGA 的交互在于系统初始化和演化结果的输出, 进化过程中 FPGA 板自动下载演化电路的染色体、实测验证.

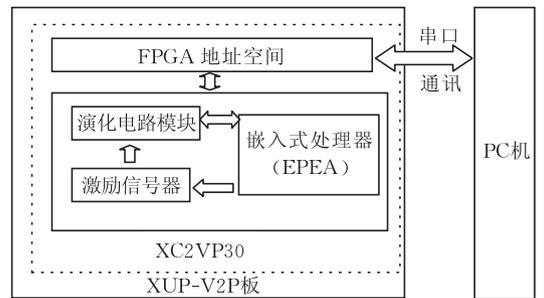


图 4 在片演化设计原理图

在片演化的硬件结构可分为两个模块: 第 1 个是固定模块, 它包括 PowerPC 微处理器、RISC 结构、单独的 32 位指令和数据总线, 用于执行算法和 FPGA 与外部存储器的数据交换. 此外, 它还包括一些外围接口, 如通过 GPIO(General Purpose Input/Output)与可重配置模块通讯, 或参与内存管理的一些接口等. 第 2 个模块为可重配置模块, 它通过总线与 GPIO 相联系, 允许算法控制电路的演化. 同时, 它包括激励信号产生器对电路功能在片测试和验证.

为了便于进行在片演化, 本文采用宏结构的虚拟电路表示扩展矩阵编码法中的每个单元, 如图 5 所示. 其中, 多路选择器 1 和多路选择器 2 用于选取两输入逻辑门的两个输入端信号, 它们分别通过寄存器 1 和 2 控制. 多路选择器 3 用于选取该单元的逻辑函数类型, 其控制端通过寄存器 3 输出. 两个输入端信号和一个逻辑函数构成了每个单元的逻辑功能. 其中, 每个多路选择器的控制端信号都由寄存器实现. 因此, 只需改变寄存器内容就可实现电路的演化.

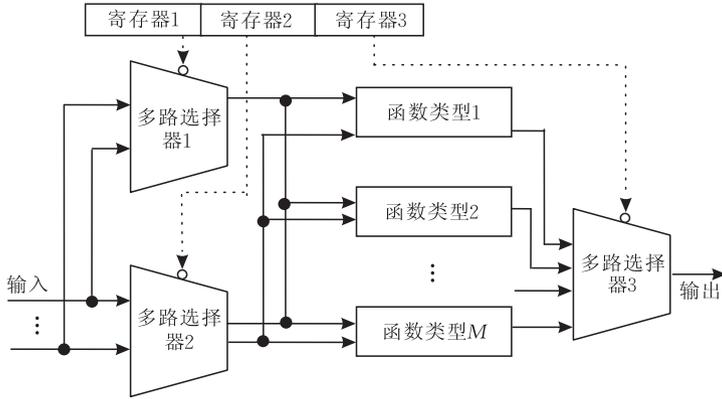


图 5 宏结构电路单元

5 实验与分析

为了测试 EPEA 性能,本文先选取一个单输出和一个多输出的组合逻辑电路,其真值表如表 3 所示。例 1 由 4 个输入(A, B, C, D)和一个输出 Y 组成。例 2 由 4 个输入(A, B, C, D)和 2 个输出(Z₁, Z₂)组成。通过与其它智能算法的设计结果比较其最优电路的逻辑门数、设计最优电路的频率、设计有效电路的频率和最优电路所需逻辑门数,验证该算法的效率。为了便于比较与分析,本文采用与文献[12-13]相同的参数:运行算法 20 次,种群规模为 50,可选的基本逻辑门类型如表 1 所示。

对于例 1 的电路,由于它是单输出电路,演化过程中没用到杂交操作,每代仅对极少数个体电路变异及评价。由表 4 可知,EPEA 能以概率 1 设计含 5 个基本逻辑门的最优电路(如图 6 所示),其它算法设计的最优电路都需要 6 个逻辑门。而对于多输出电路(例 2),该算法采用杂交和变异策略,设计性能汇总如表 5 所示。从该表可知,EPEA 以概率 1 设计出含 7 个基本逻辑门的最优电路,电路结构如图 7 所示。

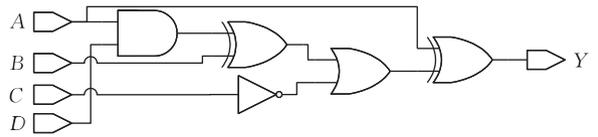


图 6 EPEA 设计的例 1 电路结构

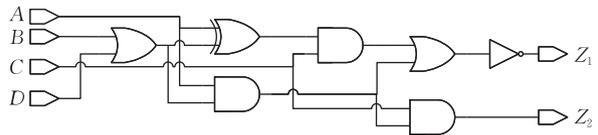


图 7 EPEA 设计的例 2 电路结构

表 3 逻辑电路的真值表

输入				输出			输入				输出		
A	B	C	D	Y	Z ₁	Z ₂	A	B	C	D	Y	Z ₁	Z ₂
0	0	0	0	1	1	0	1	0	0	0	0	1	0
0	0	0	1	1	1	0	1	0	0	1	0	0	0
0	0	1	0	0	1	0	1	0	1	0	1	0	0
0	0	1	1	0	0	0	1	0	1	1	0	0	1
0	1	0	0	1	1	0	1	1	0	0	0	0	0
0	1	0	1	1	1	0	1	1	0	1	0	0	0
0	1	1	0	1	0	0	1	1	1	0	0	0	1
0	1	1	1	1	0	0	1	1	1	1	1	0	1

表 4 例 1 电路的设计结果与比较

	最优电路的逻辑门数	设计最优电路的频率	设计有效电路的频率	平均逻辑门数
PSO ^[12]	6	0.70	1.00	6.55
DEPSO ^[13]	6	1.00	1.00	6.00
EPEA	5	1.00	1.00	5.00

表 5 例 2 电路的设计结果与比较

	最优电路的逻辑门数	设计最优电路的频率	设计有效电路的频率	平均逻辑门数
GA ^[12]	7	0.25	0.75	—
PSO ^[12]	7	0.40	0.95	10.5
DEPSO ^[13]	7	0.20	1.00	8.6
EPEA	7	1.00	1.00	7.0

其次,为了深入分析扩展矩阵编码和 EPEA 的有效性,本文选取了二位乘法器、二位比较器和二位加法器,从多角度与相关文献进行了比较与分析,表 6 汇总了几种算法设计此组实验所需的编码规模及所需的最少逻辑门数。由表 6 可知,采用扩展矩阵编码法所需的染色体长度较短,且 EPEA 设计的电路结构较优,能有效地减少对资源的消耗。

表 6 组合逻辑电路设计汇总与比较

	二位乘法器		二位比较器		二位加法器	
	编码规模	逻辑门数	编码规模	逻辑门数	编码规模	逻辑门数
KM ^[14]	—	8	—	19	—	12
NGA ^[15]	5×5	9	6×7	12	5×5	7
MGA ^[16]	5×5	7	6×7	9	5×5	7
EPEA	4×4	7	5×5	9	4×4	7

此外,由于三位乘法器真值表复杂,难于自动设

计其电路,许多学者都用它来验证算法的有效性. 本文设计的含 27 个逻辑门的三位乘法器电路如图 8 所示.

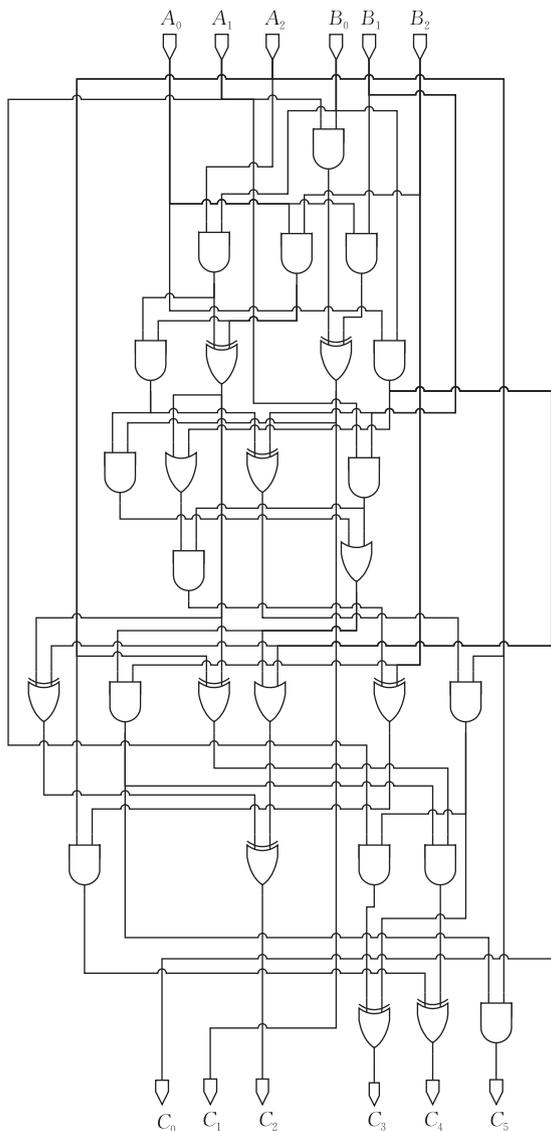


图 8 三位乘法器的电路结构

6 结 论

演化硬件作为一个新兴研究领域,在实际生活中有着广泛应用,由此引起许多学者从离线演化和在线演化角度对其进行了深入研究. 本文首先引入人工设计电路的经验和规则,提出了一种扩展矩阵编码法,对于匹配度较低的电路结构进行微调,保护具有较优结构的电路个体不易被淘汰. 在此基础上,基于多目标和局部寻优技术,提出一种精英池演化算法 EPEA——结合子电路杂交法和基于单元重要性的自适应变异策略在片演化数字电路. 实验结果

表明,EPEA 在片演化组合逻辑电路实用有效,且能获得结构较优的电路,这些电路可作为基本模块用于设计更复杂的硬件系统. 今后我们拟深入研究部分动态可重构技术及在此基础上基于细胞自动机的自复制和自繁殖原理研究数字硬件系统的自容错、自主进化等技术.

参 考 文 献

- [1] Louis S J. Genetic algorithms as a computational tool for design [Ph. D. dissertation]. Indiana University, Indiana, USA, 1993
- [2] Miller J F, Thomson P. Cartesian genetic programming//Proceedings of the 3rd European Conference on Genetic Programming. Edinburgh, UK, 2000: 121-132
- [3] Cheang S M, Lee K H, Leung K S. Applying genetic parallel programming to synthesize combinational logic circuits. IEEE Transactions on Evolutionary Computation, 2007, 11(4): 503-520
- [4] Zhao Shu-Guang, Zhao Jian-Xun, Jiao Li-Cheng. Adaptive genetic algorithm based approach for evolutionary design and multi-objective optimization of logic circuits//Proceedings of the 2005 NASA/Dod Conference on Evolvable Hardware. Washington DC, USA, 2005: 67-72
- [5] Bao Zhi-Guo, Watanabe T. A novel genetic algorithm with cell crossover for circuit design optimization//Proceedings of the IEEE International Symposium on Circuits and Systems. Taipei, China, 2009: 2982-2985
- [6] Kuyucu T, Trefzer M, Greensted A, Miller J, Tyrrell A. Fitness functions for the unconstrained evolution of digital circuits//Proceedings of the 2008 IEEE Congress on Evolutionary Computation. Hong Kong, China, 2008: 2584-2591
- [7] Stomeo E, Kalganova T, Lambert C. Generalized disjunction decomposition for evolvable hardware. IEEE Transactions on Systems, Man and Cybernetics, Part B, 2006, 36(5):1024-1043
- [8] Shanthi A P, Ranjani Parthasarathi. Practical and scalable evolution of digital circuits. Applied Soft Computing, 2009, 9(2): 618-624
- [9] Upegui A, Sanchez E. Evolving hardware with self-reconfigurable connectivity in Xilinx FPGAs//Proceedings of the 1st NASA/ESA Conference on Adaptive Hardware and Systems. Istanbul, Turkey, 2006: 153-162
- [10] Blodget B, James-Roxby P, Keller E, McMillan S, Sundararajan P. A self-reconfiguring platform//Proceedings of the 13th International Conference on Field Programmable Logic and Application. Lisbon, Portugal, 2003: 565-574
- [11] Sekanina L, Friedl S. On routine implementation of virtual evolvable devices using COMBO6//Proceedings of the 6th NASA/DoD Workshop on Evolvable Hardware (EH 2004). Seattle, USA, 2004: 63-70

- [12] Coello C A C, Gutierrez R L Z, Garcia B M, Aguirre A H. Automated design of combinational logic circuits using the ant system. *Engineering Optimization*, 2002, 34(2): 109-127
- [13] Moore P W, Venayagamoorthy G K. Evolving digital circuits using hybrid particle swarm optimization and differential evolution. *International Journal of Neural Systems*, 2006, 16(3): 163-177
- [14] Karnaugh M. The map method for synthesis of combinational logic circuits. *Transaction of the AIEE. Communications and Electronic*, 1953, 72(1): 593-599
- [15] Coello C A C, Christiansen A D, Aguirre A H. Use of evolutionary techniques to automate the design of combinational circuits. *International Journal of Smart Engineering System Design*, 2000, 2(4): 299-314
- [16] Coello C A C, Aguirre A H. Design of combinational logic circuits through an evolutionary multiobjective optimization approach. *Artificial Intelligence for Engineering, Design, Analysis and Manufacture*, 2002, 16(1): 39-53



HE Guo-Liang, born in 1974, Ph.D., lecturer. His research interests include evolvable hardware, evolutionary computation and data mining.

LI Yuan-Xiang, born in 1962, professor, Ph.D. supervisor. His main research interests include evolutionary computation and parallel computing.

SHI Zhong-Zhi, born in 1941, professor, Ph.D. supervisor. His main research interests include artificial intelligence, machine learning, multi-agent system and semantic Web.

Background

Evolvable Hardware (EHW) approach is a recently developed technology of circuit design built on the Programmable Logic Device (PLD) or Field Programmable Gate Array (FPGA). The architecture of PLD and FPGA is usually represented by chromosome, and can be reconfigured mainly by using evolutionary computation, such as genetic algorithms and genetic programming. In this paper, the authors design an elitist pool evolutionary algorithm with an extended matrix encoding to design logic circuits automatically, efficiently and safely. The authors mainly research the evolvable hardware techniques including intelligent algorithms, dynamic recon-

figuration, self fault-tolerance and self-evolution to improve the adaptation and reliability of hardware systems automatically under the changing and unknown environments. The research is supported by Natural Science Project of Wuhan University under grants No. 6082019 and the National Natural Science Foundation of China under grant Nos. 60773009 and 60775035, National High-Tech Research and Development Program of China (863 Program) under grant No. 2007AA01Z290 and 2007AA01Z132, and the National basic Research Program of China under grant No. 2007CB311004.