

基于缺陷均匀分布的互连线间耦合电容分析

段旭朝^{1),2)} 赵天绪¹⁾

¹⁾(宝鸡文理学院计算与信息研究所 陕西 宝鸡 721007)

²⁾(宝鸡文理学院物理与信息技术系 陕西 宝鸡 721007)

摘 要 互连线的寄生效应是制约深亚微米 VLSI 电路实现高速、高密度的关键因素. 文中分析了集成电路制造过程中的工艺缺陷对互连线间寄生电容的影响, 给出了考虑缺陷等因素的线间寄生电容模型. 模拟结果表明, 导电冗余物缺陷明显增加了线间寄生电容, 从而对电路的可靠性有较大影响.

关键词 缺陷; 延迟; 互连线; 寄生电容; 耦合电容

中图法分类号 TP302 **DOI号**: 10.3724/SP.J.1016.2009.01147

Analysis of Coupling Capacitance among Interconnections Based on Defect's Uniform Distribution

DUAN Xu-Chao^{1),2)} ZHAO Tian-Xu¹⁾

¹⁾(Institute of Computation and Information, Baoji College of Arts and Sciences, Baoji, Shaanxi 721007)

²⁾(Physics and Information Technology Department, Baoji College of Arts and Sciences, Baoji, Shaanxi 721007)

Abstract The parasitical effect is one of the key factors that restrict the VLSI development forward high speed and high density. In this paper, the parasitical capacitance affected by the defects in the IC manufacturing among interconnections is analyzed and the model of the parasitical capacitance is given. The simulation results show that the extra electric defect makes the parasitical capacitance increase under given a space between interconnections in this paper.

Keywords defect; delay; interconnection; parasitical capacitance; coupling capacitance

1 引 言

集成电路正向着高速度、高密度、低功耗、多功能方向迅猛发展,互连线的寄生效应已成为制约深亚微米 VLSI 电路实现高速、高密度的关键因素. 由于器件尺寸的缩小及芯片面积的增大(以实现更高的集成度),互连线也随之变得更细更长,导致连线的电阻和电容急剧增大. 这将使连线的延迟和串扰显著增加,从而使电路的性能退化,甚至使电路不能正常工作.

VLSI 电路中信号的延迟分两类:门延迟和互连线延迟. 门延迟随器件特征尺寸的缩小而不断减小,而互连线延迟却相应增加. 进入深亚微米工艺后,互连线的延迟甚至超过门延迟,以一长为 10mm、宽度和厚度均为 $0.3\mu\text{m}$ 的铝互连线为例,信号在其上的延迟约为 $2\sim 3\text{ns}$ ^[1],而特征尺寸为 $0.25\mu\text{m}$ 的 CMOS 倒相器门延迟的典型值约为 $50\sim 100\text{ps}$ ^[2]. 因此,对互连线延迟的控制 in 深亚微米 VLSI 电路设计中具有十分重要的意义.

互连线的串扰(crosstalk)在高速、高密度的深亚微米 VLSI 电路中尤为明显. 当两根毗邻的连线

相互间的电磁耦合作用所诱生出的干扰噪声的峰值足够大时,它将导致互连线上传输的信号的逻辑特性发生混乱,或使互连线终端的负载管工作不正常.当串扰噪声的峰值接近 MOS 晶体管的阈值电压,由于亚阈值漏泄电流,高速高密度电路将耗散许多额外功率.串扰是深亚微米 VLSI 互连布线中必须考虑的问题,如果设计不当,对芯片占据面积的浪费将不可避免.

众多研究表明:在高速、高密度集成电路中,限制其发展的不是器件的门延迟,而是互连线寄生元件引起的时间延迟.金属互连线的电阻 R 、金属互连线间及金属层间的电容 C 是互连线主要的寄生元件.它直接决定着互连线的 RC 延迟,关联着信号的串扰.降低互连线的电阻和线间及层间的总电容将减小互连线引起的时间延迟并改善串扰.

近年来,对如何减小互连寄生效应的研究主要倾向于研究新的互连材料,即寻找介电常数比较低的介质($\epsilon_{\text{low-k}} < \epsilon_{\text{SiO}_2}$)替代传统的 SiO_2 ($\epsilon_{\text{SiO}_2} = 3.9$) 以降低互连寄生电容以及电阻率 ρ 比率($\rho \approx 3.1 \mu\Omega \cdot \text{cm}$) 小的替代金属以减小连线电阻.此外,值得注意的是,互连线的几何尺寸对互连寄生效应有显著的影响.连线金属的宽度 W 、厚度 T 和间距 s 的选取决定了连线的电阻、电容值.互连线驱动端 MOS 晶体管的尺寸对互连线的延迟和串扰也有显著的影响.因此,对互连线及其电路几何尺寸的优化设计具有极其重要的意义.

2 互连寄生电容的解析模型

对于集成电路互连寄生电容的研究工作目前大多数集中在多层 VLSI 互连电容的提取上面^[3-4],而 Wong 等人在实验拟合的基础上给出了互连寄生电容的解析表达式^[5].该解析表达式考虑了平行导线的厚度为 T ,介质厚度为 H ,线间距为 s ,线宽度为 w 的互连结构.该模型中的参数是基于深亚微米 VLSI 工艺的应用而选择的,这些参数的取值范围分别为

$$0.15 \mu\text{m} < T < 1.2 \mu\text{m}, \quad 0.16 \mu\text{m} < H < 2.71 \mu\text{m}, \\ 0.10 \mu\text{m} < s < 10 \mu\text{m}, \quad 0.16 \mu\text{m} < w < 2 \mu\text{m}.$$

如果参数超出上述范围,该模型仍然成立^[5].其原因是 Poisson 方程的解受空间参数的相对值的影响,而不受单个值的影响.

Wong 等人考虑的是一个三线互连寄生电容问题,它可以抽象为图 1 的电路结构^[5].

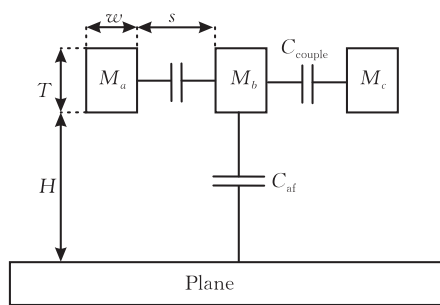


图 1 互连寄生电容的电路结构

C_{couple} 表示两条金属导线之间的耦合电容,可以表示为 3 个有理函数之和,这 3 个有理函数分别可以通过模拟 3 个通量成分后再经过最小二乘法拟合得到.

$$\frac{C_{\text{couple}}}{\epsilon_{\text{ox}}} = 1.144 \frac{T}{s} \left(\frac{H}{H+2.059s} \right)^{0.0944} + \\ 0.7428 \left(\frac{w}{w+1.592s} \right)^{1.144} + \\ 1.158 \left(\frac{w}{w+1.874s} \right)^{0.1612} \left(\frac{H}{H+0.9801s} \right)^{1.179} \quad (1)$$

其中 $\epsilon_{\text{ox}} = 3.9 \times 8.85 \times 10^{-14} \text{ F/cm}$. 式(1)中右端第 1 项表征导线侧墙通量,其与导线的厚度 T 成线性关系并且随着 H/s 减小而减小(即随着地通量的增加),因为从侧墙产生的更多的通量被地吸收.第 2 项给出了导线的上表面对通量的贡献,其随着导线宽度 w 的增加或者随着导线之间的间距 s 的减小而增加,而且独立于地通量.第 3 项表示导线下表面通量,其与地通量成反比例.

类似地, C_{af} 可以通过模拟 3 个通量成分表示为 3 个有理函数之和,并且通过最小二乘法拟合得到.

$$\frac{C_{\text{af}}}{\epsilon_{\text{ox}}} = \frac{w}{H} + 2.217 \left(\frac{s}{s+0.702H} \right)^{3.193} + \\ 1.171 \left(\frac{s}{s+1.510H} \right)^{0.7642} \left(\frac{T}{T+4.532H} \right)^{0.1204} \quad (2)$$

式(2)右端第 1 项表示下面金属板到地面之间的通量,其简单地可表示为金属板到金属板间的电容.第 2 项和第 3 项分别表示导线上表面和导线侧墙对通量的贡献.在这两项中,通量随着 s 的减小而减小,其原因是更多的耦合通量被相邻的电极 M_a 和 M_c 吸收.

导线 M_b 的总电容为 $C_{\text{total}} = C_{\text{af}} + 2C_{\text{couple}}$.

3 冗余物缺陷对寄生电容的影响

在集成电路的生产过程中,空气中的灰尘粒子、

光刻胶中的颗粒以及其它形式的污染等均能造成实际版图与理想版图之间的偏差. 这种偏差称为缺陷. 假设在制造过程中, 有一个导电冗余物缺陷落在导线之上(如图 2 所示), 导线之间的线间距就发生了变化. 一般的都将缺陷抽象成一个直径为 R 的圆. 本文首先假设一粒径为 R 的导电冗余物缺陷落在导线 M_a 和 M_b 之间. 为了讨论问题的方便, 在此将圆形缺陷用一个边长为 R 的正方形近似替代.

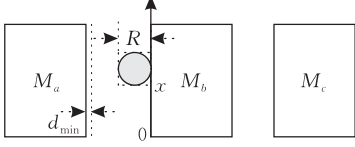


图 2 冗余物缺陷落在导线之间示意图

由于缺陷落在导线之间位置的随机性以及缺陷粒径的随机性, 因此假设冗余物缺陷使得导线之间的间距小于 d_{\min} 时, 就认为导电冗余物缺陷导致了导线短路, 造成了短路故障.

当缺陷出现在距导线的下表面的距离为 x 时, 可以分为以下 3 种情形来分析:

第 1 项为侧墙产生的通量, 该通量有两部分组成. 其一为导线中除去与冗余缺陷重叠部分以外的导线部分所产生的通量; 另一部分为缺陷侧面所产生的通量. 因此, 侧墙产生的通量为

$$\frac{C_1}{\epsilon_{ox}} = 1.144 \frac{T-R}{s} \left(\frac{H}{H+2.059s} \right)^{0.0944} + 1.144 \frac{R}{s-R} \left(\frac{H+x}{H+x+2.059s} \right)^{0.0944} \quad (3)$$

第 2 项为上表面产生的通量, 该通量由两部分组成. 第 1 部分为导线的上表面所产生的通量, 第 2 部分冗余物缺陷表面产生的通量. 因此, 整个上表面所产生的通量为

$$\frac{C_2}{\epsilon_{ox}} = 0.7428 \left(\frac{w}{w+1.592s} \right)^{1.144} + 0.7428 \left(\frac{R}{R+1.592(s-R)} \right)^{1.144} \quad (4)$$

第 3 项为下表面产生的通量, 其分为两部分. 第 1 部分为导线的下表面产生的通量, 第 2 部分为冗余物缺陷的下表面产生的通量. 下表面所产生的通量为

$$\frac{C_3}{\epsilon_{ox}} = 1.158 \left(\frac{w}{w+1.874s} \right)^{0.1612} \left(\frac{H}{H+0.9801s} \right)^{1.179} + 1.158 \left(\frac{R}{R+1.874(s-R)} \right)^{0.1612} \left(\frac{H+x}{H+x+0.9801(s-R)} \right)^{1.179} \quad (5)$$

导线 M_b 与地面之间的分布电容可以表示为导

线的下表面以及缺陷的下表面与地面之间的分布电容、导线中除去与冗余缺陷重叠部分以外的导线部分侧面以及缺陷的侧面与地面之间的分布电容以及导线的下表面及缺陷的下表面与地面之间的分布电容之和. 其表达式为

$$\begin{aligned} \frac{C_{af1}}{\epsilon_{ox}} = & \frac{w}{H} + \frac{R}{H+x} + 2.217 \left(\frac{s}{s+0.702H} \right)^{3.193} + \\ & 2.217 \left(\frac{s-R}{s-R+0.702(H+x)} \right)^{3.193} + \\ & 1.171 \left(\frac{s}{s+1.510H} \right)^{0.7642} \left(\frac{T}{T-R+4.532H} \right)^{0.1204} + \\ & 1.171 \left(\frac{s-R}{s-R+1.510R} \right)^{0.7642} \left(\frac{R}{R+4.532(H+x)} \right)^{0.1204} \end{aligned} \quad (6)$$

受边长为 R 的正方形缺陷影响的导线 M_b 的总电容为

$$C_{total}(R) = C_{af1} + 2(C_1 + C_2 + C_3) \quad (7)$$

由于边长为 R 的缺陷出现位置的随机性, 假设边长为 R 的缺陷出现是均匀出现的, 那么受边长为 R 的正方形缺陷影响的导线 M_b 的平均总电容为

$$\bar{C}_{total}(R) = \int_0^T ([C_{af1} + 2(C_1 + C_2 + C_3)]/T) dx \quad (8)$$

由于缺陷粒径(大小)的随机性, 因此正方形缺陷的边长为一个随机变量. 正方形的边长正好等于圆形缺陷的粒径 R . 缺陷的粒径分布为

$$f(R) = \begin{cases} R/(R_0^2), & 0 < R \leq R_0 \\ R_0^2/R^3, & R_0 < R \leq \infty \end{cases} \quad (9)$$

导线 M_b 的总电容 C_{total} 为

$$\begin{aligned} C_{total} = & \int_0^{+\infty} \bar{C}_{total}(R) \cdot f(R) dR \\ = & \int_0^{R_0} \frac{R}{R_0^2} \bar{C}_{total}(R) dR + \int_{R_0}^{s-d_{\min}} \frac{R_0^2}{R^3} \bar{C}_{total}(R) dR + \\ & \int_{s-d_{\min}}^{+\infty} \frac{R_0^2}{R^3} \cdot 0 dR \end{aligned} \quad (10)$$

4 实验与分析

通过对模型(10)的模拟来说明冗余物缺陷对导线 M_b 的总电容 C_{total} 的影响. 本文中所取的参数与文献[5]中的一致, 即 $w = 0.2 \times 10^{-6}$ cm, $T = 0.64 \times 10^{-6}$ cm, $H = 0.89 \times 10^{-6}$ cm. 另外在本文给出的新模型中, 给定的粒径峰值 R_0 和互连线间最小失效距离 d_{\min} 分别为 $R_0 = 0.2 \times 10^{-7}$ cm, $d_{\min} = 0.1 \times 10^{-7}$ cm. 图 3 给出了在线宽度 w 、线厚度 H 和介质厚度 T 等参数给定的情况下, 互连线间寄生电容随线间距 s 变化的情况. 从图中可以看出, 本文给出的互连线间

寄生电容模型与原模型随线间距 s 变化的趋势完全一致. 当线间距比较小时, 互连线间的寄生电容比较大; 随着线间距的增大, 寄生电容在逐渐减小. 另外, 从图中还可以看出, 对同一个线间距 s 而言, 本文给出的互连线间寄生电容要比原模型表征的互连线间寄生电容要大. 其原因是在原模型中没有考虑导电冗余物缺陷对互连线间寄生电容的影响, 而本文给出的模型给予考虑. 因为互连线间导电冗余物缺陷的出现, 局部减小了互连线之间的线间距, 在局部范围使互连线间的耦合电容也随之增大.

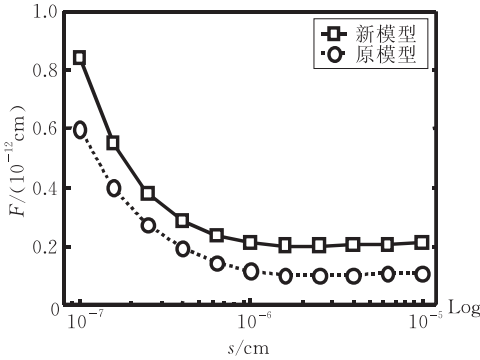


图 3 互连线间寄生电容随线间距的变化情况

图 4 给出了本文提出的新模型在不同的互连线间最小失效距离 d_{\min} 下互连线间寄生电容随线间距 s 的变化情况. 从图中可以看出, 对不同的 d_{\min} , 当 s 比较大时互连线间寄生电容随着 s 的增加变化不大. 即, 对同一个 s 而言, 互连线间寄生电容几乎不随 d_{\min} 的变化而变化. 其原因是当线间距比较大时, d_{\min} 相对于线间距 s 而言可以忽略, 因此, d_{\min} 对互连寄生电容的影响可以忽略不计.

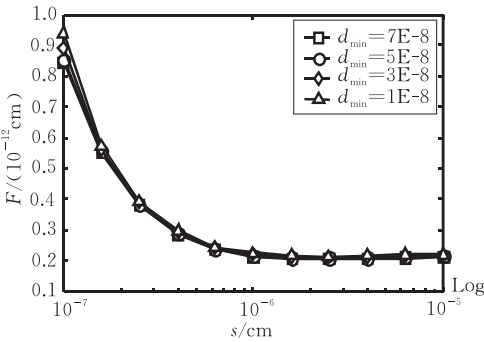


图 4 在不同的 d_{\min} 下寄生电容随 s 的变化情况

当线间距比较小时, 对不同的 d_{\min} 互连线间寄生电容随线间距 s 的变化比较大. 图 5 给出了在不同的 d_{\min} 下互连线间寄生电容在线间距比较小时随线间距 s 的变化情况. 从图中可以看出, 对同一个 s 互连线间寄生电容随着 d_{\min} 的增加在下降. 其原因是对同一个 s 而言, 即两条导线间的间距一定, 而

d_{\min} 表示导电冗余物缺陷使得线间距小于 d_{\min} 时 just 造成互连线短路的临界值, 因此 d_{\min} 越大, 表明互连线间的最小间距越大, 则互连线间的寄生电容也就越大.

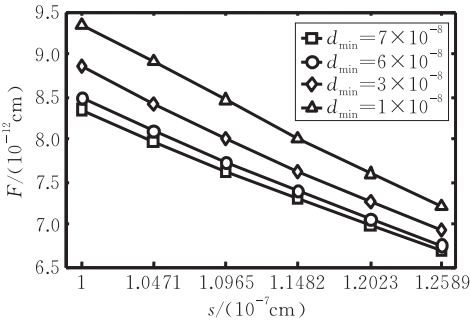


图 5 在不同的 d_{\min} 下线间寄生电容随 s 的变化情况

图 6 给出了在不同的线间距 s 及 $d_{\min} = 0.1 \times 10^{-7}$ cm 时互连线间寄生电容缺陷峰值粒径 R_0 的变化情况. 从图中可以看出, 对同一个 s 而言, 寄生电容随着 R_0 的增加而增加. 这是因为当线间距一定时, R_0 的增加减小了互连线之间的间距, 因此增大了线间的耦合电容. 从图中还可以看出, 对同一个 R_0 而言, 线间的寄生电容随着线间距 s 的增加在减小. 其原因是当峰值粒径 R_0 一定时, 线间距 s 的增加意味着导线之间的有效间距也在增加, 因此线间的耦合电容在减小.

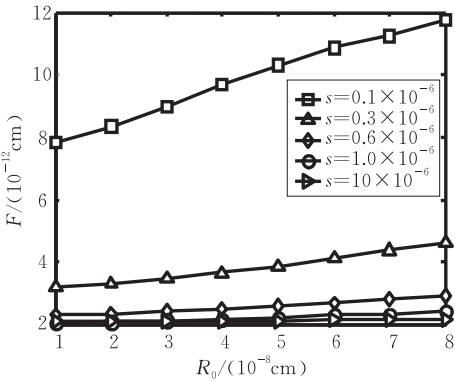


图 6 在不同的线间距 s 下向量寄生电容随 R_0 的变化情况

5 结 论

由于在集成电路制造过程中始终存在着缺陷, 它的存在严重地影响着集成电路的成品率和可靠性. 当丢失物缺陷出现在金属互连层时会产生电迁移效应, 大大缩短互连线寿命, 降低集成电路可靠性. 当导电冗余物缺陷出现在金属互连层时会改变金属互连线间距, 使得集成电路寄生参数增大, 导致集成电路性能下降. 本文分析了冗余物缺陷对互连

线间寄生电容的影响,给出了基于缺陷均匀分布的互连线间寄生电容的计算模型. 模拟结果表明,对于同一个线间距,考虑了缺陷影响的互连线间寄生电容模型所得的结果明显大于没有考虑缺陷影响的寄生电容模型所得的结果. 因此,导电冗余物缺陷对互连线间寄生电容有很大的影响.

参 考 文 献

[1] Sakurai T. Closed-form expressions for interconnection delay, coupling and crosstalk in VLSIs. *IEEE Transactions on Electron Devices*, 1993, 40(1): 118-124

[2] Yuan Taut, Nowak Edward J. CMOS devices below 0.1 μ m;

How high performance goes?//*Proceedings of the IEDM'97*. Washington DC, 1997: 215-218

[3] Arora Narain D, Raol Kartik V, Schumann Reinhard, Richardson Llanda M. Modeling and extraction of interconnect capacitances for multilayer VLSI circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 1996, 15(1): 58-67

[4] Tetsuhisa Mido, Hiroshi Ito, Kunihro Asada. Test structure for characterizing capacitance matrix of multi-layer interconnects in VLSI. *IEICE Transactions on Electron*, 1999, 82-C(4): 570-575

[5] Wong Shyh-Chyi, Lee Gwo-Yann, Ma Dye-Jyun. Modeling of interconnect capacitance, delay, and crosstalk in VLSI. *IEEE Transactions on Semiconductor Manufacturing*, 2000, 13(1): 108-111



DUAN Xu-Chao, born in 1964, M. S. , associate professor. His research interests include optimal design of IC yield and optimization algorithm.

ZHAO Tian-Xu, born in 1964, Ph. D. , professor. His research interests include IC manufacturability design and IC fault-tolerant.

Background

This research belongs to the project of “Study on the Related Problems to Yield and Reliability of the Deep Submicron meter Devices” supported by the Shaanxi Province Natural Science Foundation (No. SJ08-ZT13).

There are three parameter that significantly affect yield and reliability of ICs: (1) a design-related parameter, such as chip area and gate oxide thickness; (2) a process-related parameter, such as defect distribution and density; (3) an operation-related parameter, such as temperature and voltage. In general, reliability depends upon all three parame-

ters, whereas yield is affected by design and process-related parameters. Therefore, defect is one of important factors affecting IC yield and reliability.

The authors have researched on the effect of defect to IC yield and reliability. They propose the critical area model of yield of tolerant circuit and the lifetime estimation model of integrated circuit with defective interconnect. These researches are the main problems of the design for manufacturability of integrated circuits.