

一种并行提升小波基的设计方法与 VLSI 实现研究

田 昕 谭毅华 田金文

(华中科技大学图像所多谱信息处理技术国防科技重点实验室 武汉 430074)

摘 要 设计了一种具有二进制特点且消失矩为 4 的高性能 9/7 小波基,提出了其 VLSI 高速实现结构. 该小波基的提升系数的分母均可转化为 2 的幂次有理数,有利于简化 VLSI 设计. 实验结果显示,其压缩性能和 CDF97 小波相当;在有限位宽下,其压缩性能甚至优于 CDF97. 新的 VLSI 结构实现仅需加法和移位等简单运算,可有效地减少硬件资源,缩短关键路径. 通过折叠技术和重调度技术,该硬件结构转化为一种嵌入式折叠提升结构,使得每个加法运算可并行执行,关键路径可减小至接近于一个加法器的延时,达到资源的优化利用. 仿真结果表明,该硬件结构最大工作频率可达到 250 MHz 左右,可工作的最大系统频率提高到了原来的 4 倍左右,与传统 CDF97 的 4 级流水线结构相比,逻辑单元数减少了约 66.7%,特别适合于实时高速压缩应用.

关键词 小波变换;并行运算;折叠结构;关键路径;VLSI

中图法分类号 TP302

A New Design for 9/7-Tap Wavelet Filter and Its VLSI Implementation

TIAN Xin TAN Yi-Hua TIAN Jin-Wen

(State Key Laboratory for Multi-Spectral Information Processing Technologies,
Institute for Pattern Recognition & Artificial Intelligence, Wuhan 430074)

Abstract This paper designs a new kind of lifting 9-7-tap wavelet filter with binary characteristics and presents a high speed VLSI structure for the wavelet filter. The coefficients of the lifting filters are binary numbers, so it can simplify the VLSI design. The test results for compression performances have shown that the new filter is good almost as CDF97 under PSNR. when the data has a finite accuracy, it may have a better performance than CDF97. The filter can be implemented with using adders and shifters. Therefore the hardware resources can be saved and the critical path can be shortened. According to using the folding technology and the retiming technology, the architecture of the design can be transformed into a kind of embedded folding architecture which leads to the parallel computation of addition operations. So the critical path can be shortened to nearly the time of a addition operation and the utilization of the hardware resources also has a good performance. Simulation results show that the max working frequency could almost reach 250 MHz which is the four times by the CDF97; The occupied logic cell is reduced by 66.7 compared with the CDF97+4 stages pipeline. So it is especially suitable for the high speed VLSI design.

Keywords wavelet transform; parallel computing; folding architecture; critical path; VLSI

收稿日期:2006-11-16;最终修改稿收到日期:2007-12-03. 本课题得到国家“九七三”重点基础研究发展规划项目基金(2006CB701303)和湖北省自然科学基金(2006ABA088)资助. 田 昕,男,1982 年生,博士研究生,主要研究方向为图像处理、图像/视频压缩算法研究及其 VLSI 实现. E-mail: tianxin@smail.hust.edu.cn. 谭毅华,男,1975 年生,副教授,主要研究方向为图像/视频压缩算法研究、智能监控、目标监测与识别和高光谱图像处理. 田金文,男,1961 年生,教授,博士生导师,主要研究领域为遥感图像处理、小波分析、图像压缩、计算机视觉和分形几何.

1 引言

随着卫星遥感技术的发展和传输式观测卫星遥感图像质量要求的不断提高,航天遥感图像的分辨率和采样率也越来越高,由此引起高分辨率遥感图像数据存储量和传输数据量的急剧增长.例如我国正在论证的“详查卫星”、高分辨率 TDI-CCD 相机获取的遥感信息量如果采用普通的 8 bits PCM 编码,则数传系统的所需传输码速率将高达 2000 Mb/s,目前的传输信道还难以达到.为了尽量保持高分辨率遥感图像所具有的信息,必须解决输入数据码速率和传输信道带宽之间的矛盾,因此星载环境高分辨率遥感图像数据的高速、实时、大压缩比压缩编码是解决数传带宽和信息保持之间矛盾的关键技术.作为最新的静止图像压缩国际标准, JPEG2000 在遥感图像等海量数据压缩方面提供了很好的技术支持和具有优秀的压缩性能.而在 JPEG2000 算法^[1]中,一个比较核心的关键技术就是小波变换技术.近年来,国内外就如何设计快速、高性能的基于小波变换的 VLSI 结构,展开了很多工作.提升型小波变换能够有效减少算术运算单元的数目和寄存器的数量^[2].但是基于提升算法的小波变换比基于卷积运算的实现会有较长的关键路径^[3].文献[4]提出了一种反折结构,该结构具有较短的关键路径,可有效地提高系统的工作频率.文献[5]提出了一种并行提升结构(PLS),并且使得资源的利用率达到较优化.但是文献[5]的方法中需要使用浮点乘法操作,同时还存在着数据溢出的问题.

本文给出一种新的 9/7 小波基(简称为 Binary Power CDF97)设计方案及其 VLSI 提升实现结构,其提升系数均可转化为分母是 2 的幂次有理数表示.在整个提升过程中无需使用乘法运算,具有较小的关键路径,通过流水线技术和折叠技术可进一步优化结构设计.与同类设计的结果进行比较发现,该结构具有关键路径短,硬件使用资源少的特点,适用于高速、实时、大压缩比的应用场合.

2 传统的 CDF97 提升小波特点分析

CDF97 双正交小波基具有线性相位,具有良好的压缩性能.大量的实验也证明,在众多小波基中, CDF97 小波具有综合最优的压缩性能,因此被 JPEG2000 图像压缩标准所采用,也被大多数基于

小波的图像压缩算法所采用.由于其小波基系数均是无理数,在计算过程中需要使用大量的浮点乘法运算,不利于硬件实现.文献[6]用二进制整数近似地逼近 CDF97 小波的系数,去除较复杂的乘法运算,但是近似运算会导致压缩性能下降.文献[7]把小波基的系数有理化,得出了一种新的 9/7 小波基,这种小波基保持了双正交和精确重构的优秀特性,但却减少了传递函数的“0 特性”(“0 特性”就是传递函数在 z 为 -1 时保持为 0 的特性),而这点对于小波的正则性非常重要.文献[8]以构造双正交小波的 Cohen-Daubechies-Feauveau 定理为基础,利用提升方法构造了一组小波基.但是该方法并没有从 VLSI 角度给出其设计的原理,而且没有给出其浮点运算的解决方案,因此该小波基无法在较高频率下工作.

面对各种高速的应用需求,如卫星输入数据率甚至达到 200M 像素/s,对小波变换也提出了相应的运算要求.因此设计一种压缩性能和传统 CDF97 小波基相当、又具有很高工作频率的小波基是实现这些应用的关键.

3 一种具有二进制特点且消失矩为 4 的 9/7 提升小波的结构

3.1 CDF97 小波的提升算法

根据文献[9]的方法可知,传统的 9/7 提升结构可写为式(1),其中 a, b, c, d, k 等参数均为实数.

$$\tilde{P}(z) = \begin{bmatrix} 1 & a(1+z^{-1}) \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ b(1+z) & 1 \end{bmatrix} \begin{bmatrix} 1 & c(1+z^{-1}) \\ 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} 1 & 0 \\ d(1+z) & 1 \end{bmatrix} \begin{bmatrix} k & 0 \\ 0 & 1/k \end{bmatrix} \quad (1)$$

那么对应的

$$\begin{cases} h(z) = abcdk(z^{-4} + z^4) + bcdk(z^{-3} + z^3) + \\ k(ab + ad + cd + 4abcd)(z^{-2} + z^2) + \\ k(b + d + 3bcd)(z^{-1} + z) + \\ k(1 + 2ab + 2ad + 2cd + 6abcd) \\ kg(z) = abc(z^{-4} + z^2) + bc(z^{-3} + z) + \\ (a + c + 3abc)(z^{-2} + 1) + (1 + 2bc)z^{-1} \end{cases} \quad (2)$$

在图像压缩的应用中,消失矩表明了小波变换后能量的集中程度,消失矩阶数足够大时,精细尺度下的高频部分有许多小系数可以忽略(奇异点除外).小波基的消失矩越大的,图像小波分解后的能量就越集中,压缩的空间就越大. Daubechies 已经证明了:(1)若小波基具有 p 阶消失矩,则其滤波器的

长度不小于 $2p$; (2) 滤波器为奇数长关于 0 对称的双正交小波器消失矩必为偶数. 由于滤波器的长度越长, 计算越复杂, 因此需在消失矩和滤波器长度之间进行折中.

基于这种权衡, CDF97 小波^[7]在分解与重构端的消失矩均取为 4, 此时将得到唯一解. 求解得到的小波滤波器组在进行图像压缩时具有最优的性能.

3.2 具有二进制特点的 9/7 提升小波设计

在实际应用中计算机受到数据位宽的限制只可能取到有限位, 受计算精度的影响, 实际实现的 CDF97 小波, 其滤波器将不能完全重构, 因此相比其设计的性能将有所下降. 特别在 VLSI 设计中, 随着数据位宽的减少, 精度进一步降低, 其压缩性能将继续下降. 如此带来的影响是, 不同的实现精度其性能都是不一致的, 而且可能造成不兼容的问题. 另一方面, CDF97 的 VLSI 实现需要乘法, 导致运算速度下降. 为了克服这两个问题, 我们设计了受计算位宽影响小和 CDF97 小波性能相当的小波基, 并使之具有二进制特点, 便于 VLSI 实现.

通过对 CDF97 小波的考察, 降低其消失矩可获得更多的自由度, 从而可在多个小波基中选择受精度影响小的小波基. 由于受精度的影响小, 实际实现时可以取得设计的性能, 从而有可能达到比 CDF97 的有限精度实现更好的压缩性能.

根据 CDF97 小波消失矩的取值, 为了不致在降低消失矩时大幅地降低性能, 设计新的小波基时, 9/7 双正交小波分解与重构端的消失矩分别为 2 和 4 (此时自由度为 1). 此时由对应关系知 $\tilde{h}(z) = -z^{-1}g(-z^{-1})$, 根据归一化条件 $h(z)|_{z=1} = \sqrt{2}$, $g(z)|_{z=1} = \sqrt{2}$, 可求得如下关系式:

$$\begin{cases} b = -1/(4a+2)^2 \\ c = -(4a+2)^2/4(4a+1) \\ d = (4a+1)(8a^2+6a+3)/[2(4a+2)^3] \\ k = \sqrt{2}(4a+2)/(4a+1) \end{cases} \quad (3)$$

同时根据文献[10]中提到的双尺度方程级联式叠代过程收敛判别方法可得到 a 的范围: $(-\infty, -0.79) \cup (0.64, \infty)$. 从文献[11-12]中的方法可知, 在二维小波变换中放缩因子可放在最后一起完成, 并且是以 k^2 的形式相乘, 可有效地消除系数 k 中无理数带来的影响, 故在一维提升步骤中暂不考虑放缩因子 k 中的无理数.

令 $4a+2=x/y$, x 与 y 为互质的整数. 式(3)可等效转化为

$$\begin{cases} a = (x-2y)/(4y) \\ b = -y^2/x^2 \\ c = -x^2/[4y(x-y)] \\ d = (x^2-xy+4y^2)(x-y)/(4x^3) \\ k = \sqrt{2}x/(x-y) \end{cases}.$$

从上式可以发现, 当 x 为 2 的幂次有理数时, b 和 d 均可通过移位和加法等价表示; 由于 x 与 y 为互质的整数, y 必然为奇数; 只有当 $y=1$ 时, a 才可通过移位和加法等价表示. 通过上文分析, 可令

$$4a+2 = n(n = \cdots 4, 2, 1, -1, -2, -4 \cdots).$$

在 VLSI 设计中, 数据位宽往往是有限的; 当 n 取值比较大时, 例如 $n=16$, 此时 $a=7/2$; $b=-1/256$; $c=-64/15$; $d=915/4096$; 可以看出, 在每一步的提升运算中, 数据都存在着较大的精度变化, 不适合于有限精度的应用场合. 故 $4a+2$ 的取值为 4, 2, 1, -1, -2, -4, 即 a 的取值为 0.5, 0, -1/4, -3/4, -1, -3/2. 由于 a 的范围限制, a 的取值为 -1 和 -3/2, 对应的双正交对称 9/7 小波系数分别为

$$\begin{aligned} \{h(0), h(1), h(2), h(3), h(4)\} &= \{5\sqrt{2}/96, \\ &-5\sqrt{2}/96, \sqrt{2}/36, 29\sqrt{2}/96, 13\sqrt{2}/48\}, \\ \{\tilde{h}(0), \tilde{h}(1), \tilde{h}(2), \tilde{h}(3)\} &= \{5\sqrt{2}/16, \\ &5\sqrt{2}/16, -\sqrt{2}/16, -\sqrt{2}/16\}, \end{aligned}$$

$$\begin{cases} a = -1 \\ b = -1/4 \\ c = 1/3 \\ d = 15/16 \\ k = 2\sqrt{2}/3 \end{cases} \quad (4)$$

和

$$\begin{aligned} \{h(0), h(1), h(2), h(3), h(4)\} &= \{19\sqrt{2}/32, \\ &43\sqrt{2}/160, -3\sqrt{2}/40, -3\sqrt{2}/160, 9\sqrt{2}/320\}, \\ \{\tilde{h}(0), \tilde{h}(1), \tilde{h}(2), \tilde{h}(3)\} &= \{9\sqrt{2}/16, \\ &19\sqrt{2}/64, -\sqrt{2}/32, -3\sqrt{2}/64\}, \end{aligned}$$

$$\begin{cases} a = -3/2 \\ b = -1/16 \\ c = 4/5 \\ d = 15/32 \\ k = 4\sqrt{2}/5 \end{cases} \quad (5)$$

从以上推导, 我们可以得到两组性质类似的 BPCDF 小波基, 在第 3 节将对其提升实现的结构进一步作改进.

3.3 BPCDF 的压缩性能实验

为了验证设计的 BPCDF 的压缩性能, 采用 EB-COT 算法对几种不同分辨率的典型遥感图像进行压缩测试. 测试图像为 8 bits, 大小为 512×512 灰度图

像,如图 1 所示. BPCDF 和 CDF97 在相同压缩比下,用不同的数据精度(数据位宽为 64bits 和 16bits)进行比较实验,以图像压缩客观质量 PSNR 作为评价标准,结果见表 1. 在不同的数据精度下,CDF97 的实现需用存在较大误差的二进制整数来逼近其系数.

从实验结果上可以看出,当数据精度为 64 bits 时,消失矩的影响占主导地位,这时由于近似误差比较小,在不同压缩比下 3 种小波基的性能比较接近(因为它们具有相同的消失矩),CDF97 的性能略微占优. 当数据精度为 16 bits 时,3 种小波基就存在着比较大的差异. 在 8 倍压缩比,数据精度的影响占主

导地位. CDF97 采用了二进制整数近似的方法,其数据存在着较大的误差范围,因此其压缩性能最差. 对于 BCDF97 而言,由于 $a=-1$ 时的提升系数动态范围比较小,压缩性能也会比 $a=-3/2$ 时的好一些. 若压缩比逐渐提高到 32 时,数据的动态范围将减小,数据精度的影响将不会那么明显,三者的压缩性能将进一步接近. 从以上分析可看出, $a=-1$ 时对应的 BCDF97 小波在精度有限,压缩比为 8~32 的情况下具有最佳性能;相对于传统的 CDF97 而言,当数据为有限精度时(16 bits),其 PSNR 值将提高 1 dB~3 dB 左右.

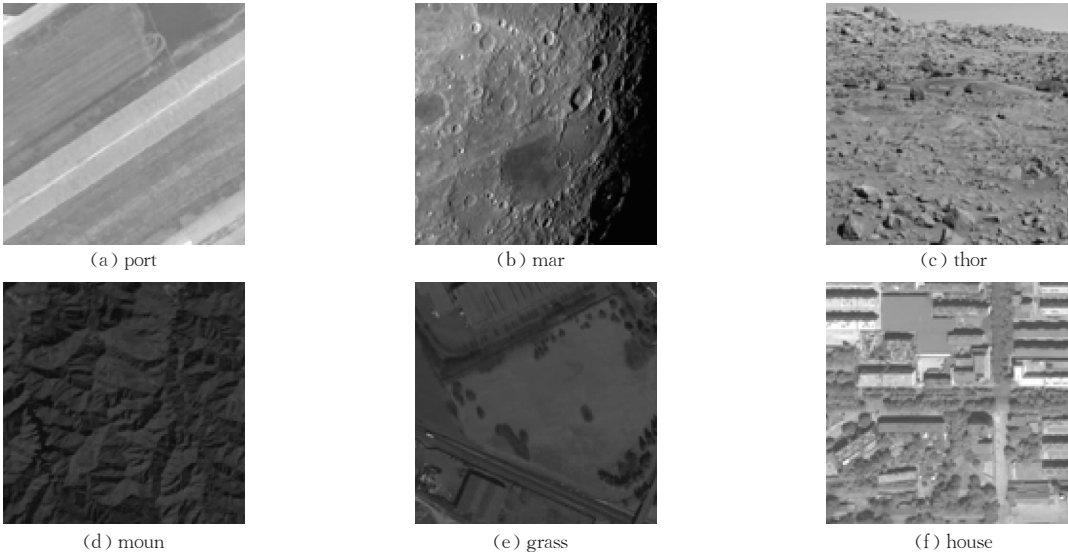


图 1 测试图像

从实验结果可以说明,BPCDF97 的压缩性能和其压缩性能甚至优于 CDF97 小波. 因此 BPCDF 小波可在压缩时替代传统的 CDF97 小波.

表 1 CDF97 与 BPCDF97 图像压缩客观质量(PSNR/dB)对比(数据精度为 64 bits 和 16 bits)

图像	压缩比	PSNR/dB					
		CDF97 (64 bits)	BPCDF97 ($a=-1$, 64 bits)	BPCDF97 ($a=-3/2$, 64 bits)	CDF97 (16 bits)	BPCDF97 ($a=-1$, 16 bits)	BPCDF97 ($a=-3/2$, 16 bits)
port	8	44.3213	44.1056	44.2995	30.2558	32.2006	30.5228
	16	40.9635	40.7995	40.9535	30.2444	32.1552	31.4235
	32	38.4661	38.3002	38.4881	29.7852	31.9963	30.4585
mar	8	36.6755	36.4555	36.7501	28.5412	30.5556	29.1474
	16	32.0855	31.9556	32.0562	28.1221	29.8887	28.8875
	32	28.8838	28.7112	28.8901	26.8231	28.2314	27.5632
thor	8	34.5415	34.3552	34.5005	28.9965	30.6523	29.5663
	16	30.7126	30.5005	30.8005	27.0142	28.8632	27.6865
	32	27.7928	27.6005	27.7559	26.2312	27.8565	26.6895
moun	8	42.3812	42.1956	42.4003	29.8445	31.7585	30.8575
	16	39.5889	39.4112	39.5757	27.1232	29.4554	27.8665
	32	37.2599	37.0695	37.2568	26.0145	27.5012	27.1124
grass	8	47.7496	47.5092	47.7620	28.7482	32.4846	29.4095
	16	43.6099	43.4486	43.5125	28.5523	32.1673	29.2113
	32	40.9150	40.4308	40.8850	28.2432	31.8045	28.9787
house	8	38.9726	38.4721	38.9690	29.3330	32.1745	29.8759
	16	33.2426	33.2195	33.2226	27.5429	29.4828	27.9561
	32	30.0075	29.7430	29.9652	26.1937	27.4477	26.5155

4 BPCDF97 小波的 VLSI 结构优化设计

4.1 BPCDF97 小波的提升系数二进制化

从上节的讨论可知,若数据精度有限,BPCDSF 的提升系数 a 取值 -1 时具有较好的性能,此时得到的提升结构如式(6)所示。

$$\tilde{P}(z) = \begin{bmatrix} 1 & -(1+z^{-1}) \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ -1/4(1+z) & 1 \end{bmatrix} \begin{bmatrix} 1 & 1/3(1+z^{-1}) \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ 15/16(1+z) & 1 \end{bmatrix} \begin{bmatrix} 2\sqrt{2}/3 & 0 \\ 0 & 3\sqrt{2}/4 \end{bmatrix} \quad (6)$$

注意到式(6)中有一个提升系数为 $1/3$,需要使用到浮点乘法运算.为消除该浮点运算,对式进行相关变换达到系数的二进制化.对式(6)进行矩阵变换可得

$$\tilde{P}(z) = \begin{bmatrix} 1 & -(1+z^{-1}) \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ -1/4(1+z) & 1 \end{bmatrix} \begin{bmatrix} 1 & (1+z^{-1}) \\ 0 & 3 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ 5/16(1+z) & 1 \end{bmatrix} \begin{bmatrix} 2\sqrt{2}/3 & 0 \\ 0 & \sqrt{2}/4 \end{bmatrix} \quad (7)$$

从式(7)可以看出,提升系数的分母全部转化为 2 的幂次有理数,整个提升过程仅仅只需要加法运算和移位运算,实现了我们的设计目标.但是,此时该结构仍具有较长的关键路径,在 VLSI 设计中可利用并行计算的特点进行结构优化。

如果采用 $x(n)$ 表示输入序列, $H(n)$ 和 $L(n)$ 分别表示输出的高频子带和低频子带成分,采用数学方程的形式表示,前向(9,7)小波变换的实现过程可表示如下:

$$\begin{aligned} L^{(0)}[n] &= -x[2n] \\ H^{(0)}[n] &= x[2n+1] \\ H^{(1)}[n] &= H^{(0)}[n] + L^{(0)}[n] + L^{(0)}[n+1] \\ L^{(1)}[n] &= -\{L^{(0)}[n] + 1/4(H^{(1)}[n] + H^{(1)}[n-1])\} \\ H^{(2)}[n] &= 3H^{(1)}[n] + L^{(1)}[n] + L^{(1)}[n+1] \\ L^{(2)}[n] &= L^{(1)}[n] + 5/16(H^{(2)}[n] + H^{(2)}[n-1]) \\ H[n] &= 2\sqrt{2}/3H^{(2)}[n], L[n] = \sqrt{2}/4L^{(2)}[n] \end{aligned} \quad (8)$$

传统的 CDF97 小波在采用 4 级流水线时关键路径为 $Tm + 2Ta$,使用了 11 个寄存器,其结构如图 2 所示.其中 Tm 和 Ta 分别代表乘法器和加法器的延时.未采用流水线的 BPCDF97 小波结构图如图 3 所示.若 BPCDF97 小波使用 4 级流水线技

术,该结构的关键路径为 $2Ta$,使用的寄存器数目为 16,其结构图如图 4 所示。

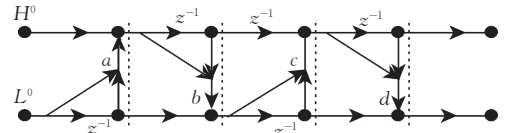


图 2 4 级流水线的 CDF97 结构

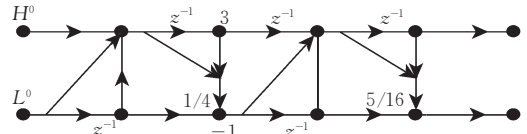


图 3 未加流水线的 BPCDF97 结构

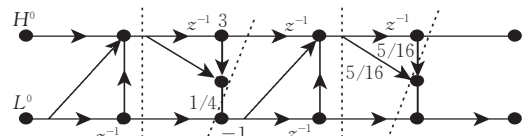


图 4 4 级流水线的 BPCDF97 结构

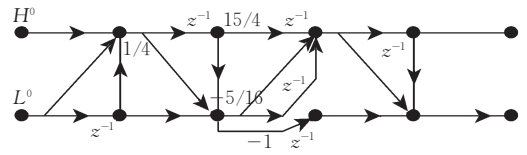


图 5 重调度后的 BPCDF97 结构

4.2 嵌入式折叠提升结构(EFLSA)

在许多应用中,数据是按照串行的方式,一行行像素从左至右送入系统进行处理^[11],本文就是基于行扫方式输入数据的格式.此时 H^0 比 L^0 延时一个时钟周期,并且 H^0 和 L^0 的更新周期均为 2 个单位周期.利用该特点,本文提出了一种嵌入式折叠提升结构(EFLSA)来节省系统所需资源.首先通过重调度技术将图 4 的结构转化为图 5 的结构,这样可消除提升步中的串行性,有利于加法运算的并行执行.然后利用折叠技术,可有效地减少所需的资源和关键路径,对应的结构如图 6.此时输入的数据按照顺序送入到处理单元,同一步提升运算共享一个加法器单元.每个提升步中,在偶(奇)数时钟周期,处理单元执行加法运算或者数据寄存;在奇(偶)数时钟周期,提升(低频或者高频)系数实现交替输出。

数据流程如表 2 所示(在边界延拓上可采用对称周期延拓等方法^[13]),每个时钟周期输入一个样本.假定第 0 个数据样本在 0 时刻输入到结构的输入端,则在第 2 个时钟产生第 0 个有效的提升低频系数,第 3 个时钟周期产生第 0 个有效的提升高频系数,在接下来的时钟周期里交替产生提升低频系数

和提升高频系数. 在第 6 个时钟周期, 由于在图 6(c) 所示的提升步中加入了一级流水线, 使得数据输出延时一个时钟周期, 故在该时刻无数据输出. 同时可看出在第 9 个时钟周期产生第一个有效低频系数输出. 因此整个系统的输出延时为 9 个时钟周期.

引入嵌入式折叠结构后系统的组成主要包含 6 个加法器, 10 个寄存器, 5 个移位器, 2 个反相器,

以及多个二选一数据选择器, 此时关键路径约为 $Ta + Ts$ (Ts 代表移位器的延时). 相对照地, 传统的采用 4 级流水线的 CDF97 结构使用了 4 个乘法器, 8 个加法器和 11 个寄存器, 关键路径为 $Tm + 2Ta$. 文献[3-4]在增加一个寄存器的前提下, 将关键路径的延时减小到 Tm . 从中可看出, 该 VLSI 实现结构具有更短的关键路径.

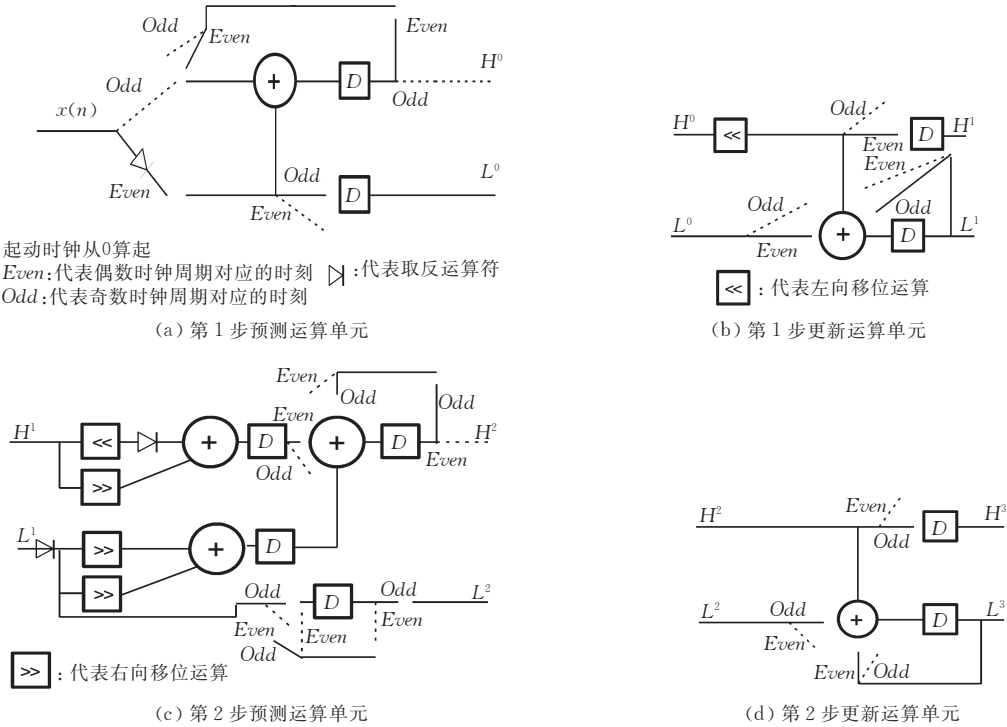


图 6 EPLSA 对应的结构图

表 2 EPLSA 的数据流程

Clk	0	1	2	3	4	5	6	7
In(Even)	X(0)	X(0)	X(2)	X(2)	X(4)	X(4)	X(6)	X(6)
In(Odd)		X(1)	X(1)	X(3)	X(3)	X(5)	X(5)	X(7)
Out(L ^{0'})			L ⁰ (0)	L ⁰ (0)	L ⁰ (1)	L ⁰ (1)	L ⁰ (2)	L ⁰ (2)
Out(H ^{1'})				H ⁰ (0)	H ⁰ (0)	H ¹ (1)	H ¹ (1)	H ¹ (2)
Out(L ^{1'})					L ¹ (0)	L ¹ (0)	L ¹ (1)	L ¹ (1)
Out(H ^{1''})						H ¹ (0)	H ¹ (0)	H ¹ (1)
Out(L ^{1''})								L ² (0)
Out(H ^{2'})								
	8	9	10	11	12	13	14	15
Out(L ^{1''})	L ² (0)	L ² (1)	L ² (1)	L ² (2)	L ² (2)	L ² (3)	L ² (3)	L ² (4)
Out(H ^{2'})	H ² (0)	H ² (0)	H ² (1)	H ² (1)	H ² (2)	H ² (2)	H ² (3)	H ² (3)
Out(L ^{2'})		L ³ (0)	L ³ (0)	L ³ (1)	L ³ (1)	L ³ (2)	L ³ (2)	L ³ (3)
Out(H ^{2''})			H ³ (0)	H ³ (0)	H ³ (1)	H ³ (1)	H ³ (2)	H ³ (2)

5 实验结果及性能分析

在 BPCDF+4 级流水线的结构中, 将乘法运算转化为了加法运算和移位运算, 故整个结构中无需

乘法器, 此时加法器的数目为 10 个, 寄存器的数目增加到 16 个, 关键路径减小到 $2Ta$. 通过采用嵌入式折叠提升结构 (EFLSA), 加法器将减小到 6 个, 寄存器减小到 10 个, 关键路径减小到 $Ta + Ts$. 从以上分析可以看出 BPCDF+EFLSA 的结构虽然稍微

增加了控制的复杂度和提高了系统消耗的时钟周期数(输出延时),但是降低了资源的占用和关键路径,为提高系统最大工作频率提供了可能. 各种结构所需资源和关键路径如表 3 所示.

表 3 不同小波实现结构所需资源和关键路径情况

实现结构	乘法器(T_m)	加法器(T_a)	移位器(T_s)	寄存器	关键路径	输出延时/单位时钟周期
CDF+4 级流水	4	8	0	11	T_m+2T_a	6
文献[4]+5 级流水	4	8	0	12	T_m	7
文献[5]+4 级流水	4	8	0	12	T_m	6
BPCDF+4 级流水	0	10	7	16	$2T_a$	6
BPCDF+EPLSA	0	6	5	10	T_a+T_s	9

为验证所提 VLSI 结构的有效性和可行性,对表 3 所提几种小波实现结构进行了硬件仿真实验. 在 QuatusII 4.0 仿真平台下,选取 Altera 的 FPGA 器件 EP1S25F1020C6 作为验证芯片,不使用其 DSP 模块,对以上几种结构进行综合,完成一级小波变换的综合结果如表 4 所示.

从表 4 可以看出,传统的 CDF97 采用 4 级流水线结构,其几个指标均明显劣于其它的结构. 文献[4]和文献[5]虽然采用了不同的优化方法,对其作了改进,但是由于小波基本身的限制,等价的逻辑单元数仍然较高,其最短关键路径只能减小到一个乘法器的延时,最大的频率也只能达到 100MHz 左右. 本文所采用的 BPCDF97 小波基有效地将乘法运算转化为了移位和加法运算,因此即使采用和传统 CDF97 的四级流水线相同的结构实现,也可降低所需的逻辑单元和关键路径,并最大可达到 151.65MHz 的工作频率. 利用嵌入式提升结构,则可在在此基础上进一步减少寄存器单元和逻辑单元数,关键路径缩短 37%左右,最大工作频率则可达到 250MHz 左右,有效地提高了系统的性能. 设计的 BPCDF97 使用 EPLSA 实现结构后,与传统 CDF97 的 4 级流水线结构相比,逻辑单元数减少了约 66.7%,可工作的最大系统频率提高到了原来的 4 倍左右,特别适合于高速运算的应用场合.

表 4 各小波实现结构综合结果比较

实现结构	寄存器单元	等价的逻辑单元数	关键路径/(ns)	最大工作频率/ f_{\max} /MHz
CDF+4 级流水	176	480	16.154	61.90
文献[4]+5 级流水	192	319	10.010	99.90
文献[5]+4 级流水	192	317	9.973	100.30
BPCDF+4 级流水	208	198	6.594	151.65
BPCDF+EPLSA	128	160	3.930	254.45

6 结 论

本文通过研究适应高速图像压缩的小波基及其 VLSI 实现,在分析已有 CDF97 小波提升实现的特

点基础上,完成了以下工作:

(1)设计了一种具有二进制特点且消失矩为 4 的 9/7 小波基——BPCDF97. 该小波基的提升系数的分母均可转化为 2 的整数次幂,故整个提升步仅仅需要加法运算和移位运算等简单操作,便于 VLSI 设计. 实验结果显示,若数据精度为 64 bits, BPCDF97 的压缩性能接近于 CDF97;在数据精度为 16 bits 的情况下,其压缩性能甚至超过 CDF97.

(2)结合输入数据流的特点,对 BPCDF97 的 VLSI 实现,提出了一种嵌入式折叠小波提升结构. 通过流水线技术、折叠技术和重调度技术,使所有的加法运算并行执行,关键路径可减少到接近于一个加法运算的延时,实现了资源的优化使用. 与同类结构比较,本文所提出的结构具有关键路径短,使用资源少,资源利用率高等特点,实验仿真结果证实了这些特性. 本文的设计方法还可有效地应用于同类设计.

BPCDF97 小波基及其 VLSI 实现结构可有效地替代基于小波压缩硬件系统中的 CDF97 小波,在保持系统压缩性能稳定的同时,大幅提高系统的工作速度,降低系统所需的硬件资源. 该工作的成果可用于高速图像压缩系统,如星载高速图像传输系统等.

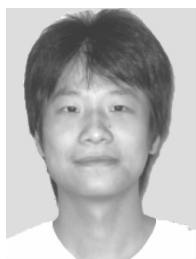
参 考 文 献

[1] Liu Kai, Wu Cheng-Ke, Li Yun-Song, Zhuang Huai-Yu. Bit plane-parallel coder for EBCOT and its VLSI architecture. Chinese Journal of Computers, 2004, 27(7): 928-935 (in Chinese)
(刘凯,吴成柯,李云松,庄怀宇. 比特平面并行的 EBCOT 编码及其 VLSI 结构. 计算机学报, 2004, 27(7): 928-935)

[2] Daubechies I, Sweldens W. Factoring wavelet transforms into lifting schemes. Journal of Fourier Analysis and Applications, 1998, 4(3): 247-269

[3] Jou J M, Shiau Y H, Liu C C. Efficient VLSI architectures for the biorthogonal wavelet transform by filter bank and lifting scheme//Proceedings of the IEEE International Symposium on Circuits and Systems. Sydney, NSW, Australia, 2001, 2: 529-532

- [4] Huang C T, Tseng P C, Chen L G. Flipping structure: An efficient VLSI architecture for lifting-based discrete wavelet transform. *IEEE Transactions on Signal Processing*, 2004, 52(4): 1080-1089
- [5] Xiong C Y, Tian J W, Liu J. A note on "Flipping structure: An efficient VLSI architecture for lifting-based discrete wavelet transform". *IEEE Transactions on Signal Processing*, 2006, 54(5): 1910-1916
- [6] Tay D B H. Lifting based integer wavelet transform with binary coefficients//*Proceedings of the IEEE International Symposium on Circuits and Systems*. Scottsdale Arizona, USA, 2002, 4: 17-20
- [7] Tay D B H. Rationalizing the coefficients of popular biorthogonal wavelet filters. *IEEE Transactions on Circuits and Systems for Video Technology*, 2000, 10(6): 998-1005
- [8] Zhong Guang-Jun, Cheng Li-Zhi, Chen Huo-Wang. A simple 9/7 wavelet filter based on lifting. *Computer Engineering and Science*, 2003, 25(1): 35-37 (in Chinese)
(钟广军, 成礼智, 陈火旺. 基于提升方法的简单 9/7 小波滤波器. *计算机工程与科学*, 2003, 25(1): 35-37)
- [9] Huang C T, Tseng P C, Chen L G. Analysis and VLSI architecture for 1-D and 2-D discrete wavelet transform. *IEEE Transactions on Signal Processing*, 2005, 53(4): 1575-1586
- [10] Cohen A, Daubechies I, Feauveau J. Bi-orthogonal bases of compactly supported wavelets. *Communications on Pure and Applied Mathematics*, 1992, 45(5): 485-560
- [11] Xiong C Y, Tian J W, Liu J. Efficient high-speed/low-power line-based architecture for two-dimensional discrete wavelet transform using lifting scheme. *IEEE Transactions on Circuits and Systems for Video Technology*, 2006, 16(2): 309-316
- [12] Movva S, Srinivasan S. A novel architecture for lifting-based discrete wavelet transform for JPEG2000 standard suitable for VLSI implementation//*Proceedings of the 16th International Conference on VLSI Design*. New Delhi, India, 2003: 202-207
- [13] Tan K C B, Arslan T. An embedded extension algorithm for the lifting based discrete wavelet transform in JPEG2000//*Proceedings of the IEEE International Conference on Acoustic, Speech, and Signal Processing*. Orlando, Florida, USA, 2002, 4: 3513-3516



TIAN Xin, born in 1982, Ph. D. .

His research interests focus on image analysis, image/video compression and hardware implementation.

TAN Yi-Hua, born in 1975, Ph. D. , associate professor. His research interests include digital image/video compression, visual surveillance, object detection and recognition, and hyperspectral data processing.

TIAN Jin-Wen, born in 1961, Ph. D. , professor. His main research interests include remote sensing image analysis, wavelet analysis, image compression, computer vision, and fractal geometry.

Background

The discrete wavelet transform (DWT) is a multi-scale frequency analyzer. It decomposes a signal into many subbands with different frequency characteristics. The higher frequency subbands have finer time resolution, and the lower frequency subbands have coarser time resolution. Since it outperforms some traditional time-frequency representations such as the short-time Fourier transform, the DWT has been considered suitable in many image coding applications. But in real-time applications the DWT must operate under high speed, therefore many VLSI architectures have been reported to achieve real-time computing and high hardware utilization.

The realization of the one-dimensional(1-D) DWT can be classified into two categories; one is based on the convolution operation, and the other based on the lifting scheme. The lifting-based wavelet transform has many advantages over convolution-based one including in-place computation, integer-to-integer transform, reducing the number of arithmetic operations and the size of registers etc. But the lifting structure of DWT has more critical path latency. Pipelining can be employed to reduce the critical path latency, but it leads to the increasing number of register used in DWT. Flipping structure for DWT, which aims at shorting the critical path

latency and reducing the number of the pipeline registers required in one-dimensional(1-D) DWT architecture. But the lifting coefficients are all irrational number, they need to be approximated by using binary fraction. So the compression performance could be reduced. This paper designs a new kind of lifting 9-7-tap wavelet filter with binary characteristics and presents a high speed VLSI structure for the wavelet filter. The coefficients of the lifting filters are binary numbers, so it can simplify the VLSI design. The test results for compression performances have shown that the new filter is good almost as CDF97 under PSNR, when the data has a finite accuracy, it may have a better performance than CDF97.

This work is supported by the National Research Program (973 Program) of China under grants 2006CB701303 and the Nature Science Foundation of Hubei Province under grants 2006ABA088, in which the efforts in this paper focus on solving the problems of high speed VLSI design. The research group has got a lot of research results in the area. Some of them are included in SCI (Science Citation Index), such as the paper titled "Efficient high-speed/low-power line-based architecture for two-dimensional discrete wavelet transform using lifting scheme".