

# 面向 UMPC 的北大众志-SK 系统芯片设计

程 旭 陆俊林 易江芳 刘 姝

(北京大学微处理器研发中心 北京 100871)

**摘 要** 如何更好地满足 3C 融合的需求,是超便携个人计算机(UMPC)普及的关键.北大众志-SK 系统芯片,将传统个人计算机中分布在主板上的中央处理器、北桥与南桥芯片组、显示控制器和其它输入输出控制设备等众多芯片的功能集成到单一芯片中.该系统芯片采用 2D/3D 扩展指令、软硬协同视频解码加速部件、硬件视频编解码等方式,在高效完成多媒体处理的前提下,有效降低了对中央处理器性能的需求.通过在单芯片内部实现多层次的存储架构,简化了数据的传输路径,提高了数据传输的效率,从而提高系统性能.此外,在该系统芯片中还实现了众多主流的输入输出接口控制部件,以满足个人计算机的日常应用需求.该设计达到了高集成度、高性能、低功耗的设计目标,提供了面向教育、电子政务和个人信息处理等领域的低成本、低功耗、易使用、便于维护的 UMPC 解决方案.

**关键词** 系统芯片;超便携个人计算机;多媒体加速;多层次存储

**中图法分类号** TP302 **DOI 号:** 10.3724/SP.J.1016.2008.01877

## Architecture of PKUnity-SK SoC for UMPC

CHENG Xu LU Jun-Lin YI Jiang-Fang LIU Shu

(Micro Processor Research and Development Center, Peking University, Beijing 100871)

**Abstract** How to meet the requirement of 3C fusion better, is the very key point of popularization of Ultra-Mobile Personal Computer (UMPC). PKUnity-SK SoC integrates the CPU, North/South Bridge chipsets, display controller and other I/O devices, which are distributed on the main board in traditional computer, into one single chip. Beyond the efficient processing of multimedia, PKUnity-SK SoC adopts 2D/3D extension instruction, HW/SW cooperated video decoding accelerator as well as hardware supported video encoding/decoding to reduce the demand for CPU performance. The hierarchical storage system in a single chip simplifies the data transfer path and increases the data transfer rate to improve the system performance. Furthermore, many popular I/O controllers are implemented on the SoC to satisfy I/O usage in personal computer. The design of PKUnity-SK SoC achieves the goal of high-integration, high performance and low power, providing a UMPC solution in low cost, low power, easy usage and easy maintenance for education, electronic government, and personal information processing.

**Keywords** system-on-chip; ultra-mobile personal computer; multimedia acceleration; hierarchical storage

收稿日期:2008-05-31;最终修改稿收到日期:2008-09-17. 本课题得到国家“八六三”高技术研究发展计划项目基金(2006AA010202)资助.程 旭,男,1967 年生,博士,教授,博士生导师,研究领域包括高性能微处理器、系统芯片、嵌入式系统、指令集并行、软/硬件协同设计和编译优化. E-mail: chengxu@mprc.pku.edu.cn. 陆俊林,男,1980 年生,博士研究生,研究方向包括软/硬件协同设计和片上通信结构. 易江芳,女,1977 年生,博士,研究方向包括软/硬件协同设计、芯片验证和测试向量自动生成. 刘 姝,女,1982 年生,博士研究生,研究方向包括软/硬件协同设计、存储系统和系统软件优化.

1 引 言

个人计算机(PC)经过近三十年的发展,以其高性能的硬件和丰富的软件,在全球范围内获得了极为广泛的应用.随着计算机、通信和消费类电子产品3C融合需求的日益增长,针对中低端用户的低成本、高性能的个人计算机产品逐渐成为市场主流.与此同时,以低成本、高性能、易携带和易使用为目标的超便携个人计算机(Ultra-Mobile Personal Computer,UMPC)架构也应运而生,并且很多相关产品已陆续问世.然而,目前的个人计算机产品普遍存在价格高、使用复杂、不便于维护和软硬件升级换代频繁等问题,以致我国整体的计算机普及率远远低于发达国家的平均水平.低成本个人计算机应以“够好和够用”为原则,重点研究功能完备和高度可配置的软硬件体系架构,从而为我国欠发达地区和城市中低收入人群的需求提供个人计算机解决方案.

传统个人计算机主要由分布在主板上的中央处理器(CPU)、北桥与南桥芯片组、显示控制设备以及其它输入输出控制设备等众多芯片组成.如果利用半导体工艺的高集成度优势,将计算机功能集成到单一芯片中,可以有效降低单机成本和系统功耗.同时,通过硬件加速的方式实现多媒体处理等对性能要求高的功能,可以减少对CPU性能的需求.另外,Linux操作系统也为低成本计算机设计提供了

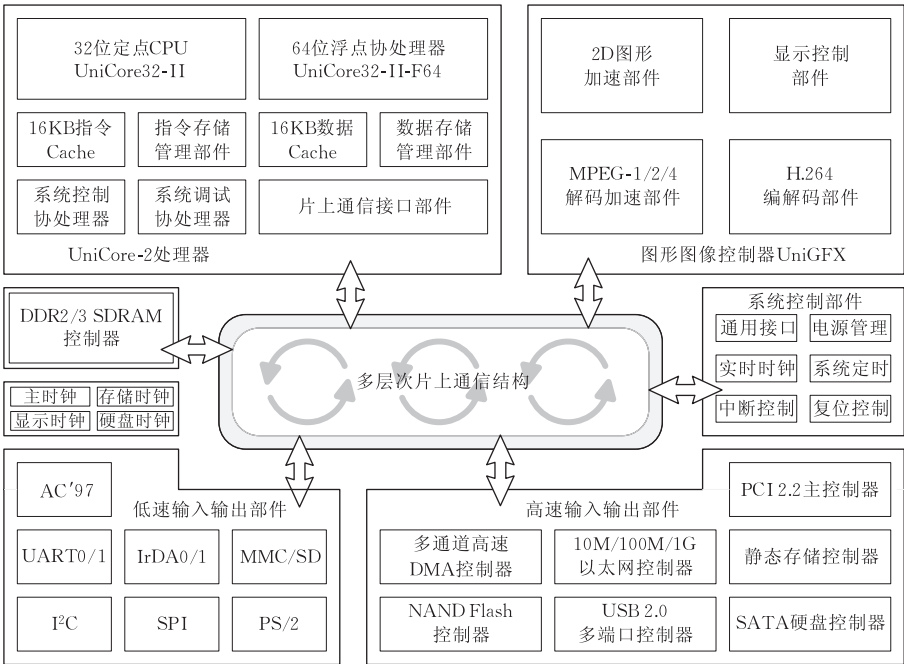
有利的条件.

我们遵循这样的设计理念,设计了北大众志-SK系统芯片(简称SK SoC),它是在单个芯片上集成了传统计算机中的功能部件,可为教育、电子政务和个人信息处理等领域提供UMPC的解决方案.该项研究开发得到了国家“八六三”高技术研究发展计划的持续支持.

2 技术路线和总体结构

SK SoC结合了北大众志已有的UniCore系列处理器和高集成度的系统芯片协同开发验证平台,通过性能评测和分析,研究了多媒体加速、显示控制和存储器共享等核心技术,来进一步提高系统集成度和性能.该芯片全部采用工业标准接口,以提高软硬件架构的开放度和扩展能力.基于SK SoC的计算机系统具有自主知识产权,力图通过降低整机系统的设计制造复杂度,达到高集成度、高性能和低功耗的设计目标,为3C融合等新型应用领域提供具有低成本和高可扩展能力的基础架构.

SK SoC的主体结构如图1所示.它的特点是在单芯片上集成了传统计算机中的功能部件,主要包含了CPU、多媒体和显示子系统、多层次存储控制子系统、外部总线控制部件和其它主流的输入输出控制部件等.SK系统芯片采用了北大众志UniCore系列中的UniCore-2 CPU,支持32位定点处理、



北大众志-SK系统芯片架构图

图 1 SK 系统芯片结构示意图

64 位浮点处理和 2D/3D 增强指令处理,其主要特点在第 3 节中描述. SK SoC 中实现的多媒体和显示子系统 UniGFX,集成了传统显卡的基本功能并具有专用部件对视频编解码进行加速,以满足迅速增长的多媒体处理需求. UniGFX 的功能结构介绍和评测实验分析详见第 4 节. 在存储方面,SK SoC 集成了个人计算机中主流的存储控制设备,构成了芯片内部的多层次存储控制子系统. 存储系统对于计算机整体性能提高有重要的影响,第 5 节将会对此进行论述.

此外,该芯片中还集成了 PCI 2.2 主控制器、10M/100M/1G 以太网控制器、USB 2.0 控制器、IDE SATA 硬盘控制器、静态存储控制器、AC'97 控

制器、串口控制器和 PS/2 键盘鼠标控制器等南北桥芯片组中提供的功能部件,以提供日常应用所需的设备接口.

目前,Intel、AMD、IBM 等厂商纷纷推出面向 UMPC 的 CPU 或 SoC,主流产品的 CPU 规格参数如表 1 所示. 与这些产品相比,SK SoC 采用的 UniCore-2 CPU 相对简单,但是在系统功能的完备性方面有很大的优势. SK SoC 可以提供个人计算机的“单片解决方案”,而其他产品都需要芯片组支持. 而且 SK SoC 采用 0.13 $\mu$ m 的可综合设计,在提高设计工艺和对关键部件进行定制设计后,还有很大的性能提升空间.

表 1 面向 UMPC 的 CPU 规格

CPU 名称	开发单位	主频	制造工艺	功耗	性能	流水线级数	流水线类型	跳转预测	TLB	指令和数据 Cache	总线接口位宽	浮点处理	物理设计
Atom	Intel	1.6GHz	Intel 45nm	2.4W	N/A	16	超流水	动态	N/A	32KB/24KB	64bit	2 个协处理器	半定制
Nano (U3250)	VIA	1.3GHz	Fujitsu 65nm	Idle 100mW	N/A	N/A	超标量乱序执行	动态	N/A	64KB	N/A	N/A	N/A
Tegra APX 2500	NVIDIA	620MHz	NVIDIA 90nm	0.43mW/MHz	N/A	8	超流水	动态	Micro TLB	16KB	64bit	协处理器	全定制
PowerPC 440	IBM	555MHz	IBM 0.13 $\mu$ m	2.5mW/MHz	1000 MIPS	7	双发射乱序执行	动态	Split TLB	64KB	128bit	协处理器	可综合
Geode GX2	AMD	400MHz	AMD 0.15 $\mu$ m	1.1W	300 MIPS	8	超流水	动态	2-Level TLB	16KB	64bit	协处理器	半定制
Geode LX 900	AMD	600MHz	AMD 0.13 $\mu$ m	2.6W	N/A	8	超流水	动态	Split TLB	64KB	64bit	协处理器	半定制
UniCore-2	北大众志	600MHz	TSMC 0.13 $\mu$ m	3W	N/A	8	超流水	动态	2-Level TLB	16KB	64bit	协处理器	可综合

为了支持 SK SoC 的软硬件协同验证,建立了 FPGA 原型验证系统. 该系统选用了双片 Xilinx Virtex4 LX200 FPGA 芯片,提供了大量的标准输入输出接口,并支持多种启动操作系统的方案. SK SoC FPGA 原型系统的主频(CPU 时钟频率)和外频(主存时钟频率)设置均为 33MHz,如无特殊说明,后续评测中提到的原型系统频率均为如此设置.

3 UniCore-2 CPU

随着集成电路制造工艺的进步和微处理器设计技术的发展,单发射按序执行处理器不仅在嵌入式系统中表现出强劲的生命力,有助于达到高集成度、高性能和低功耗的设计目标,而且,在代表未来芯片设计发展趋势的众核系统芯片(Many-Core SoC)中,单发射按序执行处理器也具备低成本、低功耗和高可扩展能力等方面的天然优势<sup>[1]</sup>.

UniCore-2 CPU 是北大众志 UniCore 系列 CPU 中的第 2 款 32 位 CPU,支持 32 位定点指令系统 UniCore32 和 64 位浮点指令系统 UniCoreF64. 而且,在定点和浮点指令系统的基础上,北大众志自主定义了 UniCore2D/3D 增强指令系统,支持多种定点和浮点单指令多数据(SIMD)运算,利用矩阵运算等算法中固有的并行性有效提高多媒体应用程序的性能. 其中,UniCore2D 指令针对定点数作处理,UniCore3D 指令针对浮点数作处理,数据寄存器个数均为 16,宽度均为 64 位.

定点处理器核 UniCore32-II 采用如图 2 所示的单发射按序执行流水线结构,提供了乘加指令、多字存储器-寄存器转存指令、前导 0/1 处理指令、自增/自减寻址方式等 DSP 增强功能,可高效支持 FFT、FIR 等 DSP 应用典型算法的实现;提供了交换指令、多种模式切换、快速中断机制等支持操作系统的高效运行. 为了提高转移预测正确率,在

UniCore 指令系统中还引入了条件执行机制,通过编译优化可以获得 0.1%~6.1% 的性能提升<sup>[2]</sup>.在流水线前端,IF1 和 IF2 阶段取指令并作分支预测,DEC 阶段进行指令译码,ISS 阶段读寄存器;在流水线后端,MUL1、MUL2 和 MADD 阶段作乘法和乘法运算,EXE1、EXE2 和 MSW 阶段进行 ALU 运算并将标志位回写状态寄存器,MAG、MEM1 和 MEM2 阶段进行数据存储访问。

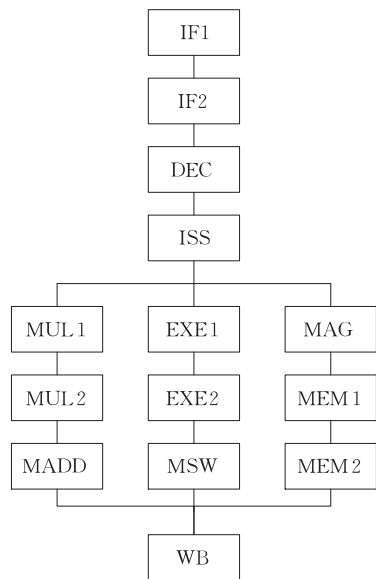


图 2 定点处理器核流水线结构示意图

UniCore32-II 支持 7 种运行模式,并采用寄存器窗口技术支持不同运行模式之间的快速转换.同时,UniCore32-II 支持可配置的中断服务程序入口.当中断源向 UniCore-2 CPU 发出中断请求时,UniCore32-II 可根据中断源对应的中断服务程序入口地址,立即运行相应的中断服务程序.因此,在单芯片内部集成较多的接口设备的情况下,UniCore32-II 能够在中断发生时,迅速转换到中断处理模式下运行相应的中断服务程序,从而适应众多接口设备频繁引发中断的情况.

浮点协处理器 UniCore32-II-F64、系统控制协处理器 CP0 和片载调试器 OCD 均采用与定点处理器核紧密耦合的协处理器接口.其中,浮点协处理器 UniCore32-II-F64 支持单精度和双精度浮点加法、乘法、除法和求绝对值等浮点运算指令,符合 ANSI/IEEE754—1985 标准.系统控制协处理器 CP0 支持对 UniCore-2 CPU 的功能配置,包括使能和禁用 Cache/MMU、控制数据 Cache 行操作模式等.片载调试器 OCD 采用 JTAG 标准接口,支持指令断点和数据断点的设置,为系统的片上调试提供有效

支持.

UniCore-2 CPU 采用哈佛结构,可同时访问分离的指令 Cache 和数据 Cache,并可同时访问分离的指令 MMU 和数据 MMU.其中,指令 MMU 和数据 MMU 均采用两级 TLB 结构,一级指令 TLB 和一级数据 TLB 均为 8 表项全相联结构,二级指令 TLB 和二级数据 TLB 均为 64 表项 4 路组相联结构.指令 Cache 和数据 Cache 均为 16KB 4 路组相联结构,并支持各自的使能或禁用.同时,数据 Cache 支持写返回 (Write Back) 和写穿透 (Write Through) 两种操作模式.上述配置既提供了足够用的 CPU 性能,又能够有效降低芯片的功耗和成本,达到性能、功耗和成本的较好权衡.

## 4 多媒体和显示子系统

随着多媒体应用在日常生活中的重要性不断提升,对多媒体处理的支持也逐步成为个人计算机设计的重要指标.多媒体处理是指对视频、静态图像、二维图形、三维图形和音频等多媒体元素的采集、存储、加工和传输等处理过程<sup>[3]</sup>.传统的通用计算机系统在不断地进行调整以适应多媒体处理的需要,而专用于多媒体处理的硬件架构也陆续出现.

SK SoC 的研发过程,将提高多媒体处理的能力作为重要目标,实现了多媒体和显示子系统 UniGFX. UniGFX 的设计除了参考包括 AMD Geode 系列处理器、ATI 系列显卡、SiS 系列显卡等产品提供的多媒体和显示功能外,更主要的是详细分析了目标应用对多媒体和显示的具体需求,从而确定提供 MPEG-1/2/4 解码加速、H.264 硬件编解码和二维图形加速的功能,降低视频编解码对 CPU 的压力,提供高效的多媒体处理能力.其中 UniGFX 中采用全硬件实现了 H.264 的编解码部件,以利于在较低系统功耗和 CPU 负载的情况下满足提供高质量的实时图像编解码的要求,这也是 SK SoC 的一项特色设计.同时,UniGFX 提供了显示控制功能,支持 VGA 接口,实现了通用显卡的主体功能.此外,SK SoC 还提供了连接外部显卡的控制功能,以支持三维图形加速等更高级的应用.以下对 UniGFX 的主要功能分别进行介绍.

### 4.1 MPEG-1/2/4 解码加速

在众多主流的多媒体应用中,MPEG(运动图像专家组的简称,在此代指其制定的视频标准)视频编解码的重要性尤为突出.在所有的 MPEG 标准中,

MPEG-1、MPEG-2 和 MPEG-4 标准是目前应用最广泛的 3 个标准。

在分析了 MPEG-1/2/4 标准和各种已有硬件加速结构的优劣后,确定了通用处理器和专用多媒体处理部件相结合的解码加速方案.通过统计多媒体应用程序 MPlayer 解码器在进行视频解码时各项功能所需的时间,可以得出反离散余弦变换(IDCT)和运动补偿两项功能最为耗时,占用了 CPU 执行时间的 70%左右<sup>[4]</sup>.对这部分功能进行硬件加速,可以有效缓解 CPU 视频解码的压力,提升多媒体处理性能.因此,UniGFX 主要对 IDCT 和运动补偿进行加速,同时还实现了亚像素插值运算、DMA 方式的参考数据读入与重建数据回写等功能,其支持的标准包括 MPEG-1、MPEG-2 的 MP@ML 和 MPEG-4 的 ASP@L5.

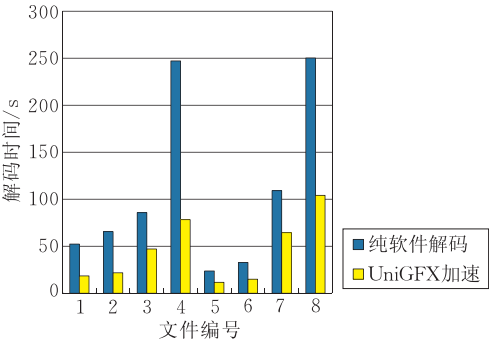


图 3 MPEG 视频解码对比测试结果

表 2 MPEG 视频解码测试文件

文件编号	视频文件名称	编码标准	分辨率	帧数	码率/Kbps
1	Football	MPEG-1	352×288	250	1500
2	Foreman	MPEG-1	352×288	300	1500
3	News	MPEG-2	704×480	300	1000
4	Pedestrian	MPEG-2	720×480	350	5000
5	Football	MPEG-4	176×144	250	700
6	Foreman	MPEG-4	176×144	400	500
7	News	MPEG-4	704×480	300	900
8	Pedestrian	MPEG-4	720×480	350	4000

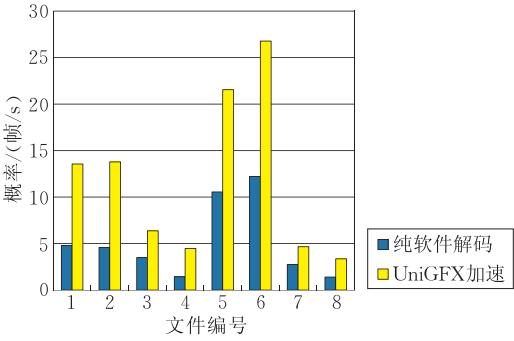
4.2 H. 264 编解码

H. 264 标准是视频编码专家组(简称 VCEG)和运动图像专家组的联合视频组(简称 JVT)开发的数字视频编码标准,它也是 MPEG-4 标准的第 10 部分. H. 264 引入了面向 IP 包的编码机制,有利于网络中的分组传输,支持网络中视频的流媒体传输.

与以往的视频编解码算法相比,H. 264 编解码可以获得更高的压缩比和更好的图像质量,同时算法的计算复杂度也大大增加.在现有的个人计算机系统中,采用软件方式难以应对高质量的 H. 264 实时编

为分析实际应用配置下 SK SoC 的视频解码性能,采用 SystemC 建立了系统评测环境.评测结果表明:在 CPU 主频为 300MHz、外频为 100MHz、UniGFX 加速部件为 40MHz 时,系统即可实现 30 帧/s 以上的标清格式 MPEG-1/2/4 的实时解码和显示;而在 CPU 主频为 600MHz、外频为 200MHz、UniGFX 加速部件为 80MHz 时,系统可以实现约 55 帧/s 的标清格式 MPEG-4 SP 视频解码和显示.

同时,在 SK SoC 的 FPGA 原型验证系统上,对 UniGFX 加速 MPEG-1/2/4 视频解码的性能进行了测试,并和纯软件的 MPlayer 解码的性能进行了对比.测试文件的属性见表 2,测试结果如图 3 所示.由此可见,UniGFX 的加速效果非常明显,视频解码性能的提升幅度最大超过两倍.



解码处理.考虑到图像通信的实时性要求和系统功耗,SK SoC 中采用了全硬件映射的方式实现 H. 264 编解码部件,可以同时支持 H. 264 标准视频数据的编码和解码.该部件应用于 H. 264 标准的主要档次(Main Profile),支持其中的基于上下文的算术编码和解码、I 帧的编码和解码、P 帧的解码、1/4 像素插值、去块效应滤波和多种块的帧内与帧间补偿功能.

由于采用了全硬件的 H. 264 编解码部件,系统可以在很低的工作频率下实现高质量的实时图像编解码处理,从而降低系统的整体功耗. H. 264 编解码部件在 66MHz 工作频率下,可以实现 D2 分辨率(720×480 像素)图像 30 帧/s 的 I 帧编码;H. 264 解码部件在 33MHz 工作频率下,可以实现 D2 分辨率图像 30 帧/s 的 I/P 帧解码.采用 I 帧实时编码模式,系统可以工作在低延时模式下,以满足视频会议等实时通信的应用需求.

4.3 二维图形加速

在传统的个人计算机中,因为通用 CPU 并不擅长图形运算,执行效率很低,所以随着图形芯片技



术的发展,显示卡逐步承担了图形显示的数据计算和處理工作.二维图形加速被广泛地应用于各种图形显示设备中.随着多媒体时代的到来,如何在芯片集成度很高的计算机设备中实现和优化图形加速成为研究热点.

在 UniGFX 设计中,针对应用目标权衡了设计和实现的代价,并建立 C 语言模型进行评估,确定了实现二维图形加速,而暂不提供三维图形加速的功能. UniGFX 所支持的二维图形加速功能,主要包括块搬移、颜色扩展、字体扩展、光栅操作、画线操作、ALPHA 混合运算和矩形剪裁等基本图形操作,最高支持  $2048\times 2048$  分辨率和 32 位色深模式.它的主要功能部件包括计算单元和访存接口,主要特点是数据计算密集和访存频繁.

传统的显卡如 SiS6326 或者某些集成显示模块的处理器如 AMD Geode GX 处理器中,都使用 Bresenham 算法来实现画线功能,并以 X 方向增量、Y 方向增量等 7 个参数作为硬件的输入参数.这些参数的计算由软件完成,并通过 CPU 对二维加速部件的寄存器进行配置. UniGFX 中对 Bresenham 算法进行了优化,只需要配置画线的起、终点两个参数,其他参数的计算由硬件完成.这不但缩短了参数计算时间,而且减少了 CPU 计算量和片上通信量,同时还简化了软件操作流程.

在 FPGA 原型验证系统中对 UniGFX 的二维图形加速性能进行评测,并与 PCI 显卡 SiS6326 进行比较.评测中使用 XFree4.3.0 软件包中的 Graphics Context 测试软件 xgc,所有测试用例采用的屏幕分辨率均为  $640\times 480$ ,测试结果如表 3 所示.从测试数据可以看出,虽然 SiS6326 的独立显存结构更有利于提高图形加速的性能,但是 UniGFX 采用共享显存的结构,仍然能够满足应用的需求,而且降低了芯片面积和功耗.

表 3 二维图形加速性能评测

操作	矩形区域	UniGFX 启用显示	UniGFX 不启用显示	SiS6326
屏幕拷贝	$640\times 480$	235.662	149.502	169.313
屏幕拷贝	$640\times 240$	122.265	74.919	84.792
屏幕拷贝	$640\times 120$	61.397	37.445	42.287
矩形单色填充	$640\times 480$	94.22	59.148	59.324
矩形单色填充	$640\times 240$	48.242	29.745	29.813
矩形单色填充	$640\times 120$	23.777	15.051	15.047
备注	所有操作均执行 10000 次,测试结果单位为“s”.			

4.4 显示控制

针对 SK SoC 所面向的应用,UniGFX 的显示

控制部件实现了通用显卡的基本显示功能,用于将显存区域中的图形和图像按一定的帧刷新率读取出来,并按一定的时序关系(如行/场同步信号)输出到显示设备上,实现图形和图像的显示.显示控制部件支持 VGA 接口显示的图形模式,支持最高为  $1024\times 768$  的分辨率和 32 位色深,支持图像水平和垂直的独立缩放等功能,并采用了共享主存的显存模式.

显示控制的实现可以采取片内和片外两种方式.如果片外实现,需要增加一个专门显示芯片,同时提供独立的显示存储器.另外,由于视频解码生成的图像数据都存储在与 CPU 共用的主存中.显示时,需要将相应的视频图像数据搬移到外部的显示控制芯片的独立显示存储器中.因此,通过将显示控制设计在片内的 UniGFX 中,可以避免此类数据搬移过程.显示控制部件可以直接从共享显存中读取视频图像数据,同时可以节省外部显示控制芯片和显示存储器.

在 SK SoC 的 FPGA 原型验证系统上,对比了 UniGFX 和 PCI 显卡控制显示的视频解码播放的性能,结果如表 4 所示.从中看出,基于 UniGFX 的显示控制可以获得更好的性能.而图 4 则展示了该对比实验的场景,其中 UniGFX 在实时解码 MPEG-2 视频文件的同时,以  $640\times 480$  的分辨率流畅显示对应的视频.



图 4 UniGFX 原型显示效果

表 4 片上和片外显示控制器的对比测试结果

显示内容/ 解码类型	PCI 显卡控制显 示的帧率(fps)	UniGFX 控制显 示的帧率(fps)	性能提升 比例/%
MPEG-1 解码	19.1	22.8	20
MPEG-2 解码	23.6	29.8	26
MPEG-4 解码	17.5	20.4	17
H.264 解码	8.6	10.5	22

由于图像显示是一个不可中断的过程,数据读取的带宽大,实时性强.在共享主存的结构下,系统芯片内部存在众多的访问需求,如何保证显示控制器大数据的实时访存需求是显示子系统设计中的关键环节.在设计实现中,通过片上通信仲裁和主存带

宽控制策略(见 5.1 节),保障了实时显示的带宽需求,以达到流畅的显示效果。

### 5 多层次存储控制子系统

存储系统通常被组织成一个多存储设备的层级结构,在这个层次结构中,较小、较快、成本高的设备在顶部,较大、较慢、成本低的设备在底部.这充分利用了程序的局部性,大部分数据可以从高层快速存储设备中访问,从而对外呈现出高层的运行速度.然而,当高层存储设备访问未命中时,底层慢速的硬盘 I/O 访问一直是系统性能瓶颈.另外,内存和硬盘是计算机系统的高能耗部件,如何实现最优化的“3P”指标,即系统性能最高、价格最低及功耗最小,对存储系统设计者提出了挑战.作为计算机组成的一个核心部分,存储系统的组织和管理对于计算机整体性能的提高有至关重要的影响。

存储系统的设计与存储技术发展以及应用紧密相关.在当前市场主流的存储设备中,除 DDR2 SDRAM 和硬盘外,NAND Flash 的使用呈稳定增长趋势.各主要存储设备的性能和功耗比较见表 5<sup>[5]</sup>.SK SoC 的存储系统仍然遵循传统计算机系统中的层次化存储结构设计,但更重要的是从应用需求出发,结合不同存储技术的优势,将不同容量、成本和访问时间的存储设备的控制部件集成到系统芯片内部,达到了高性能、低成本和低功耗的目标,其功能完备性在同类设计中也处于领先地位.SK SoC 存储系统结构如图 5 所示。

表 5 存储设备参数比较

类型	动态功耗	静态功耗	读延时	写延时	擦除延时
1Gb DDR2 SDRAM	878mW	80mW	55ns	55ns	N/A
1Gb NAND-SLC	27mW	6μW	25μs	200μs	1.5ms
4Gb NAND-MLC	N/A	N/A	50μs	680μs	3.3ms
混合硬盘 HDD	13.0W	9.3W	8.5ms	9.5ms	N/A

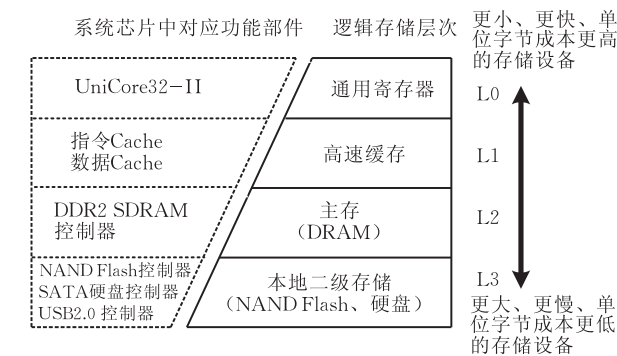


图 5 SK 系统芯片存储层次示意图

这种高度集成的单芯片系统设计仍然体现出存储的层次结构.最高层是 CPU 中的通用寄存器,其次是指令 Cache 和数据 Cache,然后是主存与本地二级存储.此外,层次化的概念还扩展到了本地二级存储系统 NAND Flash 与硬盘的存储管理方案设计中.以下对 SK SoC 中的主存和本地二级存储以及移动存储分别进行介绍。

#### 5.1 主 存

主存作为高速缓存存储器和本地二级存储的中间层,在系统中承担着重要任务.首先,主存是系统运行数据的主要存储区.其次,在 SK SoC 设计中,主存中的一部分作为 UniGFX 的专用存储,用于多媒体和显示的数据专用区.另外,系统芯片中多数功能部件都能够通过内置的 DMA 控制器直接读写内存.因此,该系统中主存不仅要满足高性能要求,提供较高的传输率来配合这些模块的数据访问,还必须合理调度众多部件的访存请求。

SK SoC 中集成了 DDR2 SDRAM 控制部件,遵守 JEDEC DDR2 SDRAM 工业标准,可以支持 DDR2 400 和 DDR2 533 内存模组,并且向下兼容 DDR SDRAM.该部件接收系统芯片中各部件的主存访问请求,并且对其进行统一的调度和处理.SK SoC 的访存调度采用了分组轮转仲裁算法和带宽控制策略,对系统芯片中各设备的访存交易进行统一调度,可以动态调整各设备的访存优先级和访存带宽,以满足不同功能部件的数据传输实时性和带宽要求。

#### 5.2 本地二级存储

存储系统中,慢速的 I/O 访问一直是制约系统性能的瓶颈.传统的个人计算机一般采用硬盘作为二级存储设备,尽管硬盘的接口传输速率在过去十年内取得了一些进步,从 ATA33 到 ATA133,再到 SATA150、SATA300,接口速度提高了将近十倍,但真正影响硬盘性能的内部数据传输速率并没有获得较大的改善.此外,硬盘的机械结构还导致读写延迟时间较长和易于损坏等问题。

相比之下,NAND Flash 作为一种没有任何机械结构的非易失性存储器,具有功耗低和可靠性高等优点. NAND Flash 已经成为存储系统中提升性能、降低功耗的重要解决方案,在许多领域都出现了代替硬盘的发展趋势. Intel 在硬件结构层面公布了 Robson 技术<sup>[6]</sup>来实现硬盘性能的提速,即通过 Mini PCI-E 连接 NAND Flash,将系统和应用程序启动所需的预加载数据复制到 NAND Flash 中,以

减少慢速的硬盘访问. 微软在操作系统层面也考虑到了使用 NAND Flash 提高操作系统执行的效率. 在新一代的 Windows Vista 系统中, 加入了利用外置 NAND Flash 来提升系统效率的 Ready Boost 技术以及支持混合硬盘的 Ready Drive 技术<sup>[7]</sup>.

在个人计算机系统中, 由于 NAND Flash 设备的成本以及容量限制, 短期内还不能完全取代硬盘. 因而, SK SoC 中集成了 NAND Flash 和 SATA 硬盘控制部件. 这两类控制器的集成不仅提供了高速的外设连接方式, 而且可以通过软件存储系统的组织, 充分发挥 NAND Flash 的性能与功耗优势和硬盘的容量与价格优势.

在 SK SoC 中, NAND Flash 和 SATA 硬盘可以作为独立的存储设备使用. 在 BIOS 中设置 NAND Flash 或者 SATA 硬盘作为启动设备, 即可以从该设备读取操作系统内核, 完成文件系统的加载. 在中低端应用或者移动计算环境中, 通常采用 NAND Flash 作为系统启动文件系统. SK SoC 的 NAND Flash 控制部件内置了 DMA 和 ECC 功能, 可以提供较高的性能. 在 SK SoC 的原型系统上, NAND Flash 读写性能测试结果如图 6 所示, 读写速率在 400KB/s~600KB/s 之间.

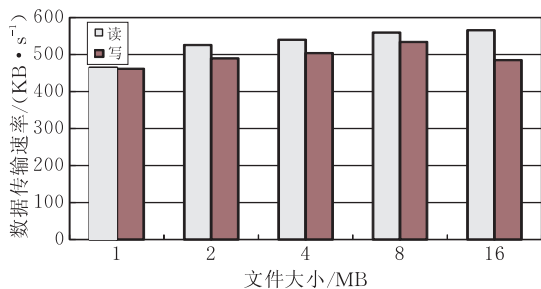


图 6 NAND Flash 读写性能

此外, 通过优化 Flash 专用文件系统层, 能够达到较好的文件访问性能. 当前广泛使用的 Flash 文件系统有 JFFS2 和 YAFFS2, SK SoC 的应用中采用了 YAFFS2 文件系统. 文件系统加载时, 通常需要对 Flash 上的内容进行扫描, 在主存建立相应的数据结构维护文件的组织关系. 与 JFFS2 相比, YAFFS2 文件系统启动过程不需要扫描整个 Flash 空间, 只需要读取存储文件管理信息的数据. 而且, 在系统正常退出时, YAFFS2 的检查点功能会将当前文件系统状态保存在 Flash 中, 加速系统启动. 在 SK SoC 的 FPGA 原型验证系统上, 使用不同容量的 NAND Flash, 采用 busybox1.9.1 作为文件系统, 对系统加载时间进行了评测, 结果如图 7 所示.

从图中可以看出, JFFS2 的系统启动时间随着 NAND Flash 的容量增长而迅速增长, 而 YAFFS2 的启动性能则优于 JFFS2. 如果使用 YAFFS2 的检查点功能, 系统加载时间即为从 NAND Flash 读取检查点数据的时间, 性能提升更为明显.

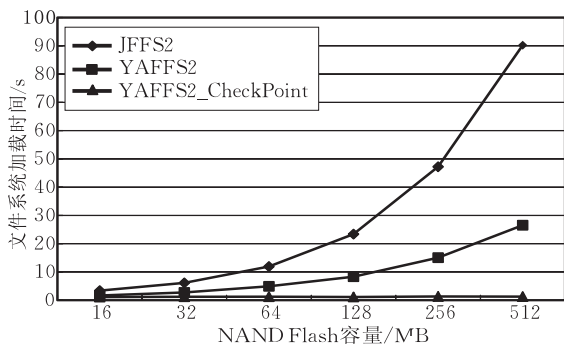


图 7 NAND Flash 文件系统加载时间

在 SK SoC 原型系统上, 还使用评测文件系统性能的基准测试程序 IOzone, 对 NAND Flash 的 YAFFS2 文件系统的整体性能进行了评测, 并以 PCI 总线上 SATA 硬盘中的 EXT2 文件系统为参照进行对比. 测试中使用 IOzone3\_291 和 64MB 主存. 以随机读为例, 对于小于 16MB 的文件读操作, NAND Flash 与 SATA 硬盘的读取速率相当, 均可以达到 8MB/s (主存中的文件系统缓冲区也有作用); 在文件长度增大时, SATA 硬盘由于寻道代价, 读取速率会出现一定的下降, 而 NAND Flash 仍可保持稳定的读取速率. 相关测试的结果如图 8 所示.

除了独立使用 NAND Flash 和 SATA 硬盘作为存储设备外, 当 NAND Flash 容量不能满足存储需求时, 可以使用 SATA 硬盘进行存储扩展, 直接将硬盘文件系统挂载为 NAND Flash 根文件系统的子目录进行访问. 该方式实现简单, 但会造成大量数据从硬盘访问, 随机读写性能低, 而且系统功耗高. 因此, 在 SK SoC 的应用中, 采用了如图 9 所示的两种混合组织形式.

这两种组织形式之一是采用层次结构, 将 NAND Flash 作为 SATA 硬盘的缓存<sup>[8-9]</sup>; 另一种是将这两类存储设备抽象为一个设备, 作为异构的二级存储<sup>[10]</sup>. 图 9 中, 方案 (a) 实现类似于 Intel Robson 技术与混合硬盘技术, 并进一步将缓存的概念扩展到二级存储层. 在进行文件操作时, 首先会访问主存中文件系统层管理的缓存. 如果文件数据不在主存, 则先访问 NAND Flash. 如果发生读失效,



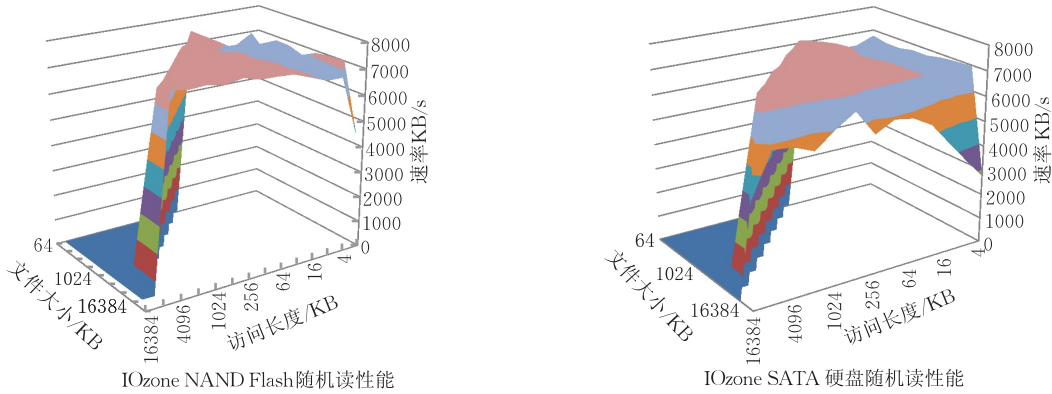


图 8 IOzone 文件系统评测结果

则再从硬盘进行文件系统访问.同时,将访问的数据保存在 NAND Flash 中,也可以采用预取策略从硬盘进行数据预取,并在合适的时机(如 NAND Flash 数据满或者硬盘状态由待机变为活动)将 NAND Flash 中的脏数据写回硬盘.此方案中用户可见只有硬盘文件系统,NAND Flash 作为硬盘的缓存,对用户透明,可以将其看作主存中文件缓存的扩充.方案(b)中 NAND Flash 和硬盘作为两个文件系统存在,通过封装层将这两个底层设备抽象为一个存储设备.用户可以通过封装层文件系统访问该抽象的二级存储设备,封装层文件系统根据用户访问行为自动完成文件读写重定向<sup>[11]</sup>.系统进程可以根据用户访问历史行为,在两个底层设备文件系统间进行文件搬移.这两种方案都可以使待访问的数据尽可能地在 NAND Flash 中,使硬盘处于休眠状态,从而加快数据存储速度,减少系统功耗.

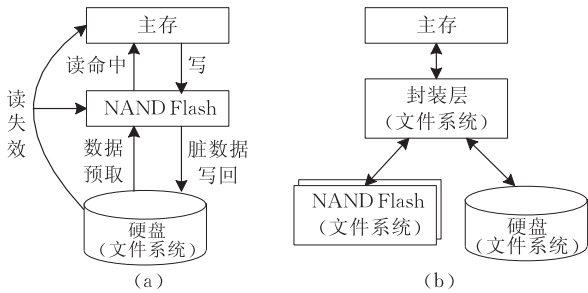


图 9 二级存储方案

5.3 移动存储

除本地存储设备外,SK SoC 还集成了多端口的 USB 2.0 与 MMC/SD 控制部件,以满足各类数码产品的移动存储需求.其中,USB 接口由于其即插即用、随时插拔以及易于扩展的特性,已在个人计算机中得到普及,成为移动存储的主要接口.SK SoC 中提供了多端口的 USB 2.0 控制部件,同时支持 USB OTG 协议,不仅可以连接各类 USB 设备,

还可以作为移动设备与其他计算机系统的 USB 接口相连.此外,现在的数码产品中多使用基于 Flash 的存储卡,这些存储卡对跨平台工作要求日益提高.SK SoC 提供了 MMC/SD 接口,可以直接读写 MMC 和 SD 卡,不仅能够方便地实现不同数码产品间的数据传输,还可以作为一种存储扩展方案,扩充本地存储的容量.

6 芯片物理设计

本芯片设计复杂,物理单元数量庞大,时钟域众多,使用普通的 EDA 流程已经无法满足设计需求.为此,在 SK SoC 的物理设计过程中,研究开发了多种创新技术,在时序优化、功耗控制和可测性设计等方面发挥了重要的作用.

频率是计算机芯片的重要指标,因而时序优化是芯片物理设计的关键内容.在 SK SoC 的物理设计中,在工业界标准的时序优化技术基础上,根据该芯片的特点提出并应用了两种创新的时序优化技术.一种是与综合重优化流程相结合的有用时钟扭斜技术<sup>[12]</sup>.该技术同逻辑综合和物理综合的重优化流程相结合,为尽可能多的路径增加裕量,以使得在重优化后得到更好的时序性能.实践表明,在标准的时钟扭斜规划流程中几乎无法获得性能提升的设计,经过若干次调度-重优化的迭代,也能获得时序改善.此外,该技术还便于时钟树实现,原因有两点:(1) 该技术考虑到了时钟门控,按照门控单元进行时钟延迟的调整;(2) 该技术改变了传统的时钟扭斜规划算法只增加而不减少时钟延迟的做法,对时钟延迟进行双向调整,减少了被调整时钟延迟的寄存器的数目,从而降低了实现时钟树的代价.另外一种技术是基于物理综合的优化扫描链重连技术.在 SK SoC 的研究实践中发现,常规工具提供的扫描

链重连功能对布局布线的考虑不够全面,重连后经常出现对时序有影响的路径.因此,在 SK SoC 的设计中,结合逻辑综合和物理综合的流程对扫描链重连进行了优化,从而大大降低了扫描链引起的物理综合的时序损失.运用包括上述两项技术在内的多种时序优化技术,可以使 SK SoC 的各个时钟域都能满足时序要求,其中 CPU 主时钟在典型情况 (typical case) 下可以工作在 600MHz,DDR2 SDRAM 控制器工作在 266MHz (即 DDR2 533).

除了频率,功耗也是计算机芯片的一项重要指标. SK SoC 通过高集成度的方式,减少了计算机主板上的芯片数量,从而大幅降低了系统的功耗.而对于 SK SoC 本身的功耗,则采用了门控时钟等多种功耗控制技术,使用 Synopsys 的 PrimePower 估算的全芯片功耗约为 3W.低功耗的设计为芯片封装和便携应用都提供了很大的便利.此外,便携式的应用对静态功耗也有很高的要求.在芯片的物理设计中,采用了多阈值电压单元技术,在关键路径上使用速度快、功耗高的 SVT 单元,而在非关键路径上使用速度慢、功耗低的 HVT 单元.这种技术能够在不降低芯片的工作频率的前提下,降低静态功耗.传统的 EDA 工具可以自动将 SVT 单元替换成 HVT 单元,但是实践表明替换效果并不理想.所以 SK SoC 的物理设计中使用了自行开发的算法进行替换,对静态功耗的控制效果有明显的提升.以芯片中的 UniCore-2 CPU 为例,使用 Synopsys 的 Physical Compiler 进行替换后静态功耗为 2.15mW,而采用自行设计的算法替换后静态功耗为 1.52mW,降低了 30%左右.

在可测性设计方面,SK SoC 中采用了层次化设计的方法,按照时钟域和布局进行划分,设计了多条独立的扫描链和测试压缩部件,对单独硬化的 UniCore-2 CPU、DDR2 SDRAM 控制器和其它部件采用了有针对性的可测性设计策略.其中,对高速的 UniCore-2 CPU 采用了在速测试 (at-speed) 方案,测试时不使用常规的片外慢速时钟,而采用片上 PLL 产生的高速时钟,从而提高了测试的全面性.在存储单元的内建自测试 (build-in self test, BIST) 方面,由于 SK SoC 的存储单元数量众多,因而没有采用常规的串行 BIST 方案,而是分组建立了相互独立的 BIST.这些 BIST 的内部是串行的,而 BIST 之间可并行以提高测试效率,也可串行以降低功耗.而且,在存储单元的测试中,在常规工具的基础上优化了存储单元旁路 (memory bypass) 电路,增加了

存储单元接口逻辑的覆盖率.此外,SK SoC 庞大的物理单元数量使得可测性设计 (DFT) 的测试向量超过了 500MB.使用现有的 EDA 工具,在不降低故障覆盖率的前提下,只能将测试向量压缩到 50MB 左右,压缩率大约 10 倍.而在 SK SoC 的物理设计过程中,研究开发出了新的测试向量压缩技术<sup>[13]</sup>,压缩后的测试向量略大于 10MB,压缩率超过 40 倍,大大降低了测试成本.

目前,SK SoC 的物理设计过程已经完成,采用了 TSMC 0.13μm 工艺,晶体管数量大约为 2700 万只,芯片尺寸为 9.2mm×7.3mm.芯片中标准单元所占面积约为 43mm<sup>2</sup>,其中有效标准单元所占面积约为 37mm<sup>2</sup>,利用率约为 84%.芯片中主要部件的有效标准单元面积及等效门单元数量如表 6 所示.芯片采用了倒装片 (flip-chip) 的形式,封装后的芯片尺寸为 35mm×35mm,管脚数量 976 个. SK SoC 的物理版图如图 10 所示.

表 6 SK SoC 主要部件的硬件开销

部件名称	有效面积/ μm <sup>2</sup>	等效二输入 与非门数量	面积 比例/%
SK SoC 所有标准单元	37603840	7384596	100
UniCore-2 CPU	4597302	902813	12
DDR2 SDRAM 控制器	2335086	458561	6
以太网控制器	1222227	240019	3
USB2.0 多端口控制器	2011313	394979	5
SATA 硬盘控制器	776838	152554	2
图形图像控制器 UniGFX	12235618	2402816	33
UniGFX 中 H.264 编解码部件	8634085	1695551	23

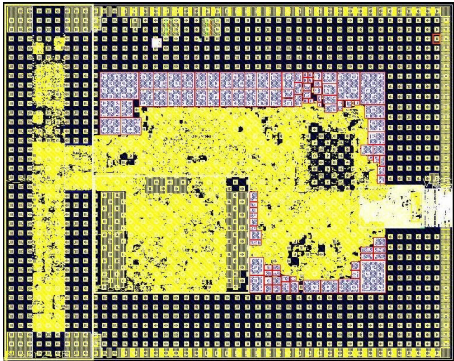


图 10 SK SoC 物理版图

7 结论和未来工作

综上所述,SK SoC 采用了高度集成的方式,深入分析了应用领域的特点,提供了面向 UMPC 的解决方案. SK SoC 采用 2D/3D 扩展指令、软硬协同视频解码加速部件、硬件视频编解码等方式,提供了面

向多种标准的图形图像加速功能,可以满足日常多媒体应用. 不过,SK SoC 在所支持的视频标准全面性、三维图形加速和显示分辨率等方面尚有不足,需要在后续设计中加以提升. 而 SK SoC 的存储控制既遵循了层次化存储结构设计原则,又为高性能、低成本和低功耗系统设计提出了新的解决方案. 在此基础上,一方面需要通过存储管理软件的合理组织和调度,发掘更多的优化空间;另一方面,在结构设计上还需继续优化存储效率,提升各级存储的数据传输速率. 目前,SK SoC 已经完成了设计验证,进入投产生产阶段. 同时,对 SK SoC 的性能瓶颈分析和结构评测也在深入细化,为系统优化和结构升级做准备.

### 参 考 文 献

[1] Asanovic K, Bodik R et al. The landscape of parallel computing research: A view from Berkeley. University of California, Berkeley, San Francisco, CA, USA: Technical Report UCB/EECS-2006-183, 2006

[2] Zhu De-Xin. Research on branch mechanism for UNICORE architecture[Ph. D. dissertation]. Peking University, Beijing, 2004(in Chinese)  
(朱德新. UNICORE 体系结构中的转移机制研究[博士学位论文]. 北京大学, 北京, 2004)

[3] Dasu A, Panchanathan S. A survey of media processing approaches. IEEE Transactions on Circuits and Systems for Video Technology, 2002, 12(8): 633-640

[4] Rathnam S, Slavenburg G. An architecture overview of the programmable multimedia processor: TM-1//Proceedings of the Compton'96, Technologies for the Information Superhighway Digest of Papers. Santa Clara, CA, USA, 1996;

319-326

[5] Kgil T, Roberts D, Mudge T. Improving NAND flash based disk caches//Proceedings of the 35th Internal Symposium on Computer Architecture. Beijing, China, 2008: 327-338

[6] Trainor M. Overcoming disk drive access bottlenecks with Intel robson technology. Intel Technology Magazine, 2006, 4(9): 9-11

[7] Stevens C E. At attachment 8-ATA/ATAPI command set (ATA8-ACS). T13 Technical Committee, United States; AT Attachment-8: D1699r1c-ATA8-ACS, 2007

[8] Chen F, Jiang S, Zhang X. SmartSaver: Turning flash drive into a disk energy saver for mobile computers//Proceedings of the Low Power Electronics and Design. Tegernsee, Germany, 2006: 412-417

[9] Kgil T, Mudge T. FlashCache: A NAND flash memory file cache for low power web servers//Proceedings of the 2006 International Conference on Compilers, Architecture and Synthesis for Embedded Systems. Seoul, Korea, 2006: 103-112

[10] Kim Y J, Kwon K T, Kim J. Energy-efficient file placement techniques for heterogeneous mobile storage systems//Proceedings of the 6th ACM & IEEE International Conference on Embedded Software. Seoul, Korea, 2006: 171-177

[11] Zadok E, Badulescu I. A stackable file system interface for linux//Proceedings of the 5th Annual Linux Expo. Raleigh, North Carolina, 1999: 141-151

[12] Wang K, Duan L, Cheng X. ExtensiveSlackBalance: An approach to make front-end tools aware of clock skew scheduling//Proceedings of the Design Automation Conference. San Francisco, CA, USA, 2006: 951-954

[13] Fang Hao, Tong Chen-Guang, Yao Bo, Song Xiao-Di, Cheng Xu. Cache compress: A novel approach to test data compression of IP cores//Proceedings of the International Conference on Computer-Aided Design. San Jose, CA, USA, 2007: 509-512



**CHENG Xu**, born in 1967, Ph. D. , professor and Ph. D. supervisor. His research interests include high performance microprocessor, system-on-chip, embedded system, instruction level parallelism, HW/SW co-design and compiler optimization.

**LU Jun-Lin**, born in 1980, Ph. D. candidate. His re-

search interests include HW/SW co-design and the communication architecture of system-on-chip.

**YI Jiang-Fang**, born in 1977, Ph. D. . Her research interests include HW/SW co-design, chip verification and test vector automatic generation.

**LIU Shu**, born in 1982, Ph. D. candidate. Her research interests include HW/SW co-design, storage system and the optimization of system software.