

一种流处理器体系结构 MASA 及其在 流体力学计算中的评测

伍楠 文梅 何义 荀长庆 任巨 柴俊 张春元

(国防科技大学计算机学院并行与分布处理重点实验室 长沙 410073)

摘 要 提出了面向科学计算的 64 位流体系结构——MASA,它具有强局域性、并行性、解耦合访存操作和计算操作等特征,特别适合于计算密集型的并行应用.作者使用时钟精确的模拟器评测了流体力学中的典型应用在 MASA 上的运行性能,结果表明 MASA 在 500MHz 的情况下能够获得比 1.6GHz 的 Iantium2 近 4 倍的加速,证实了流体系结构在高性能计算领域的极大潜力.

关键词 流处理器;体系结构;科学计算;Ygx2;MASA

中图法分类号 TP302

MASA Stream Architecture and Evaluating for a Fluid Computing Application

WU Nan WEN Mei HE Yi XUN Chang-Qing REN Ju CHAI Jun ZHANG Chun-Yuan

(PDL, School of Computer, National University of Defense Technology, Changsha 410073)

Abstract This paper presents MASA stream architecture which supporting 64b operation for scientific computing, and which characteristics are stress locality, parallelism, decoupling of memory operations. It matches the capabilities of modern semiconductor technology with computer-intensive parallel applications and allows for high performance of compiler optimized code. Given a fluid computing application as a case, the authors used a cycle-accurate hardware simulator to analyze the performance of the implementation and to measure application run-time. A comparison with the code, tuned for traditional general purpose processors, confirms the stream processor's potential to deliver high performance.

Keywords stream processor; architecture; scientific computing; Ygx2; MASA

1 引 言

现代半导体工艺技术的发展使得在单芯片上放置成百上千个运算单元成为可能,但是全局片上、片

外带宽受限.通用处理器体系结构不能较好地适应这些变化,仍然依靠全局片上结构、少量的运算单元和复杂的控制.流体系结构^[1]拥有数量庞大的运算单元、鲜明的存储层次,使得在有限的片外带宽下,用高的本地带宽来满足大规模运算单元阵列的需

收稿日期:2006-01-13;最终修改稿收到日期:2007-09-18.本课题得到国家自然科学基金(60673148,60703073)和国家“八六三”高技术研究发展计划项目基金(2007AA01Z286)资助.伍楠,男,1981年生,博士研究生,主要研究方向为高性能微处理器体系结构、流计算、并行编译. E-mail: nanwu@nudt.edu.cn.文梅,女,1975年生,博士,副教授,主要研究方向为高性能微处理器体系结构、并行计算.何义,男,1982年生,博士研究生,主要研究方向为高性能微处理器体系结构.荀长庆,男,1984年生,硕士研究生,主要研究方向为高性能微处理器体系结构、并行处理.任巨,男,1981年生,博士研究生,主要研究方向为高性能微处理器体系结构.柴俊,男,1984年生,硕士研究生,主要研究方向为高性能微处理器体系结构、并行处理.张春元,男,1964年生,教授,博士生导师,主要研究领域为高性能微处理器体系结构、并行处理技术、嵌入式系统.

求,而控制逻辑则相对简单.传统的通用处理器可以看作是控制密集型处理器,流处理器与其它一些新型处理器如 cell^[2]、RAW^[3]一起被称为计算密集型处理器^[4].

一个程序被分解成多个可顺序执行的核心程序(kernel)和连续的数据纪录组成的流(stream)^[5]. kernel对输入的流进行操作并输出处理后的结果流,暴露了应用中大量的数据并行和多级的局域性,流体系结构开发了这些并行性以利用大量的运算单元,并且隐藏了存储操作的长延迟.流体系结构的带宽层次可以捕获生产者-消费者局域性,使得对全局带宽和存储带宽的要求较低.例如在本地寄存器文件(LRF)可以捕获在一个 kernel 内的数据生产者-消费者局域性,在流寄存器文件(SRF)可以捕获 kernel 之间的数据生产者-消费者局域性,这样就减少了片外访存,也相应地提高了应用的计算密集程度——运算次数与全局带宽的比率.

针对高性能计算特别是科学计算的应用特征,我们提出了一款可编程的 64 位流体系结构——MASA(多维可扩展流体系结构)^[6].在流模型和存储层次等方面,MASA 继承了经典流体系结构的原型系统包括 Imagine, Merrimac^①等的特征,但在存储空间、功能单元以及寄存器结构等方面做了大量创新和改进,其适用的应用领域除了包括传统流体系结构的媒体处理以外,还能有效支持信号处理、科学计算等其它密集计算领域.我们实现了 MASA 的时钟精确模拟器以及硬件仿真器,基于标准单元的半定制设计也已完成,处于测试阶段.模拟仿真结果表明,在 500MHz 下, MASA 双精度浮点计算的峰值性能可达到 36Gflops.

本文详细评测了流体力学中的二维拉格朗日和欧拉耦合法(以下简称 Ygx2)在 MASA 流体系结构上的性能. Ygx2 是北京应用物理与计算数学研究所为评价高性能计算机的性能而提炼的 IAPCM Benchmarks 之一,它采用 Lagrange 和 Euler 结合法求解二维爆轰流体力学问题,在国内和国际上应用极其广泛.本文主要评价单片性能,因此映射网格点的规模约为 39000 个点,其计算过程是通过求解偏微分方程,获得二维网格点的压力、内能、密度、速度等.在这个例子中,每个点的计算需要用到最多 8 个周围点的相关数据.我们采用分块、按列组织流、冗余数据、通信以及标量重组相结合的方法^[7],充分发挥流体系结构大量可并行的运算单元

的优势,能获得极高的性能.根据我们的模拟结果, Ygx2 在 500MHz MASA 上要比 1.6GHz Iantium 快 4 倍.这说明流体系结构在高性能计算领域上的强大优势.

本文第 2 节介绍 MASA 体系结构及原理;第 3 节介绍模拟实验环境;第 4 节以 Ygx2 为例详细分析和评价实验结果;第 5 节就目前的一些想法进行讨论;最后总结全文.

2 MASA 流体系结构

MASA 体系结构如图 1 所示. MASA 体系结构包含两个异构的处理器核:一个嵌入式标量处理器核(简称标量核),主要负责执行标量程序和发送流指令给流处理器核;一个 64 位流处理器核(简称流处理核),流处理核以协处理器的方式工作.流处理核包含流控制器、流存储系统、流寄存器文件(SRF)、微控制器、8 个运算簇(cluster)和网络接口等.每个运算簇包括 4 个对等的双精度浮点乘加单元(MA)、1 个除法单元和 1 个查找表,所有的功能单元完全流水,每个功能单元的每个输入由一个本地寄存器文件(LRF)供给.运算簇间由通信单元进行通信,8 个运算簇组成大规模计算单元阵列.针对流数据有量大、较少时间局域性的特征, MASA 提供三级带宽存储层次:本地寄存器文件(LRF)、流寄存器文件(SRF)、片外存储(memory),带宽以量级差别逐级递减.标量核、流处理器核和外围设备之间通过片内高速总线互连.

在 MASA 上应用两级编程模式:流级和核心级,流级访存并准备流,定义 kernel 的执行顺序,核心级执行 kernel 对流的数据进行计算.流级程序在标量核上执行, kernel 在流处理核上执行. Kernel 编译打包成一段 VLIW 序列,并按序广播到 8 个 cluster 上以 SIMD 方式执行. Kernel 的输入流、输出流以及 kernel 之间的中间数据流通过 SRF 流转,一个 kernel 内计算的数据则由 LRF 提供.

MASA 基于经典的流体系结构 Imagine 发展改进而来,继承了流体系结构的带宽层次和流处理的主要特征,但对存储空间划分、功能单元及寄存器结构做了大量改进.

① Merrimac 是一款超级计算机,其单节点结构与 Imagine 类似.本文中如无特殊说明, Merrimac 是指单节点 Merrimac.

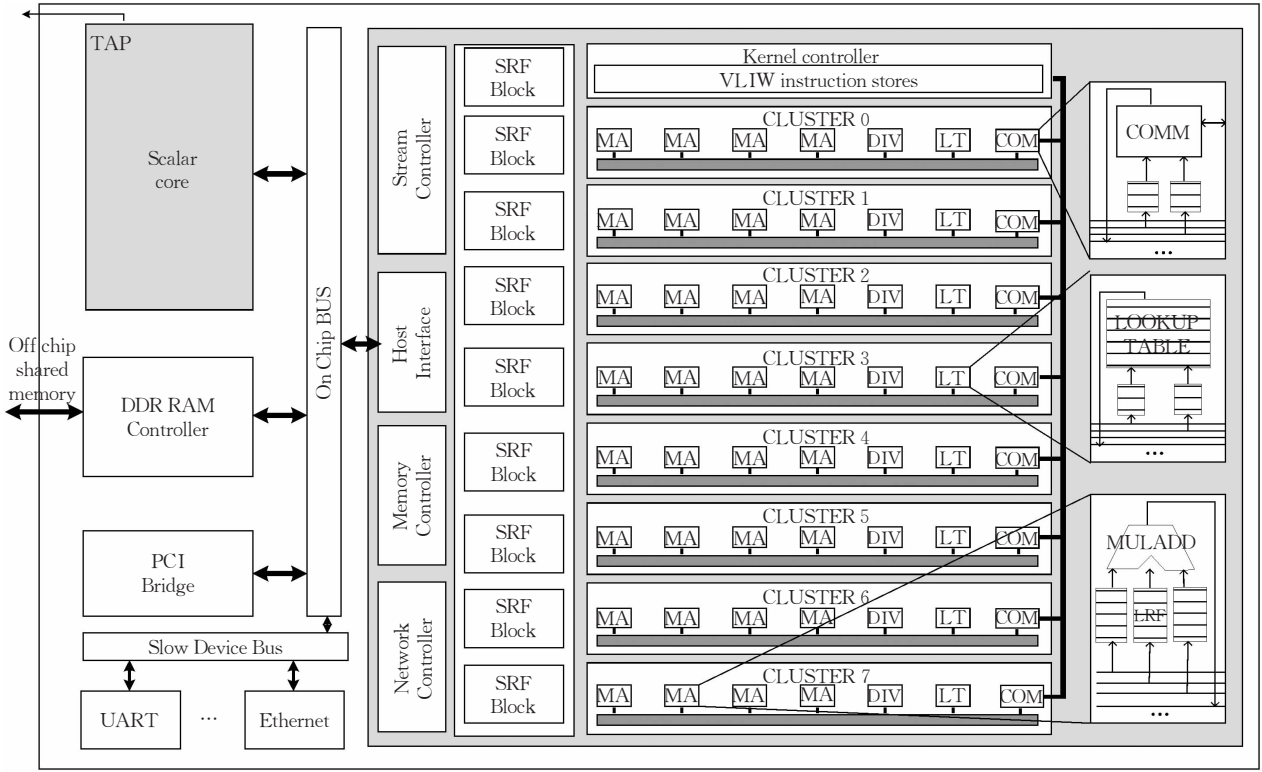


图 1 MASA 流处理器微体系结构

2.1 共享存储空间以及非阻塞传输

为了简化数据一致性问题,Imagine 采取可分离存储空间和阻塞式顺序执行的方法,处理器访存效率较低,数据传输过程开销很高.在 Imagine 流体系统结构中,标量核和流处理器不共享片外存储空间,所有应用所需的输入输出数据以及所有的 kernel 微代码都必须首先由标量核的存储空间传输到 SRF 中,如果流过长或数目太多导致 SRF 溢出,则再转存到流处理器独享的片外存储空间,存储空间的转移大大增加了程序的访存.而且标量核和流处理器之间的传输指令(host transfer)为阻塞式执行,即在数据传输期间停止其它一切操作,也不向流处理器发送流指令^[8],这将降低处理器的并发性.

对于媒体应用,一次处理的数据集相对较小,比如 Mpeg 编码中运动搜索算法,一次只需要两个流,一个搜索窗口(8×8 byte),一个比对窗口(32×32 byte),因此 SRF 溢出的情况很少.而且媒体应用中数据比较规整,数据重组也不多,因此 Imagine 体系结构为了结构简单而采取的可分离存储和阻塞执行是合理的.但在科学计算的应用中,数据集急剧增加,以 Ygx2 为例其一个 kernel 就需要 6 个 7200 words 的输入流,与媒体应用相比至少提高了两个

数量级,并且流不像大部分媒体计算那样规则,大量中间数据流需要标量核重组处理,因此标量核和访存带宽的压力都相应增加.针对这种情况,MASA 采取了共享存储空间和非阻塞传输的技术,在硬件上标量核和流处理器通过高速总线连接共享的片外 DRAM,减少了一个片外存储器,在流级指令集中引入了同步(SYNCH)和栅栏(BARRIER)指令保证数据的一致性.这样输入/输出数据统一存放在共享存储器中,不需要数据转移,而且对于数据传输操作与其它操作可以并发执行(前提是数据相关性允许),不会引起阻塞.MASA 专门针对科学计算的特性提出了共享存储和非阻塞传输的改进措施,有效地缓解了访存压力并提高了程序并发度,使得流处理器可以更好地适用于科学计算领域,其在第 4.4 节的实验结果中会得到验证.

2.2 对等的乘加单元和寄存器结构

Imagine 流体系统结构中的 cluster 的运算单元不对等,包括 3 个加法单元,2 个乘法单元.而在 MASA 中改进为 4 个对等的乘加单元.一个主要的原因是 Imagine 面向的应用领域是媒体处理而 MASA 兼顾了科学计算领域的高性能的浮点计算需求,这一点与 Merrimac 类似.科学计算中的矩阵运算大量使用乘加操作,支持专门乘加指令可以比单独的乘

和加更加有利于密集计算. 4.3 节的实验数据表明, 乘加指令与短乘、短加配合使用, 能将 kernel 性能最大提升 20%.

对等功能单元的另一个好处是: 使得 kernel 编译 VLIW 调度时比不对等的功能单元调度容易, 也更容易做到功能单元间的负载平衡. 对重负载情况下(指 kernel 的 VLIW 在一段时间内某个运算单元操作频繁, 对个别本地寄存器文件带来的压力较大), 该优势尤为明显. 在科学计算中大量 kernel 属于重负载情况, 我们将在 MASA 上调度通过的 kernel 放在同配置的 Imagine 上调度, 如果不加修改则重负载 kernel 基本都不能通过. 由于减小单元个数可以减小交叉开关端口和 LRF 的数量, 硬件设计综合的结果表明除了字宽(64 位)造成的影响外开销并没有太大增加. 为了支撑大规模科学计算, MASA 还增加了本地寄存器 LRF 和流寄存器 SRF 的容量.

3 MASA 模拟平台

我们参考 ISIM^① 开发了一个 MASA 的模拟器 MSIM. MSIM 是一个时钟精确的模拟器, 可以完整地运行流应用程序, 并准确获得 MASA 关于运算簇与功能单元、微控制器、流寄存器文件和存储系统等性能结果. 它是由机器描述文件进行配置的, 包括流处理器组成、计算延迟和通信机制等.

MSIM 模拟器由两部分组成: 一部分为流处理器核硬件模拟, 负责模拟真实情况下 MASA 流处理器核硬件以及周边部分硬件的行为; 另一部分为标量核运行环境模拟(标量核利用 PC 机模拟), 该部分为程序的执行提供环境, 负责与硬件的交互. 执行时两部分程序处于两个不同的线程中, 通过互斥锁等同步, 交互数据. 全部程序按面向对象的思想构建, 以 C++ 实现. 模拟器参数设置如表 1. 本文的评测结果都是基于 MSIM 获得.

表 1 MASA 硬件模拟参数设置情况

参数	数值	参数	数值
字长	64bit	主存带宽	5.3GB/s
工作频率	500MHz	cluster 数量	8
同时支持 访存流数量	2	cluster 内部 配置	4 个乘加单元, 1 个除法单元
SRF 大小	512KB	峰值浮点性能	36GFlops

4 流体力学计算中的应用评测

4.1 流式 Ygx2

基于二维拉格郎日和欧拉耦合法的 Ygx2 是北京应用物理与计算数学研究所为评价高性能计算机的性能而提炼的 10 个 IAPCM Benchmarks 之一, 在爆轰流体力学的数值计算中有重要的实际意义. 本文选择 Ygx2 作为例子映射到 MASA 上主要有 3 个原因: (1) Ygx2 属于 IAPCM Benchmarks, 它具有一些科学计算的典型特征; (2) 程序代码量适中, 较为容易理解; (3) 已有相当多的传统处理器的性能数据, 可以作为比较和参照. 本文在 MASA 上映射实现了一个完整的 Ygx2 应用程序.

流处理器上的 Ygx2 程序总共包含 18 个不同的 kernel, kernel 基本上是根据原有程序的子函数以及其中的循环进行划分, kernel 划分以及数据流程图如图 2 所示. 通过数据流程图可以很清楚地知道 kernel 的功能、执行顺序、访存以及 kernel 间的生产者消费者局域性和数据重用局域性. 程序实现处理的网格大小为 603×64 , 需要迭代 537 次. 考虑 SRF 大小为 512KB, 数据流过长会导致 SRF 行为类似一个容量很小的缓存, 不能发挥其捕捉生产者-消费者局域性的特点. 因此我们将数据分块处理, 每块大小为 24×64 , 因为分块, 18 个主要的 kernel 需要迭代执行 537×28 遍.

kernel 程序按照循环中变量被使用的顺序决定输入流的组织方式. 在 Ygx2 的计算中, 主要是根据邻近的点来求解本点的值, 例如通过某点邻近点的 x, r 来计算该点的 u, v 值. 不同变量存在不同的对相邻点的需求情况, 但相邻点最多是 8, 也就是需要左右列和上下行的相邻数据. 为减少数据冗余, 我们将数据按列组织, 并保证 cluster 总存有中间行计算点所需的周围 8 个点, 其它行的计算点所需要的点会有部分在其它 cluster 中, 计算时需要通信, 在不同 cluster 间传递数据. 数据流进 kernel 程序以后, 所有操作全部是在 8 个 cluster 上以 SIMD 方式并行执行. 计算以窗口滑动的形式按列推进(详细算法实现参见文献[7]), 这样可以很规则地将算法映射到流体系结构上, 充分发挥流处理器大规模 ALU 阵列簇和分布式寄存器的优势.

① Imagine 的时钟精确模拟器.

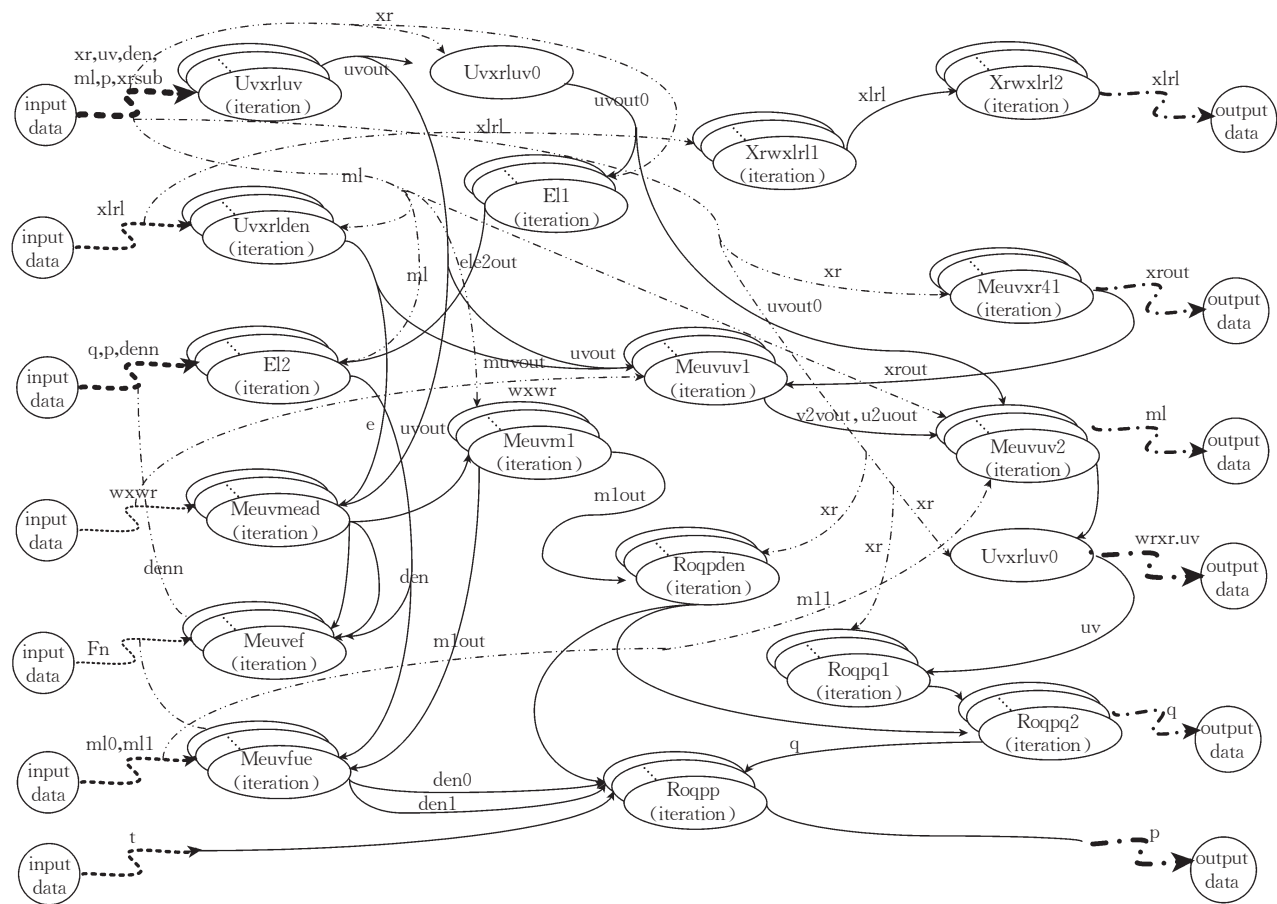


图 2 Ygx2 数据流图

边界点的处理计算量很小,主要是少量数据的重组,并行性差,由流处理器传回标量核进行处理.由于 MASA 采用了共享存储空间和非阻塞传输,使得标量核同流处理器核之间的协同工作非常便捷,对性能影响也较小.而且分块之后由于相同 kernel 之间不存在数据相关,因此很容易形成软流水,带来访问延迟隐藏.连续执行相同 kernel 还有一个好处是该 kernel 的微代码只需加载一次,后续执行的 kernel 可继续使用,充分利用了时间局域性.

下面我们从运算密集与局域性、带宽和运行时间等方面评测流式 Ygx2 的结果.

4.2 运算密集与局域性

运算密集性和局域性是紧密相连的,多数情况下计算越密集则局域性越好.对整个应用来说,计算操作次数与一次访存的比值可以表示计算密集的程度,对单个 kernel 来说,计算操作次数与一次 SRF 访问的比值可以表示单个 kernel 的计算密集程度.表 2 列出依据模拟结果统计的应用中所有 kernel 的相关信息,最后一行给出按 kernel 计算量占整个应用总的 kernel 计算量的比值加权平均后的结果.

表 2 第 2 列给出各个 kernel 的单次执行时间,显示出不同的权重.表 2 第 3 列给出 Ygx2 应用中所有 kernel 的浮点操作次数与一次 SRF 访问的比值,加权平均值为 68.8,这个比率足以支撑 ALU 充分运转,由 SRF 来不及供应数据造成的 cluster 停顿会很少,不超过 kernel 单次执行时间的 1%.

表 2 第 4 列和第 5 列给出了 kernel 实际执行所用的 LRF 带宽和 SRF 带宽(仅指 cluster 与 SRF 之间的带宽,实际 SRF 带宽还要提供给网络接口、DRAM、标量核等),超过 90%的数据访问在 LRF,显示 kernel 内部运算的大量数据局域性,所有 kernel 的 SRF 带宽均不超过峰值 51.2GB/s 的 65%,说明 SRF 带宽有足够的余力提供给其它需要访问 SRF 的客户或应付 kernel 对 SRF 突发性的高带宽访问.

表 2 中第 6 列和第 7 列给出的每个 kernel 的指令数/cycle (IPC) 和在应用上获得的实际性能 Gflops,显示了流处理器强大的可持续计算能力,也进一步表明流体系结构的 ALU 阵列和分布式寄存器可以有效地开发指令和数据并行.

表 2 Ygx2 所有 kernel 的性能统计

kernel	单次执行时间 cycle	浮点操作/访问 SRF	LRF 带宽/(GB·s ⁻¹)	SRF 带宽/(GB·s ⁻¹)	IPC*	ALU/Gflops
El1	4187	5.0	304	20.50	20.4	12.0
El2	100212	112.0	351	1.15	23.0	19.1
Meuvef	7174	4.0	219	20.00	15.3	10.5
Meuvfue	4872	9.0	443	18.00	24.2	19.5
Meuvm1	3960	2.0	141	14.50	11.8	3.1
Meuvmead	3743	5.0	531	34.50	39.2	20.1
Meuvuv1	3910	6.0	468	21.30	36.2	16.8
Meuvuv2	3040	6.0	411	25.30	24.4	17.9
Meuvxr41	2101	4.0	325	27.40	22.3	13.7
Roqpdn	4080	14.0	526	14.10	34.3	24.0
Roqpp	50475	51.0	273	1.71	17.6	10.9
Roqpq1	9169	21.0	619	9.50	36.7	25.3
Roqpq2	3566	10.0	466	16.08	27.5	19.1
Uvxrlnd	3788	13.0	524	15.10	31.3	25.1
Uvxrluv	54686	88.0	517	2.37	29.5	25.9
Uvxrluv0	1118	71.0	131	0.70	6.9	6.2
Xrwxlr1	25699	29.0	371	4.41	22.4	16.0
Xrwxlr2	21556	56.0	417	2.63	27.1	18.5
加权平均		68.8	385	4.80	24.2	18.4

注：上标 * 表示包括非计算型指令。

4.3 对等乘加单元以及本地寄存器容量对 kernel 性能的影响

在科学计算中,对等的功能单元可以获得相当的好处,映射中我们发现 kernel 编译时对等功能单

元的 VLIW 调度要比非对等功能调度简单,也更为高效.表 3 是 MASA 与 Imagine 的功能单元和 LRF 设置情况,MASA 指令集包含乘加指令,延迟增加到 Imagine 加法指令的 2 倍.

表 3 MASA 与 Imagine 的功能单元和 LRF 设置

体系结构	功能单元			分布式寄存器容量	指令集
非对等计算单元	加	乘	除	LRF 个数×LRF 大小	Imagine 指令集
Imagine	3	2	1	6×32+13×16 项	
对等计算单元	对等乘加 ALU		除		MASA 指令集
MASA1	4		1	24×16 项	
MASA2	4		1	24×32 项	

图 3 中显示不同配置下 MASA 和 Imagine 对各 kernel 运行的性能加速比,以 Imagine 为基准参照.可以发现计算量较小的 kernel 在不同配置下的性能基本接近,而计算量大的重负载 kernel 有比较明显的加速.加权平均值说明在 Ygx2 应用上,对等

计算单元比不对等计算单元能提高 20%左右的性能,LRF 增加可以使重负载 kernel 性能获得近似线性增长,由于重负载 kernel 占主要执行时间,所以整体性能获得很高加速.

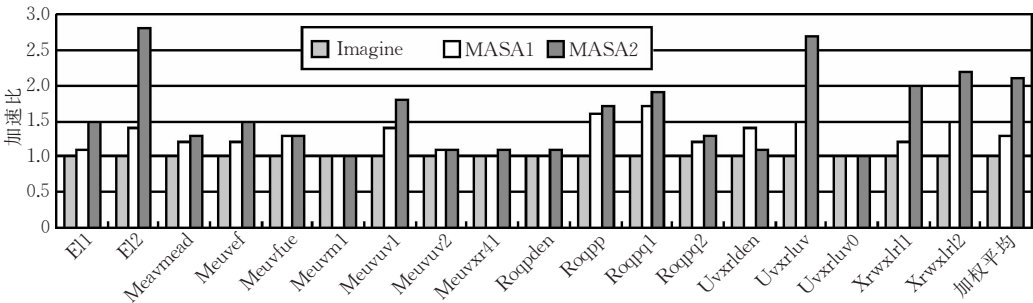


图 3 Ygx2 kernel 在不同配置下的性能加速比

4.4 共享存储空间下的带宽分析

三级存储层次的带宽如图 4 所示,图中分离表

示标量核与流处理核不共享存储空间,共享则反之.共享存储空间后整个应用访问 DRAM, SRF, LRF

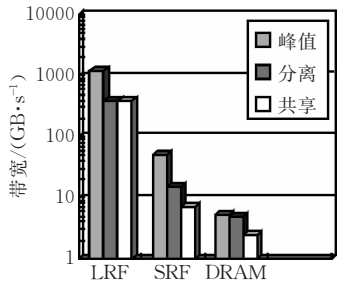


图 4 带宽层次

三级存储的访问次数比为 1:2.5:114,实际所需的带宽分别为 2.1GB/s, 7.3GB/s, 386GB/s. SRF 和 DRAM 之间访问次数差别较小,主要是由于边界的处理要求 SRF 中的数据被传回 DRAM, SRF 主要作为一个 cluster 与 memory 之间的一个缓冲使用,未能完全捕捉 kernel 之间的生产者-消费者局域性.但 kernel 内部的局域性被充分捕获,因此 LRF 带宽极高.共享存储与分离相比,能显著降低对 DRAM 和

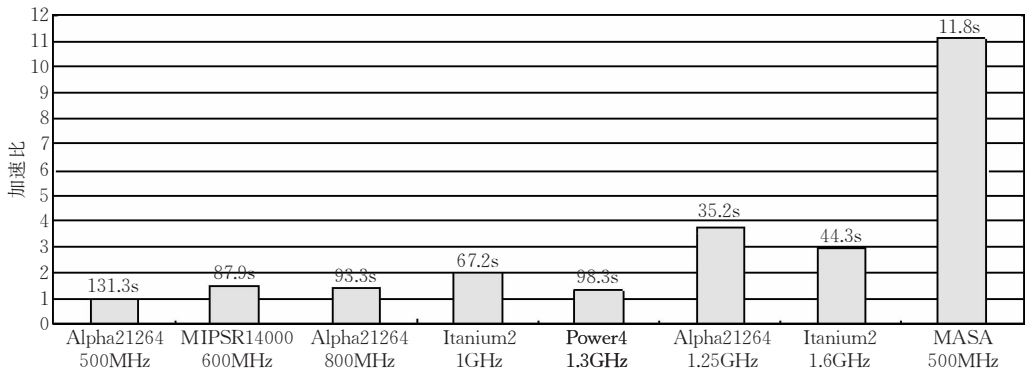


图 5 Ygx2 在不同机型上的性能加速比(直方图上标明执行时间)

5 讨 论

经过研究流式 Ygx2,并与其它几种在流处理器上实现的科学计算领域中的 StreamSPAS, stream-FEM-3D, streamFLO, streamMD^[10] 比较,发现一些共同访存特征,见表 4. 与媒体处理相比,表 4 中所列的部分科学计算中 memory 访问与 SRF 访问、LRF 访问的比率为 1:3:100 左右,媒体处理该比率约为 1:10:200^[11]. 除此之外对片上流级存储 SRF 的访问,科学计算也显示相当的不规则性. 在 Ygx2 中体现的 kernel 之间的生产者-消费者局域性不规则,因为消费 kernel 使用的顺序和生产 kernel 产生的顺序不一致导致每个 kernel 都有输出流需要回存到主存中重组^①,因此 SRF 所能捕捉的生产者-消费者局域性有限.

SRF 的访问,而使数据访问集中于 cluster 内部的本地高速带宽.

4.5 应用总体性能分析和比较

丰富的数据并行、指令并行以及密集的计算操作使得 Ygx2 在 MASA 上获得了很高的性能,应用执行时间为 11.8s, IPC 为 24.2,持续双精度浮点计算性能达到 18.4Gflops.

图 5 以 500MHz 的 Alpha21264 性能为基准,更直观地表示出 Ygx2 在不同处理器上获得的加速比,并列举了 Ygx2 在不同机型上的运行时间^[9]. 可见 500MHz MASA 流处理器的性能比同频率的 Alpha21264 快了 11 倍,比 1.6GHz 的 Itanium 优化后(打开-O3-fast 优化选项)的结果快约 4 倍. 结果表明了 Ygx2 在 MASA 可以获得很好的性能加速,同时也反映出计算密集型处理器特别是流处理器在科学计算领域的巨大优势.

表 4 科学计算中的流带宽层次特征

	LRF 访问次数	SRF 访问次数	memory 访问次数
StreamFEM3D	153.0M	6.3M	1.8M
StreamMD	90.2M	1.6M	0.7M
StreamFLO	234.3M	7.2M	3.4M
StreamYGX2	206.5G	4.6G	1.8G

结合科学计算的新特征,未来将对 SRF 进行改进,使其支持不规则访问,则可以捕捉不规则的局域性,将进一步减少访存,提高性能.

6 结 论

对密集型计算,流体系结构的流模型很好地暴露了 kernel 内和 kernel 间的局域性,解耦合了数据访存和计算,因此在国际上受到高性能计算学术界

① 其它重组数据的方法不在本文讨论范围.

和商业界的重视,我们在长期跟踪研究的基础上,设计了 MASA 流处理器并开发了模拟环境.本文介绍了 MASA 流体系结构,并分 kernel、延迟隐藏、局域性、应用性能等方面给出了 IAPCM Benchmarks 中的 Ygx2 在 MASA 上的应用评测.结果表明在 500MHz 的 MASA 上运行该应用的时间比 1.6GHz 的 Itanium2 快约 4 倍.必须要说明的是, Ygx2 在 MASA 上的加速来源于流体系结构的经典特征,而 MASA 很好地继承了这些特性并针对科学计算进行了改进,因此能够很好地开发 Ygx2 的延迟隐藏、并行、局域性,最终获得很高的实验性能.最后,我们讨论了科学计算的部分共同特征以及在这些特征下流体系结构暴露的一些问题和我们的思考.本文对新型密集计算型处理器特别是流处理器及其应用研究作了大量有价值的探索性研究,具有很好的借鉴意义.

参 考 文 献

- [1] Kapasi U J, Dally W J et al. The imagine stream processor// Proceedings of the 2002 International Conference on Computer Design. Freiburg, Germany, 2002: 282-288
- [2] Flachs B et al. A streaming processor unit for a cell processor//Proceedings of the IEEE International Solid-State Circuits Conference. CA, USA, 2005: 134-135
- [3] Taylor M B et al. The RAW microprocessor: A computational fabric for software circuits and general purpose programs. IEEE Micro, 2002, 3/4: 25-35

- [4] Erez M. Fault tolerance techniques for the merrimac streaming supercomputer//Proceedings of the SC' 05 Conference. Seattle, USA, 2005: 29-39
- [5] Jung Ho Ahn et al. Evaluating the imagine stream architecture//Proceedings of the 31st International Symposium on Computer Architecture. Munchen, Germany, 2004: 14-25
- [6] Wen Mei, Wu Nan, Li Hai-Yan, Zhang Chun-Yuan. A multiple-dimension scalable adaptive stream architecture//Proceedings of the 9th Asia-Pacific Computer System Architecture Conference. Beijing, 2004: 199-211
- [7] Wen Mei. Key techniques research of stream architecture [Ph. D. dissertation]. Department of Computer Science, National University of Defense Technology, Changsha, 2006 (in Chinese)
(文梅. 流体系结构关键技术研究[博士学位论文]. 国防科学技术大学,长沙,2006)
- [8] Mattson. A programming system for the imagine media processor[Ph. D. dissertation]. Department of Electrical Engineering, Stanford University, Palo Alto, California, 2001
- [9] Yuan Guo-Xing, Shao Jing-Yun. Evaluating performance of scientific applications on several high performance processors. Beijing Institute of Application Physics and Computing Mathematics, Beijing, 2003 (in Chinese)
(袁国兴,邵京云. 评几种高档微处理器在运算科学计算问题时的性能. 北京应用物理与计算数学研究所,北京,2003)
- [10] Jayasena N S. Memory hierarchy design for system computing[Ph. D. dissertation]. Department of Electrical Engineering, Stanford University, Palo Alto, California, 2005
- [11] Rixner S. Stream Processor Architecture. Norwell, MA, USA: Kluwer Academic Publishers, 2001



WU Nan, born in 1981, Ph. D. candidate. His research interests include computer architecture, stream computing, and compiler design.

WEN Mei, born in 1975, Ph. D., associate professor. Her research interests include computer architecture, parallel computing.

HE Yi, born in 1982, Ph. D. candidate. His research

interest focuses on computer architecture.

XUN Chang-Qing, born in 1984, M. S. candidate. His research interests include computer architecture, parallel processing.

REN Ju, born in 1981, Ph. D. candidate. His research interests include computer architecture, compiler design.

CHAI Jun, born in 1984, M. S. candidate. His research interests include computer architecture, parallel processing.

ZHANG Chun-Yuan, born in 1964, professor, Ph. D. supervisor. His research interests include multi-computer architecture, scientific computing.

Background

Stream architecture is an emerging architecture which was originally developed for media processing. Stream archi-

tecture operates on data streams, provides multiple-level bandwidth hierarchy and makes ALU arrays execute with full

loads. Stream programming model exposes the parallelism and locality of stream applications in a manner that is well matched to the capabilities of modern VLSI technology. Research shows that programmable stream processor can achieve high performance for some intensive computing applications, which is comparable to special processor. Compared to traditional general purpose processor, stream processor owns simple instruction control and storage logic with a large amount of programmable arithmetic units and programmable communication channels. It is suited for VLSI technology's development trend. However, stream architecture's research is in the primary level. If application domain of stream architecture should extend to scientific computing, many key technologies need to be studied.

This paper presents the MASA stream architecture for scientific computing, and uses the cycle-accurate simulator to evaluate the performance by mapping fluid computing application on the MASA. The research is supported by the Na-

tional Natural Sciences Fund (NSFC). The project is advantageous in the solution stream architecture's key technologies and the scientific problem, has the great significance in producing the original new generation of super computation chip. The research team started from 2003 to carry the research. Till now, they published high level papers in international/domestic conference more than 20, in which 7 papers were indexed by SCI. And they participated in the FT64 chip design, at present the chip already was received at National University of Defense Technology (NUDT). This article result confirms the stream processor's potential to deliver high performance for the scientific computing, and it solves the part key question when stream architecture expands to the science computation domain in NSFC project. The paper also demonstrates that MASA stream architecture has good scalability and is suitable for broader stream application domains and VLSI technology trend.