

面向串扰时延效应的时序分析方法及 在集成电路测试中的应用

张旻晋^{1),2)} 李华伟¹⁾ 李晓维¹⁾

¹⁾(中国科学院计算技术研究所系统结构重点实验室 北京 100080)

²⁾(中国科学院研究生院 北京 100049)

摘 要 随着特征尺寸进入纳米尺度,相邻连线之间的电容耦合对电路时序的影响越来越大,并可能使得电路在运行时失效.准确和快速地估计电路中的串扰效应影响,找到电路中潜在的串扰时延故障目标,并针对这些故障进行测试是非常必要的.文中提出了一种基于通路的考虑多串扰引起的时延效应的静态时序分析方法,该方法通过同时考虑临界通路及为其所有相关侵略线传播信号的子通路来分析多串扰耦合效应.该方法引入了新的数据结构“跳变图”来记录所有可能的信号跳变时间,能够精确地找到潜在的串扰噪声源,并在考虑串扰时延的情况下有效找到临界通路及引起其最大串扰减速效应的侵略子通路集.这种方法可以通过控制跳变图中时间槽的大小来平衡计算精度和运行时间.最后,文中介绍了在基于精确源串扰通路时延故障模型的测试技术中,该静态时序分析方法在耦合线对选择和故障敏化中的应用.针对 ISCAS89 电路的实验结果显示,文中提出的技术能够适应于大电路的串扰效应分析和测试,并且具有可接受的运行时间.

关键词 串扰;静态时序分析;通路时延故障;时延测试

中图法分类号 TP303

Crosstalk-Induced Delay Oriented Static Timing Analysis and Its Application to VLSI Test

ZHANG Min-Jin^{1),2)} LI Hua-Wei¹⁾ LI Xiao-Wei¹⁾

¹⁾(Key Laboratory of Computer System and Architecture, Institute of Computing Technology,
Chinese Academy of Sciences, Beijing 100080)

²⁾(Graduate University of Chinese Academy of Sciences, Beijing 100049)

Abstract As the feature size continues to shrink into the nanometer era, the crosstalk-induced effect on circuit timing becomes significant. It is essential that potential crosstalk-induced delay effects should be estimated, identified, tested accurately and quickly. This paper proposes a novel path-based static timing analysis technique for multiple coupling effects. In this method, multiple crosstalk-induced effects are analyzed by considering a critical path and the sub-paths which propagate the transition signals to the aggressor lines coupled to the critical path. A new structure, transition map, is introduced to record all the possible arrival time of a line. Based on it, we can accurately identify the potential crosstalk noise sources, and efficiently find critical paths in presence of crosstalk as well as proper sub-paths to activate maximal coupling effects on a critical path. We can trade off accuracy and runtime by controlling the size of time scale used in transition map, which makes this approach highly scalable. The application of this method to the delay test

收稿日期:2007-05-08;修改稿收到日期:2007-07-20. 本课题得到国家自然科学基金(60606008,60633060)和国家“九七三”重点基础研究发展规划项目基金(2005CB321605,2005CB321604)资助. 张旻晋,男,1980年生,博士研究生,主要研究方向为集成电路时延测试和测试生成技术. E-mail:zhangminjin@ict.ac.cn. 李华伟,女,1974年生,博士,副研究员,博士生导师,主要研究领域为VLSI/SOC设计验证、测试生成、时延测试、可靠设计和可信计算. 李晓维,男,1964年生,博士,研究员,博士生导师,研究领域为VLSI/SOC设计验证与测试、测试生成、易测试设计、低功耗设计和可信计算.

based on Precise Crosstalk-induced Path Delay Fault model is given. Experiments on ISCAS89 benchmark circuit show the proposed technique can be applied to analysis and test of crosstalk-induced effects for large circuits within an acceptable time.

Keywords crosstalk; static timing analysis; path delay fault; delay test

1 引 言

随着特征尺寸的逐渐减小和时钟频率的不断上升,相邻线间的串扰效应对电路性能的影响越来越显著.高频开关电路中,毗邻信号线间由于电容耦合效应,将可能使一条信号线上的信号影响另一条信号线上的信号,严重时将导致电路出现逻辑错误或者时延故障^[1].施加影响的信号线被称为侵略线(aggessor line),而被影响的信号线被称为受害线(victim line).串扰对电路的负面影响可以被分为两类:串扰引起尖峰脉冲和串扰引起时延改变.本文的研究对象是串扰引起的时延改变.

串扰引起的时延改变表现为:当侵略线和受害线上的信号同时发生同向(或者反向)跳变时,受害线上的信号跳变延迟将会显著减少(或者增加),称为串扰引起的加速(或者减速),当这些信号时延变化严重时,特别是发生在松弛时间(slack)小于给定范围的临界通路上时,将会导致电路无法工作在规定的时钟周期之下.由于加速效应和减速效应的分析和测试方法是等价的,仅仅是信号的跳变方向不同,本文将仅描述针对串扰减速效应的技术.

虽然组合逻辑中单一连线受到的串扰引起的时延比较小,但是一条通路上多条受害线累积的串扰时延效应将使得通路总时延增长 10%~20%,这可能导致系统的失效.通过使用更大的松弛时间虽然可以减少串扰时延效应对系统可靠性的影响,但这些方法会引起留有过分富余量的设计而导致性能的降低.另一方面,制造缺陷也可能加重这些串扰效应.因此,研究针对串扰时延效应的准确估计与测试技术是很必要的.本文关注的就是如何准确地寻找到电路中最具影响的串扰故障位置及其测试方法.

电路中实际的物理临近的线对的数量是十分巨大的,但是仅有一部分耦合线对会对电路性能产生影响^[2].关于如何准确找到这些潜在的导致电路失效的耦合线对,近几年国际上开展了许多的相关研究,其中主要是基于电路时序信息的方法.文献[2]将串扰时延效应按信号线和时钟线的不同分为

4类,并给出了基于静态时序分析方法的串扰时延目标识别方法.文献[3]中使用了一种不连续的时间窗来取代传统的时间窗以大幅度地提高识别精度,减少潜在耦合故障数量.文献[4]引入了新的方法——有效串扰时延来精确而快速地估计串扰影响下的信号最早和最迟到达时间.这些方法都基于时间窗技术,对电路中的耦合线对进行时序分析,在分析串扰时延效应对通路的影响时都不够精确.

为了能够对这些串扰时延效应进行测试,近几年国际上提出了几个相应的故障模型和测试方法.文献[5]提出了一种考虑串扰效应的通路时延测试生成方法,基于遗传算法和时延模拟来搜索通路的最大时延.文献[6]对线间串扰引起的时延效应进行了建模,分析了引起串扰减速效应的约束条件,并开发了一种时延导向的回退算法来指导串扰减速故障的时延测试生成.上述文献关于面向串扰的测试生成研究,共有的特点是需要特殊的、耗时的方法在测试生成过程中处理电路的时间信息,并且最后得到的测试向量是否激活了目标串扰减速效应没有得到验证.

为了解决以上两个问题,我们已经进行了故障建模^[7]和测试生成^[8]方面的研究.文献[7]中提出了一种精确的串扰引起时延故障模型(Precise Crosstalk-induced Path Delay Fault model,PCPDF).一个PCPDF故障对象包括了一条临界通路及所有传播必要跳变信号到侵略线的子通路.在确定了这些子通路后,基于PCPDF的测试生成过程,可以看作是寻找同时敏化一条临界通路和多条子通路的向量.这样,电路的时序信息仅仅需要在时序分析和建立故障列表的过程中被考虑,传统的时延测试向量生成算法只需要少量的改变就可以直接应用在面向串扰时延的测试生成技术之中.所以,基于PCPDF的时延测试技术的关键就在于寻找临界通路和侵略子通路.文献[8]给出了面向S-PCPDF的测试生成技术,能够有效地针对电路中单串扰故障进行测试.

本文提出一种用于多串扰时延效应分析和故障对象选取的静态时序分析方法.这种方法引入了新的时延信息记录方法“跳变图”来解决精确识别潜在

耦合故障和估计多串扰时延效应的问题。同时在基于 PCPDF 的测试技术中,这种方法能够被用来寻找受害临界通路和侵略子通路,使得串扰时延故障能够被精确地识别和测试。该方法基本流程如图 1 所示。

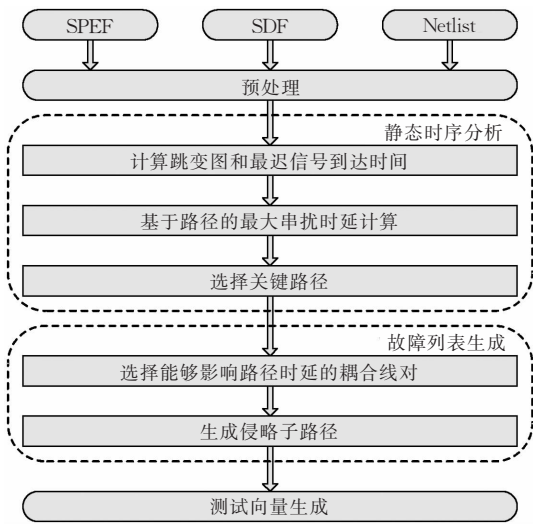


图 1 多串扰效应的分析与测试流程

2 多串扰时延

2.1 耦合线对

通常,一条长受害线耦合 40~50 条侵略线^[9],而一条临界通路可能拥有 20~40 条受害线。本文使用耦合簇(cluster)来表示一条受害线及所有与它耦合的侵略线,其中,受害线和每一条侵略线构成一个耦合线对(pair)。这样,一条拥有 n 条受害线(V-line)和 m 条侵略线(A-line)的临界通路上的所有耦合点可以被表示为 n 个耦合簇或者 m 个耦合线对。一个耦合线对的电路模型如图 2,包括以下的参数(V-line, A-line, C_c , C_v , R_v , C_a , R_a)。

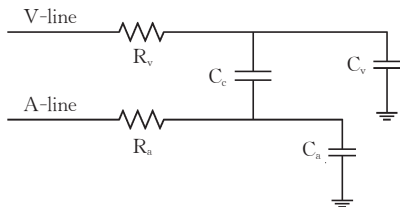


图 2 耦合线对的电路模型

串扰引起的时延大小是由侵略线和受害线信号跳变时间之间的偏移(skew)、耦合电容及耦合线对各自的 RC 负载决定的。在预处理阶段,我们将使用 HSPICE 对典型的基本单元进行模拟,计算出不同负载和耦合电容的情况下耦合线对的耦合效应所增

加的时延。然后将这些时延信息建立一张表,在以后的时序分析和测试生成的过程中,通过查表的方法来获得串扰时延。在这里非线性效应被忽略,多耦合效应可以由各个耦合线对的串扰时延值线性叠加而得到。

2.2 侵略子通路

通路指的是从电路的原始输入或触发器的输出端到电路的原始输出或下一级触发器的输入端之间的由引线和门组成的交替序列。我们使用子通路(sub-path)来表示一条不完整的通路,包括从原始输入或者寄存器的输出端到某一条内部的连线。假设一条通路 p 存在 n 条受害线和相应的 m 条侵略线,那么能够将跳变信号传播到这 m 条侵略线的子通路就叫做通路 p 的侵略子通路。

在受害线信号跳变的过程中,侵略线上的信号存在同向或者反向跳变的时候,受害线上的时延将会减少或者增长。也就是说,只有耦合线上的信号跳变到达时间差小于信号的跳变时间,两条线上的时延才会受到影响,而连线上信号的跳变到达时间是由传播跳变的子通路所决定的。为了能够激活通路 p 上的串扰时延效应,我们需要对所有可能的侵略子通路进行挑选。这里我们假设 p 上有一个耦合线对 $\langle a, v \rangle$,侵略子通路 $sp-a$ 的时延是 $d(sp-a)$,沿着通路 p 从输入端到达 v 的最大时延是 $d(sp-v)$ 。那么符合如下件条件的 $sp-a$ 能够激活通路 p 上的耦合时延效应:

$$|d(sp-v) - d(sp-a)| \leq \delta.$$

典型的, δ 是一到两个门的时延^[10]。那些侵略子通路都不符合条件的耦合线对将对通路 p 的最大时延不会产生影响,不需要考虑。而使得上式中的差值最小的侵略子通路就是能够使通路 p 上时延最大的最大串扰侵略子通路($sp-a_{MAX}$)。

所以,激活通路 p 上的最大串扰时延就转化成为了寻找最大串扰侵略子通路的问题,为了解决这个问题,时序分析过程需要考虑所有可能的子通路的通路时延,并且能够在确定通路时延后找到相应的侵略子通路,这就需要引入新的时序分析方法。

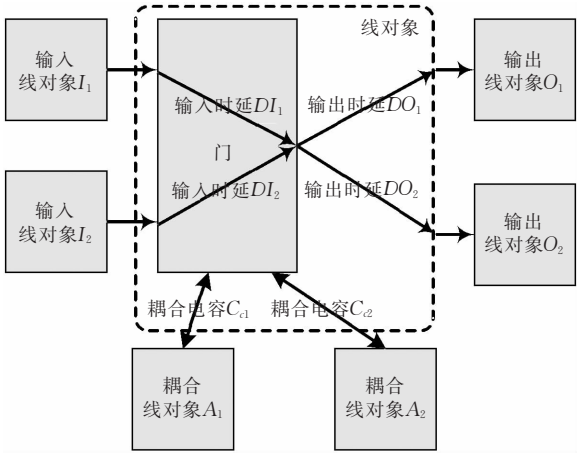
3 考虑串扰的静态时序分析方法

3.1 线时延模型

IEEE 标准时序格式文档(SDF)是表示时延和时序信息的标准^[11]。每一份 SDF 包括一个或多个单元(cell),里面记录有电路的时序信息,包括时延

值、时序检查信息、时序约束和时序环境。一般主要包括两种时延值：IO 通路时延和互连时延。IO 通路时延指的是在一个单元里面，信号从输入端到输出端的时延，而互连时延则是从一个单元的输出来到另一个单元的输入的信号传播时延。

由于串扰现象发生在连线之间，而且本文使用基于通路的分析和测试方法，所以本文使用基于线对象的静态时序分析方法。在本文使用的分析方法中，一个门及这个门的所有扇出线被作为一个线对象来计算时延。如图 3 所示，在这个模型里面输入时延(DI)指的是门时延，也就是 IO 通路时延，输出时延(DO)指的是扇出线的线时延，也就是 SDF 里面的互连时延。其中每个时延值都具有上升和下降两种，本文使用上标的 R、F 来分别表示。



本文实验使用 180nm 工艺，在这个工艺尺度下，互连时延一般极小于 IO 通路时延，所以在本文的实验中，所有的扇出连线时延被假设为 0。这种假设将简化计算的描述，在更先进的工艺下，互连时延可以被简单地加入到本文的时序分析过程中。

3.2 跳变图

电路物理相邻的线都具有耦合电容，实际上，考虑逻辑和时序约束，并不是所有耦合线对都能够对电路性能产生负面影响。如前所述，寻找潜在的耦合线对还需要考虑电路中连线上的信号跳变的到达时间和方向。

通常，电路中侵略线和受害线的时序关系都是通过时间窗来计算的。时间窗指的是一条连线上信号可能发生跳变的时间区间，如果侵略线和受害线的时间窗能够交叠，则认为这对耦合线能够发生串扰影响。

由于连线上的信号到达时间是由跳变传播的子

通路所决定的，电路的逻辑结构使得信号不可能在时间窗内的任意时间发生任意方向的跳变，使用传统的时间窗将导致极大的误差。另一方面，一条侵略线可能的子通路数量极大，不可能分别计算。所以一种灵活的跳变到达时间记录方法将极大地改进算法效率。

在本文提出的时序分析方法中，上升和下降跳变的可能到达时间分别记录在两个跳变图(transition map)之中，而不是原有的一个时间窗的方法。跳变图是一个位图的数据结构，其中每一个比特，被称为时间槽，表示一段时间区域。这个时间区域的大小将作为时序分析的最小时间单位，所有的时延值都使用这个时间单位的整数倍来表示。通过控制时间单位的大小，我们就可以在算法的精度和效率之间取得平衡。

定义 1. 一条连线 L 的跳变图(TM)是一个位图结构，其中的每一位比特 a_j 是一个布尔变量，定义如下：

$$\begin{cases} a_j=1, & \text{如果 } L \text{ 上存在一个可能跳变时间 } t=j \\ a_j=0, & \text{其它} \end{cases} \quad (1)$$

一个具有 n 输入的线对象 L 拥有两个跳变图 TM^R 和 TM^F ，能够使用如下公式被递归地计算出来。其中 I_i 是第 i 个输入端指向的线对象， DI_i^R 和 DI_i^F 分别是相应的上升和下降输入时延， \cup 是位或操作， \gg 是右移操作。

$$L.TM^{R/F} = \begin{cases} \bigcup_{i=1}^n (I_i.TM^{F/R} \gg DI_i^{R/F}), & \text{NAND 或 NOR 或 NOT} \\ \bigcup_{i=1}^n (I_i.TM^{R/F} \gg DI_i^{R/F}), & \text{AND 或 OR} \end{cases} \quad (2)$$

基于式(2)，使用右移和位或操作，按照电路中连线的拓扑排序的顺序，就可以计算出所有连线上的跳变图。图 4 描述了一个计算 TM 的例子，在这个例子里面，假设每一条线都有相同的上升和下降时延($TM^R = TM^F$)。每条线的时延描述在线名字的旁边，选择门时延作为 TM 的时间单位。

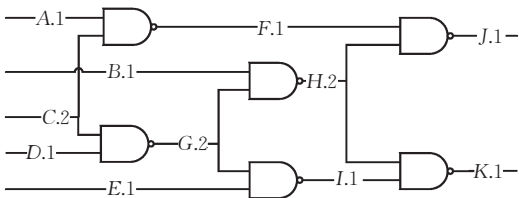


图 4 C17 的 TM 计算

C17 的 TM 计算步骤如下:

1. 所有输入端口的 TM 都设置为 10000000;
2. $ABDE.TM=01000000$, $C.TM=00100000$;
3. $F.TM=A.TM \gg 1 \cup C.TM \gg 1 = 00110000$, $G.TM=C.TM \gg 2 \cup D.TM \gg 2 = 00011000$;
4. $H.TM=B.TM \gg 2 \cup G.TM \gg 2 = 00010110$, $I.TM=G.TM \gg 1 \cup E.TM \gg 1 = 00101100$;
5. $J.TM=F.TM \gg 1 \cup H.TM \gg 1 = 00011011$, $K.TM=H.TM \gg 1 \cup I.TM \gg 1 = 00011111$.

3.3 基于通路的最大串扰时延估计

耦合线对分布在电路之中, 当输入向量满足一定关系的时候就会在电路产生串扰时延, 这些效应将改变通过这些耦合线对的通路时延. 传统的方法单独计算每个耦合线对的最大串扰时延, 然后再叠加, 没有考虑通路本身的特性, 可能会错误地估计最大时延. 而分别计算通路的时延, 则会增加不必要的计算.

为了有效地估计电路的最大串扰时延, 同时找到在耦合噪声下的临界通路, 本文使用了一种基于通路的最大串扰时延估计方法, 在这种方法里面, 每个线对象需要增加 3 个参数.

定义 2. 耦合线对的最大串扰时延(D_{pair})指的是一个耦合线对中受害线上能产生的最大串扰时延效应. 本文中的这个值是通过 HSPICE 仿真获得的. 计算这个值的时候, 不考虑侵略线和受害线跳变时间之间的偏移, 这是因为精确的信号跳变偏移需要对整个电路的串扰噪声分析, 同时这个偏移可能由于电路工艺偏差而不同.

定义 3. 耦合簇的最大串扰时延(D_{cluster})指的是一个耦合簇能够受到的最大串扰时延影响.

本文忽略耦合时延计算中的非线性效应, 假设串扰时延可以线性相加, 此时一个耦合簇的串扰时延就等于多个耦合线对产生的串扰时延的线性叠加.

一个耦合簇中, 只有在受害线的最迟信号到达时间的一个邻域内可能产生跳变的侵略线才可能影响通路的最大时延, 这些耦合线对满足如下条件, 其中 A, V 分别是耦合线对中的侵略线和受害线:

$$\exists t, A.TM^{R/F}.a_t = 1 \& |V.T_{\text{latest}}^{F/R} + V.D_{\text{path}}^{F/R} - t| < \delta \quad (3)$$

拥有 n 个满足下降跳变条件的耦合线对和 m 个满足上升跳变条件的耦合簇最大耦合时延计算如下:

$$D_{\text{cluster}}^R = \sum_{i=0}^m (D_{\text{pair } i}), \quad D_{\text{cluster}}^F = \sum_{i=0}^n (D_{\text{pair } i}) \quad (4)$$

式(3)中的最晚到达时间($T_{\text{latest}}^R/T_{\text{latest}}^F$)和通路

最大串扰时延($D_{\text{path}}^R/D_{\text{path}}^F$)定义如下.

定义 4. 最晚跳变到达时间是指最大的通过任意子通路到达某一连线, 使其发生上升/下降跳变的时间, 这里不考虑串扰时延. 实际上, 这也就是 TM^R 和 TM^F 中最大的值为 1 的时间槽.

定义 5. 通路的最大串扰时延指的是从任意子通路到达某一连线时, 在通路上最大能够产生的串扰时延.

最晚跳变到达时间和通路的最大串扰时延可以使用以下等式递归地计算:

(1) 如果线对象 L 是原始输入或者寄存器的输出端,

$$L.T_{\text{latest}}^{R/F} = 0, \quad L.D_{\text{path}}^{R/F} = 0.$$

(2) 如果线对象 L 有 n 个输入对象 I_1, I_2, \dots, I_n , DI_i^R 和 DI_i^F 是相应的上升和下降输入时延.

L 的门类型为 AND 或 OR:

$$\begin{aligned} L.T_{\text{latest}}^{R/F} &= \text{MAX}(I_i.T_{\text{latest}}^{R/F} + L.DI_i^{R/F}), \\ L.D_{\text{path}}^{R/F} &= \text{MAX}(I_i.T_{\text{latest}}^{R/F} + L.DI_i^{R/F} + \\ &\quad I_i.D_{\text{path}}^{R/F} + I_i.D_{\text{cluster}}^{R/F}) - L.T_{\text{latest}}^{R/F} \end{aligned} \quad (5)$$

L 的门类型为 NAND 或 NOR 或 NOT:

$$\begin{aligned} L.T_{\text{latest}}^{R/F} &= \text{MAX}(I_i.T_{\text{latest}}^{F/R} + L.DI_i^{R/F}), \\ L.D_{\text{path}}^{R/F} &= \text{MAX}(I_i.T_{\text{latest}}^{F/R} + L.DI_i^{R/F} + \\ &\quad I_i.D_{\text{path}}^{F/R} + I_i.D_{\text{cluster}}^{F/R}) - L.T_{\text{latest}}^{R/F} \end{aligned} \quad (6)$$

图 5 描述了一个计算 D_{path} 的例子, A, B 和 C 是一个门的三个输入, Y 是输出端口. 简单起见, 我们假设所有输入时延和线串扰时延为 0, 不考虑信号跳变的类型. 则 Y 的最晚跳变到达时间同 B 相同, 而最大通路串扰时延为

$$Y.D_{\text{path}} = C.D_{\text{path}} + C.T_{\text{latest}} - B.T_{\text{latest}}.$$

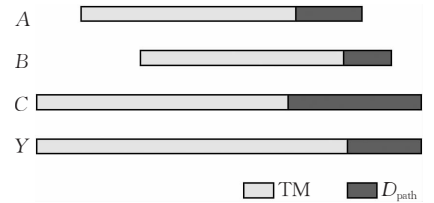


图 5 基于通路的最大串扰时延估计

这种基于通路的串扰时延估计方法是线性而且不需要迭代的, 可以用于大规模电路之中.

3.4 考虑串扰的临界通路

选择临界通路是通路时延测试中的核心问题, 也是时序分析中的重要组成部分, 它关系到测试最终能达到的质量.

传统的静态时序分析方法使用需求时间(required time)和松弛时间(slack)来求解临界通路, 本

文的方法仅仅在计算需求时间和松弛时间中考虑通路串扰时延,而其他部分仍延续传统的方法。

定义 6. 线 L 的需求时间(T_{required})就是最大允许的信号跳变从原始输入或者寄存器的输出端传播到线 L 的时间,也就是电路最大时延($MaxDelay$)减去从线 L 传播到原始输出或者寄存器输入的最大时延。

定义 7. 线 L 的松弛时间(T_{slack})指的是线 L 上最大允许发生的额外时延,计算过程如下:

(1) 如果线对象 L 是原始输出或者寄存器的输入端,

$$T_{\text{required}}^{\text{R/F}} = MaxDelay,$$

这里的 $MaxDelay$ 是指电路的时钟周期或者最长通路在噪声下的时延。

(2) 如果线对象 L 拥有 n 个输出线对象 O_1, O_2, \dots, O_n , 每个输出线对象的输入时延为 $O_i.DI_j$ (这里 L 是 O_i 的第 j 个输入对象)。

$$L.T_{\text{required}}^{\text{R/F}} = \max_{i=1}^n (O_i.T_{\text{required}}^{\text{R/F}} - O_i.DI_j^{\text{R/F}} - O_i.D_{\text{path}}^{\text{R/F}}),$$

$$L.T_{\text{slack}}^{\text{R/F}} = L.T_{\text{required}}^{\text{R/F}} - L.T_{\text{latest}}^{\text{R/F}} - L.D_{\text{path}}^{\text{R/F}} \quad (7)$$

这里求 $L.T_{\text{required}}^{\text{R/F}}$ 的时候,依据 O_i 的门类型,取那些使得线对象 L 上信号为上升/下降跳变的值。比如当 O_i 为 NAND 时,取信号为下降跳变的时延值。

4 故障列表生成

4.1 耦合线对的选取

所有可能的耦合线对的集合是非常大的,但是仅有一部分的耦合线对能够影响到电路的通路时延。比如考虑耦合电容,通常一条长线耦合 40~50 条线,但仅仅其中 4~5 条就占有了其中 80%~90% 的耦合电容^[9]。所以仅有在电路的串扰效应中占统治地位的耦合线对是在测试中必须考虑的。本文使用了以下几个条件来选择目标耦合线对:

(1) 如果一个耦合线对的耦合电容小于某一个值 C ,则这个耦合线对将被取消。

(2) 如果受害线的松弛时间(slack)大于某一时间 S ,则这个耦合线对将被取消。

(3) 如果侵略线和受害线的最小可能的跳变到达时间差小于给定的时间区间 δ ,则这个耦合线对将被取消。

在静态时序分析中已经执行了这些选取过程,显然,受害线位于临界通路之上,且满足式(3)条件的耦合线对就是我们所需要的故障目标。

4.2 寻找最大串扰侵略子通路

信号通过不同的通路到达连线的时延是不同的,同样能够在同一个时间槽内产生跳变的子通路也不是唯一的。使用传统的静态时序分析,即使用复杂的回溯搜索方法,也很难准确地找到最大串扰侵略子通路。在本文的时序分析方法中,由于跳变图的引入,寻找子通路将能够很有效地被实现。这种递归的实现方式描述如下。

对某一耦合线对,假设受害线的信号是上跳变,侵略线信号下跳变:

1. 计算受害线上考虑串扰效应的最晚跳变到达时间:
 $T_L^R = T_{\text{latest}}^R + D_{\text{path}}^R$;

2. 查找侵略线的跳变图 TM^F ,如果在时间域($T_L^R - \delta, T_L^R + \delta$)之内,时间槽的值都为 0 的话,此耦合线对将被从故障集合中删除;

3. 找出值为 1 的时间槽 T ,且 $|T - T_L^R|$ 的值最小;

4. 递归地查找线对象 L 的所有输入线对象 I_i ,根据信号跳变类型和门类型选择跳变图的类型,找出相应跳变图中时间槽($T - DI_i$)为 1 的线对象,直到 L 为原始输入或者寄存器的输出端为止。

这个递归方法可以用来找到适当的子通路,如果这条子通路在测试生成的时候不能满足要求的话,这个方法也能很快地被用来找到另外的一条。

5 测试向量生成

一个通路时延测试包括一对输入向量 $\langle V1, V2 \rangle$,这两个向量将敏化被测通路。在时延测试生成中,被测通路的旁路输入将被这两个向量设置为某些非控制值。通常主要有三种通路敏化条件:强健测试、非强健测试和功能敏化^[12],本文使用强健测试的通路敏化条件。

一个 PCPDF 可以表示为 $(p, \{sp - a_i, \langle a_i, v_i \rangle\})$,在这里, p 是一条临界通路, a_i 和 v_i 分别是其中的侵略线和受害线, $sp - a_i$ 则是传播跳变到 a_i 的侵略子通路^[7]。通过前面的时序分析和故障列表生成的过程,每一个 PCPDF 故障已经被表示为一条临界通路及若干侵略子通路的集合,测试生成的目标就是找到一对能够强健敏化所有侵略子通路的向量。

寻找一组路径中能够同时被敏化的最大路径组是一个 NP 完全问题^[13],所以要找到能够敏化最多侵略子通路的向量是一个相当复杂的问题。另一方面,受害线上的信号到达时间同它前面通路上侵略子通路是否能够被敏化是相关的,这也就进一步地增加了寻找向量的难度。

本文的测试生成算法使用简单的贪心策略,从受害临界通路上的第一条受害线上具有最大耦合电容的侵略子通路开始,逐一地对各条侵略子通路生成路径敏化向量.对某一侵略子通路,如果无法找到与前面生成的向量不冲突的向量,就直接抛弃掉.这是一种比较简单的策略,更加复杂和准确的优化算法可以很容易地加入这个测试生成的流程之中,这已经不是本文关注的重点.

6 实验结果与分析

本文针对全扫描 ISCAS89 标准电路进行了实验.实验基于 180nm, 1.2V, 6 层铝工艺,并且使用 Cadence Encounter 工具完成版图设计并抽取寄生参数.程序运行在 Pentium IV 2.66GHz 768MB 内存的 PC 机上.静态时序分析中时间槽的大小被设为 0.005ns(大约为十分之一门时延).

表 1 比较了基于传统时间窗和基于跳变图的静态时序分析方法在耦合线对识别上的结果,包括 7 个最大的 ISCAS89 标准电路.实验中,最大时延被设置为最长通路在串扰下的时延,所有松弛时间小于最大时延 15%的通路被认为是临界通路,而且只有耦合电容大于 1fF 的耦合线对才被选为目标故障.实验中的时间窗和跳变图方法都使用相同的 $\delta=10$ 个时间单位.实验中的运行时间是整个时序分析的过程运行需要的时间,包括全部的预处理、耦合线对选择、最大噪声估计等,所以运行时间比较长.如下表所示,在识别潜在的串扰故障点上,基于跳变图的方法明显优于传统的时间窗方法,平均能够在时间窗方法所选择的潜在故障目标中再找出 68.4%的虚假故障目标,并且仅增加整个静态时序分析过程 6%的运行时间开销.

表 2 展示了对这几个 ISCAS89 标准电路的路径时延测试向量生成结果和文献[5]中基于遗传算法的方法进行运行时间方面的比较.由于这几个大的标准电路的许多临界通路都不可以被强健敏化.为了便于比较,我们采用类似于文献[5]的方法,对每个电路选择了最长可强健敏化的 100 条通路作为测试生成的目标,也就是说每个电路选择 100 个待测 PCPDF 故障.表 2 中第 2 列“侵略子通路数”指的是这一百个故障中所有侵略子通路的总数,这些通路都是使用本文提出的静态时序分析方法所挑选出来的.文献[5]则是对每条临界通路选择了 5 个串扰线对.由于布局布线的信息是每个设计所独有的,

生成向量的质量不好直接进行比较,在这个实验中,我们主要比较测试生成算法的运行时间.实验结果表明,本文的测试生成方法明显快于文献[5]中基于遗传算法的测试生成方法,考虑到运行平台的速度,我们的运行时间大约只有十分之一.

表 1 耦合线对选择的实验结果

电路名称	临界通路上耦合线对的数量	基于时间窗方法		基于跳变图方法	
		耦合线对数量	运行时间/s	耦合线对数量	运行时间/s
S5378	977	898	2.23	298	2.45
S9234	521	432	14.9	167	15.4
S13207	450	348	25.4	168	25.9
S15850	581	476	37.1	203	39.0
S35932	3307	3082	259.2	807	263.4
S38417	332	253	209.0	104	224.7
S38584	221	182	242.6	46	266.9
平均	912	810	112.9	256	119.6

表 2 测试生成的实验结果

电路名称	临界通路	基于 PCPDF 的方法		文献[5]的方法	
		侵略子通路数	运行时间/s	耦合线对数	运行时间/s
S5378	100	1570	4.7	—	—
S9234	100	1389	41.5	—	—
S13207	100	809	59.7	500	3000
S15850	100	761	298.8	500	3700
S38417	100	879	260.1	500	13000
S38584	100	696	291.8	500	12800

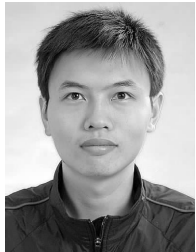
7 结 论

本文提出了基于通路的考虑多串扰时延的静态时序分析方法,该方法引入了新的时序信息记录结构——跳变图,所有可能的跳变到达时间按照预先设置的时间槽大小被记录在跳变图中,能够有效地支持集成电路中串扰效应的分析和测试生成.针对 ISCAS89 标准电路的实验结果表明本文提出的方法可以准确找到潜在的故障对象,在原有时间窗方法的基础上平均减少 68.4%的虚假故障目标.而在基于精确串扰源通路时延故障的测试生成中,该方法能够用于临界通路和最大串扰侵略子通路的选择,这种不需要在测试生成中处理时间信息的方法能够大幅提高测试生成的效率.

参 考 文 献

[1] Cheng K T, Dey S, Rodgers M, Roy K. Test challenges for deep sub-micron technologies//Proceedings of the 37th Design Automation Conference, San Francisco, California, 2000: 142-149

- [2] Keller K J, Takahashi H, Saluja K K, Takamatsu Y. On reducing the target fault list of crosstalk-induced delay faults in synchronous sequential circuits//Proceedings of the IEEE International Test Conference. Baltimore, Maryland, 2001: 568-577
- [3] Chen P, Kukimoto Y, Keutzer K. Refining switching window by time slots for crosstalk noise calculation//Proceedings of the IEEE/ACM International Conference on Computer-Aided Design. San Jose, California, 2002: 583-586
- [4] Becer M, Zolotov V, Panda R, Grinshpon A, Algol I, Levy R, Oh C. Pessimism reduction in crosstalk noise aware STA//Proceedings of the IEEE/ACM International Conference on Computer-Aided Design. San Jose, California, 2005: 954-961
- [5] Krstic A, Liou J J, Jiang Y M, Cheng K T. Delay testing considering crosstalk-induced effects//Proceedings of the IEEE International Test Conference. Baltimore, Maryland, 2001: 558-567
- [6] Chen W Y, Gupta S K, Breuer M A. Test generation for crosstalk-induced delay in integrated circuits//Proceedings of the IEEE International Test Conference. Atlantic City, New Jersey, 1999: 191-200
- [7] Selection of crosstalk-induced faults in enhanced delay test. Journal of Electronic Testing: Theory and Applications, 2005, 21(2): 181-195
- [8] Li H, Shen P, Li X. Robust test generation for precise crosstalk-induced path delay faults//Proceedings of the 24th IEEE VLSI Test Symposium. Berkeley, California, 2006: 34-39
- [9] Kundu S, Zachariah S T, Chang Yi-Shing, Tirumurti C. On modeling crosstalk faults. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2005, 24(12): 1909-1915
- [10] Takahashi H, Keller K J, Le K T, Saluja K K, Takamatsu Y. A method for reducing the target fault list of crosstalk faults in synchronous sequential circuits. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2005, 24(2): 252-263
- [11] IEEE standard for Standard Delay Format (SDF) for the electronic design process. IEEE Standard 1497-2001. IEEE Press, 2001
- [12] Cheng K T, Chen H C. Classification and identification of nonrobust untestable path delay faults. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, August 1996, 15(8): 845-853
- [13] Glebov A, Gavrilov S, Blaauw D, Sirichotiyakul S, Chanhee Oh, Zolotov V. False-noise analysis using logic implications//Proceedings of the IEEE/ACM International Conference on Computer-Aided Design. San Jose, California, 2001: 515-521



ZHANG Min-Jin, born in 1980, Ph.D. candidate. His research interests include delay test and test generation.

LI Hua-Wei, born in 1974, Ph.D., associate professor, Ph.D. supervisor. Her research interests include VLSI/SoC design verification and test generation, delay test, dependable design and dependable computing.

LI Xiao-Wei, born in 1964, Ph.D., professor, Ph.D. supervisor. His research interests include VLSI/SoC design verification and test generation, design for testability, low-power design, and dependable computing.

Background

This work is supported in part by the National Natural Science Foundation of China under grant Nos. 60606008, 60633060, and in part by the National Basic Research Program (973 Program) of China under grant Nos. 2005CB321605, 2005CB321604.

Crosstalk-induced delay exerts a more significant adverse influence on circuit performance. It is essential that the effect should be analyzed and tested accurately and quickly. Generally, the timing window obtained by static timing analysis can be used to resolve this question, but the imprecision of tim-

ing window may result in pessimistic estimate and postpone the design closure. This motivates us to find a more accurate timing-based method. The authors have made research for crosstalk effects in circuit since 2002 and introduced many new fault models and test generation methods. This paper presents a new static timing analysis method and a crosstalk-oriented path delay test technique. This highly scalable method can effectively identify and test multiple crosstalk-induced path delay fault.