

低成本的两级扫描测试结构

向 东 李开伟

(清华大学软件学院 北京 100084)

摘 要 提出了一种两级扫描测试结构:根据电路结构信息对时序单元进行分组,同组的时序单元在测试生成电路中共享同一个伪输入;将时序单元划分到不同的时钟域,在测试向量的置入过程中只有很小一部分时序单元发生逻辑值的翻转,引入新的异或网络结构,消除了故障屏蔽效应.实验结果表明,该两级测试结构与以往的方法相比,在保证故障覆盖率的同时,大大降低了测试时间、测试功耗和测试数据量.

关键词 可测试性设计;扫描测试;测试时间;测试功耗;测试数据量

中图法分类号 TN407

A Two-Stage Scan Architecture for Cost-Effective Scan Testing

XIANG Dong LI Kai-Wei

(School of Software, Tsinghua University, Beijing 100084)

Abstract A two-stage scan architecture is proposed for cost-effective scan testing. Scan flip-flops are grouped based on structural analysis, scan flip-flops in the same group share the same pseudo primary input in the test generation circuit; scan flip-flops are divided into different clock domain, only a small number of them are activated when applying test vectors. A new XOR network architecture is proposed to compact test responses, which avoids any aliases. Experimental results show that test application time, test power as well as test data volume can be reduced using the new scan architecture without any degradation of fault coverage.

Keywords design for test; scan testing; test application time; test power; test data volume

1 引 言

扫描测试方法使时序电路的测试生成问题变为组合电路的测试生成问题,但也带来了新的问题:

(1)测试时间.扫描链采用时序单元首尾相连的结构,测试向量由扫描输入经过时序单元一级一级往下传递,测试响应也经过时序单元一级一级往下传递到扫描输出,这样,对 n 个时序单元进行控制和观察各需要 n 个时钟周期.

(2)测试功耗.测试功耗主要来自于测试过程中

电路中时序单元和组合单元发生逻辑值的翻转(逻辑 1→逻辑 0,逻辑 0→逻辑 1).将测试向量置入到由 n 个时序单元组成的扫描链中需要 n 个时钟周期,而每个时钟周期中大部分时序单元及其后继组合单元都发生逻辑值的翻转.

(3)测试数据量.测试数据量为测试向量长度与测试向量数的乘积.扫描链结构中,时序单元对应的子测试向量使得测试向量长度大大增加.

为降低测试时间,可采用并行扫描测试^[1~4].这些方法主要利用了测试向量中存在大量的非确定值(为检测电路中的某故障,并不是测试向量的所有位

都需要置为确定值, 比如测试向量“1xx0x”中, 第 1 位为 1, 第 4 位为 0, 其余各位均为非确定值), 使用一个扫描输入驱动多条扫描链, 或者将外部扫描输入转换为多个内部扫描输入, 减小了扫描链的长度从而减小了测试向量置入扫描链所需的时间。

为降低测试功耗, 可对测试向量和扫描时序单元进行排序^[5~7], 也可以对测试结构进行改进^[8~10]。排序的方法可以减小扫描时序单元的翻转次数, 但是该方法的效果有限。对测试结构进行改进的基本思想是通过引入附加逻辑, 使得在测试向量置入过程中只有一部分扫描时序单元及其后继组合单元发生翻转, 但附加逻辑带来了面积开销, 且使得电路性能有所下降。

为降低测试数据量, 可对测试向量进行编解

码^[1,11]。这些策略也主要利用了测试向量中非确定值的存在, 采用数学方法来实现数据压缩。

2 两级扫描测试结构

本文提出的两级扫描测试结构如图 1 所示: 第一级的扫描时序单元首尾连接构成扫描链, 时钟输入连接到时钟信号 CLK_1 ; 第二级为扫描时序单元小组, 时钟输入连接到时钟信号 CLK_2 , 同一小组的扫描时序单元的逻辑输入共同连接到第一级扫描链中的一个扫描时序单元的的逻辑输出, 第二级的扫描时序单元的的逻辑输出通过由异或门组成的异或网络 (XOR Network) 连接到奇偶输出 (Parity Out)。

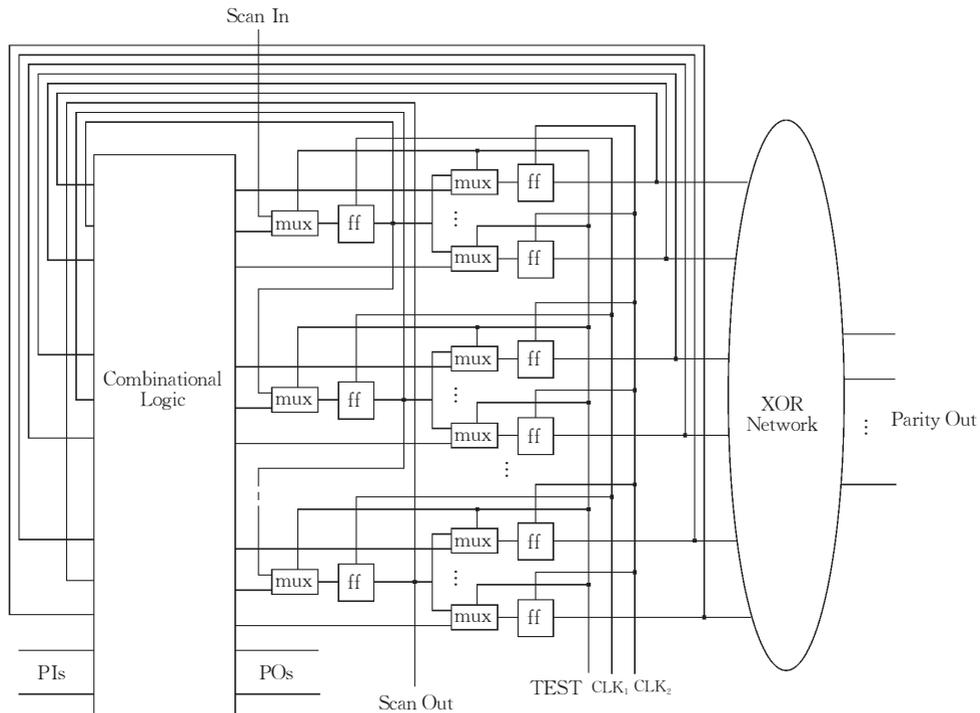


图 1 两级扫描测试结构

2.1 时序单元的分组

根据时序单元在电路结构上的相互关系, 对时序单元进行分组, 同组的时序单元满足以下条件: 其中任意两个时序单元在电路结构中均没有共同的后继组合单元。

分组采用以下算法, 设时序单元的集合为 F :

Procedure_Successor(F)

1. 若 F 非空, 则执行步 2; 否则执行步 3;
2. 建立新组 S_k , 任取 F 中的一个时序单元 g 放入 S_k ; 遍历 F 中剩余的时序单元, 若某时序单元 f 满足 $\forall g \in S_k, g$ 与 f 没有共同的后继组合单元, 则将 f 放入 S_k ;

更新 F 和 S_k , 继续遍历 F 中剩余的时序单元;

遍历结束后转步 1;

3. 分组结束。

分组结束以后, 构造测试生成电路如图 2 所示, 同组的时序单元在测试生成电路中共享同一个伪输入 (PPI)。对图 2 所示测试生成电路作测试生成所得到的测试向量中, 同组时序单元的的逻辑值相同。

同组的时序单元没有共同的后继组合单元, 在测试生成时不会有冲突的逻辑赋值要求, 因此在测试生成时采用图 2 所示的测试生成电路, 不会产生新的难测故障。而同组的时序单元共享一个逻辑值,

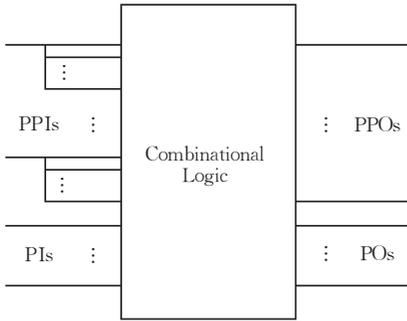


图 2 两级扫描结构的测试生成电路

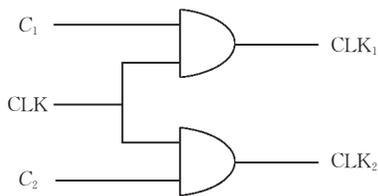
可以使测试向量长度大大减小,从而同时减小测试时间、测试功耗和测试数据量^[3]。

2.2 时钟域的划分和时钟信号的产生

时序单元的分组结束以后,从各组中分别选出一个时序单元,加入多路选择器改造为扫描时序单元,首尾连接构成一条扫描链,将这些扫描时序单元的时钟输入连接到 CLK_1 。这样便构成了两级扫描测试结构中的第一级。

各组剩余的时序单元也加入多路选择器改造为扫描时序单元,将这些扫描时序单元的时钟输入连接到 CLK_2 ,逻辑输入连接到第一级中同组的扫描时序单元的逻辑输出,逻辑输出通过异或网络连接连接到奇偶输出,这样便构成了两级扫描测试结构中的第二级。

CLK_1 和 CLK_2 可采用图 3 所示的结构来产生,当 $C_1=1$ 且 $C_2=0$ 时, CLK_1 有效且 CLK_2 无效;当 $C_1=0$ 且 $C_2=1$ 时, CLK_1 无效且 CLK_2 有效。

图 3 时钟信号 CLK_1 和 CLK_2 的产生

测试向量首先由扫描输出置入到第一级扫描链中,此过程中第二级的时序单元及其后继组合单元不发生逻辑值的翻转,且由于第一级扫描链的长度远远小于单链扫描结构中扫描链的长度,因而大大缩短了测试向量置入扫描链所需时间;测试向量完全置入到第一级扫描链以后,再从第一级置入第二级的扫描时序单元小组,此过程中第一级的时序单元及其后继组合单元不发生逻辑值的翻转,且只需要一个时钟周期。这样,时钟域的划分使得测试向量的置入以及测试响应的收集过程中,只有很小一部分扫描时序单元及其后继组合单元发生逻辑值的翻

转,从而大大减小了测试功耗。

其代价在于:测试向量需要先置入到第一级,然后从第一级置入到第二级,这样每个测试向量的置入过程需要多出一个时钟周期。

2.3 异或网络中故障屏蔽效应的消除

异或网络是一种奇偶测试^[12]的结构,为消除异或网络中的故障屏蔽效应,需要保证不会有偶数个测试响应同时传播到电路的时序单元,注意到:

(1)若两个时序单元 U_1 和 U_2 在电路结构中没有共同的前驱组合单元,则同一个故障效应不可能同时传播到 U_1 和 U_2 中,将 U_1 和 U_2 通过异或门连接到同一个奇偶输出,不会产生故障屏蔽效应。

(2)若时序单元 $U_1U_2 \dots U_n$ 两两之间均没有共同的前驱组合单元,则将 $U_1U_2 \dots U_n$ 通过异或门连接到同一个奇偶输出,不会产生故障屏蔽效应。

因此,同样根据时序单元在电路结构上的相互关系,对时序单元进行新的分组,同组的时序单元满足以下条件:其中任意两个时序单元在电路结构中均没有共同的前驱组合单元。

分组采用以下算法,设时序单元的集合为 F :

Procedure_Predecessor(F)

1. 若 F 非空,则执行 2;否则执行步 3;
2. 建立新组 P_k ,任取 F 中的一个时序单元 g 放入 P_k ;遍历 F 中剩余的时序单元,若某时序单元 f 满足 $\forall g \in P_k, g$ 与 f 没有共同的前驱组合单元,则将 f 放入 P_k ;更新 F 和 P_k ,继续遍历 F 中剩余的时序单元;遍历结束后转步 1;
3. 分组结束。

分组结束以后,将同组的时序单元通过异或门连接到同一个奇偶输出,不会产生故障屏蔽效应。多个组通过异或门连接到多个奇偶输出,由这些异或门所构成的异或网络,不会产生故障屏蔽效应。

2.4 测试过程

测试向量的置入以及测试响应的收集过程如下:

1. 置测试信号 $TEST=1$,多路选择器选通两级扫描测试结构。

2. 置控制信号 $C_1=1$ 且 $C_2=0$, CLK_1 有效且 CLK_2 无效,通过扫描输入端将时序单元对应的子测试向量置入到第一级的扫描链中,设扫描链长度为 d ,则将一个测试向量置入到第一级的扫描链中需要 d 个 CLK 时钟周期,此过程中第二级的扫描时序单元不发生翻转。

3. 置控制信号 $C_1=0$ 且 $C_2=1$, CLK_1 无效且 CLK_2 有效,将第一级中各扫描时序单元的逻辑输出值置入到第二级中相应的扫描时序单元小组中,需要一个 CLK 时钟周期,此过程中第一级的扫描时序单元不发生翻转。

4. 置控制信号 $C_1=0$ 且 $C_2=0$, CLK_1 和 CLK_2 均无效,将原始输入端对应的子测试向量置入到芯片的原始输入

端,此时测试向量的置入完成。

5. 置测试信号 $TEST=0$,多路选择器选通组合逻辑。

6. 置控制信号 $C_1=1$ 且 $C_2=1$, CLK_1 和 CLK_2 均有效,经过一个 CLK 时钟周期,测试响应便传播到芯片原始输出端,或者收集在第一级和第二级时序单元中,其中收集在第二级时序单元中的测试响应通过异或网络传播到奇偶输出。

7. 置测试信号 $TEST=1$,重复以上过程,在置入下一个测试向量的同时,收集在第一级时序单元中的测试响应通过扫描链依次传播到扫描输出。

3 测试时间、测试功耗、测试数据量的估算

3.1 测试时间(Test Application Time)

对单链扫描测试结构有

$$TA_{sc} = v \cdot (nff + 1) + nff,$$

上式中 v 为测试向量数, nff 为时序单元的个数也即单链扫描测试结构中扫描链的长度, $nff+1$ 表示将测试向量置入扫描链需要 nff 个周期且收集测试响应需要 1 个周期,最后一项 nff 表示将最后的测试响应移出扫描链需要 nff 个周期。

对两级扫描测试结构有

$$TA_{ts} = v \cdot (d + 2) + d,$$

上式中 v 为测试向量数, d 为第一级扫描链的长度, $d+2$ 表示将测试向量置入第一级扫描链需要 d 个周期,置入第二级需要 1 个时钟周期且收集测试响应需要 1 个周期,最后一项 d 表示将最后的测试响应移出扫描链需要 d 个周期。

由于 $d \ll nff$,所以 $TA_{ts} \ll TA_{sc}$ 。

3.2 测试功耗(Test Power)

对单链扫描测试结构和两级扫描测试结构,根据文献[8]的功耗估算模型,有

$$TP = 0.5 \cdot C_{load} \cdot (V_{DD}^2 / T_{CLK}) \cdot N_G,$$

其中, C_{load} 为逻辑单元的负载电容, V_{DD} 为芯片供电

电压, T_{CLK} 为测试时钟信号的周期, N_G 为逻辑单元翻转次数。由于 V_{DD} 和 T_{CLK} 与芯片设计约束条件有关,本文中采用逻辑单元的总翻转次数(node transition count)对测试功耗进行估算,有

$$NTC = \sum_G N_G \cdot C_{load},$$

上式中对 N_G 的计法如下:组合单元未翻转时计为 0,有翻转时计为 1;时序单元未翻转时计为 2,有翻转时计为 6。 C_{load} 为该逻辑单元的扇出数。

测试峰值功耗 PTP (Peak Test Power)为一个测试时钟周期所产生测试功耗的最大值。

对电路进行逻辑模拟可以得到在测试过程中各逻辑单元的翻转次数,从而得出测试功耗和测试峰值功耗。

3.3 测试数据量(Test Data Volume)

对单链扫描测试结构有

$$TDV_{sc} = v \cdot (nff + nPI),$$

其中, v 为测试向量数, nff 为时序单元个数, nPI 为电路中原始输入的个数, $nff + nPI$ 表示测试向量的长度。

对两级扫描测试结构有

$$TDV_{ts} = v \cdot (d + nPI),$$

其中, v 为测试向量数, d 为第一级扫描链的长度, nPI 为电路中原始输入的个数, $d + nPI$ 表示测试向量的长度。

由于 $d \ll nff$,所以 $TDV_{ts} \ll TDV_{sc}$ 。

4 实验结果及分析

表 1 中给出了将两级扫描测试结构应用于 ISCAS89 和 ITC99 benchmark 电路的实验结果,实验环境为 Sun Blade2000 工作站下的 Solaris 操作系统,实验中采用的测试生成工具为 ATALANTA,故障模拟器为 HOPE。表中 FC 表示故障覆盖率, red

表 1 与单链扫描结构的比较

电路	单链完全扫描			两级扫描						
	$FC(\%)$	red	vec	$FC(\%)$	red	vec	$TA(\%)$	$TP(\%)$	$PTP(\%)$	$TDR(\%)$
S9234	93.48	452	371	93.61	452	365	3.01	1.22	1.40	40.99
S9234.1	93.48	452	376	93.66	452	376	2.36	1.13	1.24	51.18
S13207	98.46	151	466	98.51	151	466	1.19	0.51	0.46	27.80
S13207.1	98.46	151	486	98.51	151	468	0.75	0.32	0.35	28.07
S15850	96.68	389	436	96.74	389	428	1.64	0.56	0.52	18.42
S15850.1	96.68	389	434	96.75	389	420	0.72	0.38	0.36	27.91
S38417	99.47	165	899	99.47	165	854	0.29	0.08	0.10	4.88
S38584	95.85	1506	651	95.84	1506	648	0.68	0.14	0.13	6.58
S38584.1	95.85	1506	655	95.89	1506	651	0.35	0.11	0.11	7.95
B17	97.01	2293	2301	97.15	2207	2321	0.78	0.20	0.21	23.74
B18	96.11	7334	2944	96.19	7220	2879	0.35	0.12	0.11	10.90

表示难测故障数, vec 表示测试向量数, TA , TP , PTP 和 TDR 分别表示两级扫描测试结构的测试时间、测试平均功耗、测试峰值功耗和测试数据量与单链完全扫描测试结构相比所占的百分比. 由表 1 可看出, 采用两级扫描测试结构, 可以在保证原有故障覆盖率与测试向量数基本不变且难测故障数没有增加的同时, 使得测试时间、测试平均功耗、测试峰

值功耗和测试数据量都大大减小.

表 2 和表 3 为两级扫描测试结构与以往方法的比较, 表中的数据为相对于单链扫描结构的百分比. 由表 2 和表 3 可看出, 两级扫描测试结构下的测试时间、测试平均功耗和测试数据量都明显低于以往方法.

表 2 测试时间和测试平均功耗与以往方法的比较(1)

电路	两级扫描		文献[10]的方法		文献[8]的方法		文献[6]的方法	
	TA(%)	TP(%)	TA(%)	TP(%)	TA(%)	TP(%)	TA(%)	TP(%)
S9234	3.01	1.22	29.4	25.5	100	24.07	100	33.3
S13207	1.19	0.51	6.1	4.2	100	24.49	100	33.3
S15850	1.64	0.56	20.2	15.1	100	17.91	100	33.3
S38417	0.29	0.08	38.3	22.9	100	44.98	100	33.3
S38584	0.68	0.14	20.0	16.0	100	20.67	100	33.3

表 3 测试时间和测试数据量与以往方法的比较(2)

电路	两级扫描		文献[1]的方法		文献[13]的方法		文献[11]的方法
	TA(%)	TDR(%)	TA(%)	TDR(%)	TA(%)	TDR(%)	TDR(%)
S13207	1.19	27.80	16.20	13.77	8.4	10.6	12.33
S15850	1.64	18.42	21.54	18.29	15.0	17.8	28.05
S35932	0.08	1.34	17.60	16.34	15.8	19.2	—
S38417	0.29	4.88	20.51	19.07	17.2	20.8	34.65
S38584	0.68	6.58	16.02	14.48	10.4	12.8	35.33

5 总结及展望

集成电路的扫描测试方法中, 如何降低测试时间、测试功耗、测试数据量是当前研究的热点问题. 降低测试时间可以降低芯片的测试成本, 缩短芯片测试周期. 降低测试功耗可有效防止被测芯片因过热而烧毁. 而降低测试数据量可以使测试仪中所需要的存储空间得到有效的压缩, 从而降低测试仪的成本.

本论文提出了两级扫描测试结构, 根据电路结构信息对时序单元分组, 同时减小了测试时间、测试功耗和测试数据量; 将时序单元划分到不同的时钟域, 使得测试向量的置入和测试响应的收集过程中, 逻辑值的翻转被限制在很小一部分时序单元中, 进一步减小了测试功耗; 引入新的异或网络结构, 消除了故障屏蔽效应.

对时序单元分组时, 应考虑时序单元在版图上的分布, 这是进一步工作中应注意的问题.

参 考 文 献

- 1 Bayraktaroglu I., Orailoglu A.. Concurrent application of compaction and compression for test time and data volume reduction in scan designs. IEEE Transactions on Computers, 2003, 22(8): 1480~1489
- 2 Pandey A. R., Patel J. H.. Reconfiguration technique for reducing test time and test data volume in Illinois scan architecture based designs. In: Proceedings of the VLSI Test Symposium, Monterey, California, 2002, 9~15
- 3 Xiang D., Gu S., Sun J. G., Wu Y. L.. A cost-effective scan architecture for scan testing with nonscan test power and test application cost. In: Proceedings of the ACM/IEEE Design Automation Conference, Anaheim, CA, 2003, 744~747
- 4 Xiang D., Xu Y., Fujiwara H.. Non-scan design for testability for synchronous sequential circuits based on conflict resolution. IEEE Transactions on Computers, 2003, 52(8): 1063~1075
- 5 Bonhomme Y., Girard P., Landrault C., Pravossoudovitch S.. Power driven chaining of flip-flops in scan architectures. In: Proceedings of the IEEE International Test Conference, Washington, D. C., 2002, 796~803
- 6 Saxena J., Butler K. M., Whetsel L.. An analysis of power reduction techniques in scan testing. In: Proceedings of the IEEE International Test Conference, Washington, D. C., 2001, 670~677
- 7 Chandra A., Chakrabarty K.. Low-power scan testing and test data compression for systems-on-a-chip. IEEE Transactions on Computer-Aided Design, 2002, 21(5): 597~604
- 8 Nicolici N., Al-Hashimi B. M.. Multiple scan chains for power

- minimization during testing application in sequential circuits. *IEEE Transactions on Computers*, 2002, 51(6): 721~734
- 9 Battacharya B. B., Seth S. C., Zhang S.. Double-tree scan: A novel low-power scan-path architecture. In: *Proceedings of the IEEE International Test Conference*, Washington, D. C., 2003, 470~479
- 10 Chen J. J., Yang C. K., Lee K. J.. Test pattern generation and clock disabling for simultaneous test time and power reduction. *IEEE Transactions on Computer-Aided Design*, 2003, 22(3): 363~370
- 11 Chandra A., Chakrabarty K.. Test data compression and test resource partition for system-on-a-chip using frequency-directed run-length(FDR) codes. *IEEE Transactions on Computers*, 2003, 52(8): 1076~1088
- 12 Fujiwara H., Yamamoto A.. Parity scan design to reduce the cost of test application. *IEEE Transactions on Computer-Aided Design*, 1993, 12(10): 1604~1611
- 13 Pouya B., Crouch A.. Optimization trade-offs for vector volume and test power. In: *Proceedings of the IEEE International Test Conference*, Washington, D. C., 2000, 873~881



XIANG Dong, born in 1966, Ph.D., professor. His research interests include digital systems design for testability, low cost testing, BIST, delay fault testing and test generation, distributed computing, and fault-tolerant computing.

LI Kai-Wei, born in 1980, M.S. candidate. His research interests include design for testability, low cost testing, delay fault testing and test generation.

Background

Scan design makes test generation of the sequential circuit be that of a combinational one. However, scan testing suffers from the prolonged test application time, high test power consumption, and large volume of test data. Test application cost can be reduced by parallel scan. Test power reduction can be achieved by test sequence or scan flip-flop ordering, clock gating and transition propagation disabling. Test data, which includes test stimuli and test response, can be reduced by test compaction and compression techniques.

In this work, a two-stage scan architecture is proposed

for cost-effective scan testing. Scan flip-flops are grouped based on structural analysis, and divided into different clock domains, a new XOR network scheme is introduced to eliminate alias faults. By sharing test stimuli among scan flip-flop groups, the length of the test vector can be shorted, which reduces test application time, test power and test data volume simultaneously. Test power is further reduced by clock domain division which makes the scan flip-flops active in turn. Test response compression can be achieved by XOR network without any degradation on fault coverage.