

# 采用独立复位信号的同步时序电路可测试性设计

向 东 顾 珊 徐 奕

(清华大学软件学院 北京 100084)

**摘 要** 针对同步时序电路提出一种结合了插入可观测点的部分复位方法,该方法是基于迭代计算的电路状态信息和冲突分析测度而提出的.根据基于电路状态信息的测度和冲突分析所选择出来的部分复位触发器,可以割断电路中的关键回路,使得电路容易被初始化,同时减少在时序 ATPG 中的潜在冲突.以前的部分复位方法中,部分复位的触发器不能由独立的复位信号所控制,这也是不能彻底改善可测试性的一个重要原因.当部分复位触发器可以由独立的复位信号所控制时,电路的可测试性会显著提高.该文提出了一种新的可测试性结构来设计部分复位触发器,该方法同时减小了在管脚、延时和面积的开销.

**关键词** 部分复位;非扫描可测性设计;扫描设计;可测试性分析;初始化

中图法分类号 TP331

## A Combination of Partial Reset and Observation Point Insertion for Synchronous Sequential Circuits

XIANG Dong GU Shan XU Yi

(College of Softwares, Tsinghua University, Beijing 100084)

**Abstract** A partial reset method combined with observation point insertion is presented for synchronous sequential circuits based on a testability measure with respect to iteratively calculated circuit state information and conflict analyseis. Partial reset flip-flop selection according to a circuit-state-information-based measure and conflict analysis can break critical cycles of the circuit, make the circuit easy-to-initialize, and reduce potential conflicts in sequential ATPG. The most important reason why previous partial reset methods cannot completely improve testability is that partial reset flip-flops are not controlled by independent reset signals. Testability can be enhanced greatly when partial reset flip-flops are judiciously controlled by independent reset lines. A new testability structure is proposed to design a partial reset flip-flop, which makes the method economical in pin, delay, and area overheads.

**Keywords** partial reset; non-scan design for testability; scan design; testability analysis; initializability

### 1 引 言

时序电路的测试生成问题是十分复杂的,因此对时序电路进行可测性设计十分必要.硬件复位作

为一种可测性设计方法,通过将时序电路初始化为一个特定状态,使得电路很容易被初始化和测试.而且将一个触发器加入复位信号所花费的面积和延时开销,比使之变为扫描触发器的开销小.复位向量通常在测试开始时置入电路,如果在测试生成过程中

置入可能会导致测试的失效.不同于完全复位,部分复位只在可以复位的状态变量之间进行转换,而且对于系统正常操作的干预要比完全复位少.部分复位向量也可以在测试生成过程中置入电路,这样可以有效地减少测试序列长度,提高故障覆盖率.以往的复位设计方法都是用一个单独的额外输入信号来控制所有的部分复位触发器<sup>[1~5]</sup>,这虽然可以有效地提高电路的可初始化性,但不能有效地提高电路的可测性.而且会在测试生成过程中,在部分复位信号处产生大量的冲突.

我们提出了一种通过获得电路状态信息来估计电路测度的方法,并根据它来选择部分扫描触发器,以便尽可能多地减少在 ATPG 过程中产生的冲突,并显著地提高故障覆盖率.文中提出了一种基于迭代计算电路状态信息和冲突分析测度的方法来选择部分复位触发器.部分复位触发器的复位信号都通过一个简单的转换逻辑来由不同的原始输入所控制,这仅仅需要一个额外的输入,并且所有的部分复位触发器都由几乎独立的信号所控制.因此每个测试都只需要一个测试周期.

## 2 基本概念和定义

我们将利用电路的状态信息来选择部分复位触发器.首先介绍一些概念.状态机  $M$  的同步序列定义为无论  $M$  的初始状态和输出序列如何,都可以将  $M$  置为一可知状态  $s$  的一组输入序列.我们称  $s$  为复位状态.状态机  $M$  的弱同步序列是将  $M$  置为一组不可区分的状态集  $\{s_1, s_2, \dots, s_k\}$  中的一个子状态的一组输入序列.这时我们称  $s_1, s_2, \dots, s_k$  为复位状态.若一个状态机存在同步序列或弱同步序列,则该状态机是可复位的.

**定义 1.** 一个无故障电路的状态信息通过触发器输出的布尔赋值  $\{0, 1\}$  来表示.

**定义 2.** 若一个状态可以由复位状态可达,则称为有效状态;若由复位状态不可达,则称为无效状态.

## 3 用单一部分复位信号线控制部分复位触发器

几乎以往所有的部分复位方法都用单一的复位信号线来控制所有的部分复位触发器<sup>[1~5]</sup>.这种结构可以很容易地将电路初始化,但是不能有效地提高电路的可测性,在测试生成的过程中还会在复位信号

线处产生大量的冲突.实验表明,互相依赖和各自独立的复位信号线会导致完全不同的测试生成结果.

我们对 iscas89 中的电路 s5378 进行了实验.分别采用 CoPs 测度<sup>[6]</sup>和部分复位设计方法来选择部分复位触发器.使用测试生成工具 HITEC 来分别对由单一复位信号线和独立复位信号线所控制的部分复位设计电路做测试生成.图 1 给出了测试生成的结果比较.可以看出,单一复位线和独立复位线会导致故障覆盖率有很大差别.因此,我们在本文中提出了使用一种简单的转换逻辑来通过原始输入信号控制复位信号,同时不带来任何新的难测故障.而且,根据可测性时序深度和反相奇偶性,一个原始输入上可以连接多个复位信号线,同时可以避免新产生的重汇聚扇出所带来的冲突.

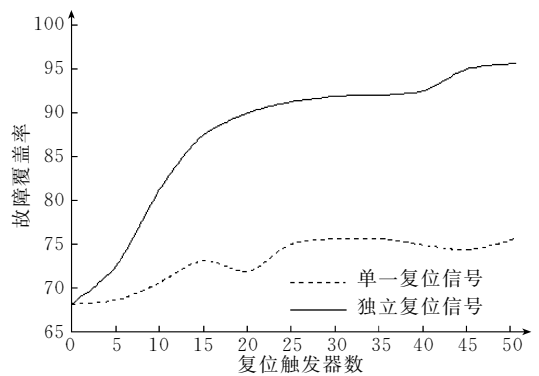


图 1 s5378 的不同复位线的 ATPG 结果

## 4 部分复位触发器的选择和可观测点的插入

**定义 3.** 冲突定义如下:信号线  $l$  被置为值  $v$ , 在测试生成的过程中,它还需要在同一时钟周期内置为另一值  $v'$ .如果  $v$  和  $v'$  的交集产生该逻辑系统里一个新的赋值  $m$  ( $m \in \{0, 1\}$ ),则  $l$  置为  $m$ ;否则在  $l$  处产生冲突.

**定义 4.** 一条路径的反向奇偶性定义为路径反向次数模 2.两个节点之间的反向奇偶性  $inv_v(A, B)$  ( $v \in \{0, 1\}$ ) 定义为从  $B$  到  $A$  上最易满足信号要求 ( $B, v$ ) 的路径上的反向奇偶性信息.

定义 4 中满足信号要求的难易程度是根据冲突 (conflict) 测度来确定的.在本文中,从节点  $A$  到  $B$  的反向奇偶性  $inv_v(B, A)$  由一个两位二进制数来表示:(1)00, (2) 01, (3) 10, (4) 11, 其含义分别为:(1)从  $A$  到  $B$  不存在路径,或是为了满足信号赋值要求 ( $B, v$ ),不需要在节点  $A$  处有信号要求.(2)从

$A$  到  $B$  上最易实现赋值要求  $(B, v)$  只经过了反向奇偶性为奇的路径. (3) 从  $A$  到  $B$  上最易实现赋值要求  $(B, v)$  只经过了反向奇偶性为偶的路径. (4) 从  $A$  到  $B$  上最易实现赋值要求  $(B, v)$  至少分别经过了反向奇偶性为奇和反向奇偶性为偶的路径.

**定义 5.** 从扇出源  $s$  到信号线  $l$  的可测性时序深度  $seq_w(l, s) (v \in \{0, 1\})$  定义为为了满足从  $l$  到扇出源  $s$  的信号要求  $(l, v)$  所需的最少的时钟周期数.

我们采用了两种测度来指和导部分复位触发器和可观测点的选择. 迭代计算的电路状态集和基于冲突分析的 conflict 测度被用来选择部分复位触发器. 电路状态信息可以有效地评价电路的可测度. 在难测电路中, 很多触发器根据电路的状态信息具有不变的值, 这些可以认为是很好的部分复位触发器候选点. 下面的公式可以用来确定部分复位触发器的候选点.

$$T_1(f) = \frac{n_1(f) - n_0(f)}{\#state} \quad (1)$$

$$T_0(f) = \frac{n_0(f) - n_1(f)}{\#state} \quad (2)$$

这里  $\#state$  是有效状态的数目 (有效状态定义请参阅定义 2),  $n_0(f)$  和  $n_1(f)$  分别是有效状态集合中相应的取值为 0 和 1 的状态数目. 有效状态集合是由逻辑模拟得到的. 实验表明, 当逻辑模拟的随机输入向量数足够大时, 有效状态集合可提供足够的可测性信息. 对于规模较大的时序电路, 如果  $T_1(f) > 0.90$ , 则触发器  $f$  可以被选为复位为 0 的部分复位触发器候选点; 如果  $T_0(f) > 0.90$ , 则触发器  $f$  可以被选为复位为 1 的部分复位触发器候选点 (本文中对于小规模电路, 其域值设为 0.4).

部分复位候选点包括难以复位的触发器, 考虑了 conflict 测度后难以检测的故障以及它们的直接前驱和后继线. 部分复位触发器和可观测点的选择可以按照如下的测度增益公式:

$$TG(v) = l \cdot w + \Delta T \quad (3)$$

$$w = C \cdot \frac{N}{nff} \quad (4)$$

若触发器  $v$  转变为一个部分复位触发器, 根据其难以复位的值, 它的 conflict 测度<sup>[7]</sup> 得以改善. 所有这样难以复位的触发器的数目计为  $l$ ,  $\Delta T$  是根据 conflict 测度计算出的测度的改进.  $N$  为电路中门的总数,  $nff$  为触发器数目  $C$  是一个经验常数, 本文中设为 40. 当  $C$  给出后, 权重  $w$  也可以确定. 潜在的可测性增益  $\Delta T$  是在 conflict 测度的基础上运用选择跟踪策略计算得来的. 当部分复位触发器的候选点

集合为空时, 所有的触发器都可以作为候选点. 在这种情况下, 部分复位触发器的选择是由对于 conflict 测度的改善情况所决定的.

可观测点不会使难复位的触发器变得容易复位, 也不能使难以激活的故障变得容易激活. 用来计算选择可观测点的测度增益的选择跟踪策略叙述如下: (1) 插入可观测点的信号线可观测度变为 0; (2) 当节点的可观测度变化时, 其直接前驱线的可观测度也需要更新. 在下面的算法中,  $TIC$  表示部分复位触发器候选点的集合.

**算法 1.** 部分复位触发器和可观测点的选择

1. 计算电路的 conflict 测度.
2. 对现有电路做逻辑模拟以获得更新过的有效电路状态.
3. 当部分复位触发器的选择未完成时,
  - (a) 从  $v \in TIC$  中选择一个触发器, 根据方程 (3) 和上文所述的选择跟踪策略计算其测度增益.
  - (b) 选择测度增益最优的触发器, 将其更改为部分复位触发器.
  - (c) 更新电路的 conflict 测度, 更新  $TIC$  集合.
4. 若部分复位触发器的选择尚未结束, 重复步骤 2.
5. 使用选择跟踪策略依次选择可观测点.

## 5 实现部分复位的可观测性设计结构

### 5.1 可观测性设计结构

如图 2 所示, 被测电路共有  $n+m$  个触发器. 触发器  $FF_{1 \sim n}$  被选为部分复位触发器. 原始输入  $1 \sim k$  连接了至少 1 个复位信号线. 如图 2 所示, 触发器  $FF_{1 \sim i}$  ( $i$  可以为 1) 的复位信号由原始输入 1 控制, 触发器  $FF_{j \sim n}$  ( $j$  可以等于  $n$ ) 的复位信号由原始输入  $k$  控制, 电路的原始输入数目可以为  $k$ . 该可测性设计需要一个额外的输入信号  $PR$  来控制复位信

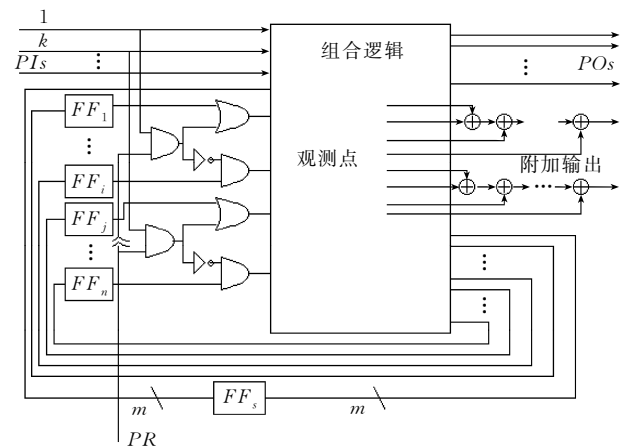


图 2 独立复位信号线控制的部分复位 DFT 结构

号.当  $PR=0$  时,电路工作在正常状态,当  $PR=1$  时,电路工作在测试状态.与以往方法不同的是,我们的策略中部分复位的触发器几乎都是由独立的原始输入控制的.值得注意的是在每一个功能路径上最多只插入一个门,并且可以避免选择到关键路径上的触发器.这种方法只使用了一个额外控制输入,并可以大大减少面积开销.

图 2 中所示连接在部分复位控制点前驱的额外门的作用和多路选择器类似.在图 2 中采用的是与门,将原始输入转换为部分复位触发器的控制信号.与门的输出直接或者经过一个反相器与被复位的部分复位触发器相连.该转换门可以采用或门,只需要将电路稍稍改动即可.当所有的部分复位触发器选择完毕之后,再插入可观测点.所有的可观测点被随机连到最多两条异或树上,这样所导致的误判是可以忽略的.当可观测点的数目非常大时,额外的输出数目也可有少量的增加.

## 5.2 将部分复位信号连接到原始输入

如图 3 所示,当在电路中  $l_1$  的位置处插入一个部分复位触发器,且将其额外输入端与原始输入  $A$  相连时,根据重汇聚点的位置应当避免两种不同类型的冲突发生:(1) $A$  处的重汇聚扇出在  $l_1$  处重汇聚时产生的冲突(满足信号要求  $(l_1, 1)$  时在  $A$  处导致的潜在冲突);(2)从  $A$  处产生的扇出分支与  $l_1$  在  $l_1$  的后继处重汇聚而产生的冲突(满足信号要求  $(k_1, 1)$  和  $(k_2, 0)$  而导致的潜在冲突).按照如下条件将一个部分复位触发器  $l$  的复位信号线  $i$  与一个原始输入  $PI$  相连:

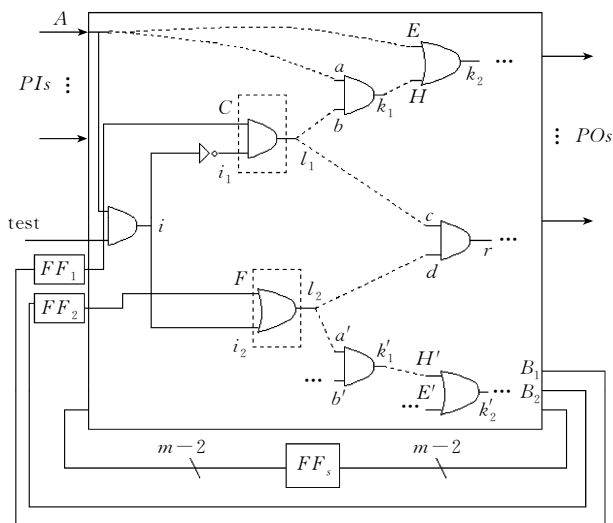


图 3 将部分复位触发器的复位信号与原始输入信号连接和共享

(1)将部分复位触发器  $l$  的复位信号线  $i$  与一个原始输入  $PI$  相连, $l$  要尽可能满足不与  $PI$  汇聚.

(2)若没有满足条件(1)的  $PI$  存在,则将  $l$  的复位信号线  $i$  与一个原始输入  $PI$  相连,此时  $l$  与  $PI$  在与门或者与非门(或门或者或非门)  $k_1$  处汇聚,  $k_1$  的输入信号为  $a$  和  $b$ ,满足  $seq_1(a, PI) \neq seq_1(b, PI)$  (或  $seq_0(a, PI) \neq seq_0(b, PI)$ ).

(3)满足条件(1)或(2)的  $PI$  不存在,则将  $l$  的复位信号线  $i$  与一个原始输入  $PI$  相连,此时  $l$  与  $PI$  在与门或者与非门(或门或者或非门)  $k_1$  处汇聚,  $k_1$  的输入信号为  $a$  和  $b$ ,满足  $seq_1(a, PI) = seq_1(b, PI)$  (或  $seq_0(a, PI) = seq_0(b, PI)$ ),且  $inv_1(b, PI)$  和  $inv_1(a, PI)$  (或  $inv_0(b, PI)$  和  $inv_0(a, PI)$ ) 中的一个为 0.

如图 3 所示,在  $l_1$  处插入一个复位信号,与原始输入  $A$  相连.令  $i_1$  和  $c$  为测试点  $l_1$  的控制输入信号,这里  $i_1$  由  $A$  直接可达,而  $c$  经过一个触发器与  $A$  相连.显然对于信号要求  $(l_1, 1)$  不会在  $A$  处产生冲突,因为路径  $A-i_1$  和  $A-c$  具有不同的可测性时序深度.因此,很容易为一个部分复位触发器找到一个与之相匹配的  $PI$ .类似的技术也可以用来将多个部分复位信号连接至一个原始输入上,同时避免冲突的发生<sup>[8]</sup>.在下面的算法中,  $TIC$  表示部分复位触发器候选点的集合.

### 算法 2. 共享复位信号

1. 当部分复位触发器的复位信号与原始输入的连接未完成时,

(a) 从  $TIC$  中选择一个部分复位触发器,根据上述 3 个条件选择出适当的  $PI$  与其复位信号连接.

(b) 更新  $TIC$  集合.

2. 若部分复位触发器的复位信号连接尚未结束,重复步骤 1.

当电路中的部分复位触发器的数目超过原始输入的数目时,需要将多个复位线和一个原始输入共享,可采用类似的方法将两个部分复位触发器  $l_1$  和  $l_2$  的复位信号线  $i_1$  和  $i_2$  连接到同一个原始输入上:(1)当  $i_1$  和  $i_2$  不汇聚时,可直接与原始输入  $A$  相连;(2)若  $l_1$  和  $l_2$  产生汇聚但时序深度不同时,可将  $i_1$  和  $i_2$  连接到同一个原始输入;(3)若  $l_1$  和  $l_2$  产生相同时序深度的重汇聚但反相奇偶性一致时,可将  $i_1$  和  $i_2$  连接到同一个原始输入.

在电路中信号线  $l$  处插入可观测点,即  $l$  的可观测度变为 0,相当于  $l$  成为一个新的原始输出信

号. 可观测点可以插入到电路的内部, 而不只是触发器的输入处. 可观测点的数目也不需要加以限制, 可以将其连接到 2 个或以上的异或树上以减少额外的管脚开销. 实验表明这个数目的异或链已足够避免误判的产生.

### 5.3 测试部分逻辑的测试问题

本文中考虑的是单固定型故障. 测试部分逻辑中的所有故障除去控制输入  $PR$  以外, 都可以被可测性设计后的电路所产生的测试向量所覆盖掉. 为了检测部分复位控制线  $PR$  上的故障, 需要对可测性设计的电路进行测试生成. 这时只考虑  $PR$  和其扇出分支上的故障信息.

### 5.4 可测性设计策略的面积开销

面积开销的估算是根据 SYNOPSIS 提供的 class.lib 中的单元库所计算得出的. 根据该库提供的参数,  $D$  触发器的面积为 9, 非门为 1,  $buffer$  为 2, 两输入与门为 2, 三输入与门为 2, 四输入与门为 3, 两输入与非门为 1, 三输入与非门为 2, 四输入与非门为 2, 两输入或门为 2, 三输入或门为 2, 四输入或门为 3, 两输入或非门为 1, 三输入或非门为 2, 四输入或非门为 2, 两输入异或门为 3. 扫描触发器的面积开销为 1. 连线逻辑的开销不予考虑.

## 6 实验结果及分析

我们采用一个名为  $prset$  的系统来实现我们提出的可测性设计方法, 并在 Sun 公司的 Ultra10 工作站上编程实现. 使用 HITEC<sup>[8]</sup> 工具对进行可测性设计后的电路进行测试生成. 我们还实现了另一种部分复位方法  $PReSet$ <sup>[1]</sup>, 该方法是用一个额外的输入来控制所有复位信号.  $PReSet$ <sup>[1]</sup> 是由 AT&T 贝尔实验室研制的. 我们还与另外两个部分扫描设计工具  $opus$ <sup>[10]</sup> 和  $CoPs$ <sup>[6]</sup> 进行了比较.

如表 1 所示,  $po, rf, ob, FC, cpu$  和  $TE$  分别代表额外管脚数目、部分复位触发器的数量、可观测点的数量、故障覆盖率、CPU 时间(以秒为单位)和测试效率. 我们的方法最多允许 5 个额外管脚. 表 1 给出了  $prset$  和  $PReSet$  使用一种非常简单的开销模型而选择的部分复位触发器的比较. 实验结果表明, 只有很少的电路需要插入可观测点, 电路  $s38417, s38584$  和  $s38584.1$  只需要插入一定数量的可观测点就可以达到满意的故障覆盖率. 和  $PReSet$  相比,  $prset$  对于所有的电路都比  $PReSet$  取得了更高的故障覆盖率.

表 1  $prset$  与以往部分复位方法的比较

Circuit	prset							PReSet			
	$rf$	$FC$	$TE$	$ob/po$	$FC$	$TE$	$vec$	$rf$	$FC$	$TE$	$vec$
s1423	36	88.0	89.3	14/2	92.96	94.16	2517	36	48.0	48.8	165
s5378	50	95.1	97.8	10/2	95.20	98.25	1406	50	72.8	75.1	390
s9234	140	95.6	98.9	10/2	95.8	99.1	3289	120	55.0	59.4	655
s9234.1	130	96.1	99.2	10/2	96.3	99.3	3326	120	55.0	59.4	655
s13207	240	95.4	98.6	0/1	95.37	98.62	7825	240	26.4	29.9	571
s13207.1	240	94.6	97.9	0/1	94.59	97.93	7193	240	26.4	29.9	396
s15850	240	90.9	95.7	20/2	93.68	98.60	6222	240	55.3	63.5	1347
s15850.1	240	91.2	96.1	20/2	94.56	99.32	5269	240	55.6	64.2	1516
s35932	250	89.8	100	0/1	89.82	100	1406	250	89.9	100	677
s35932	16	-	-	180/3	91.01	100	297	-	-	-	-
s38417	400	64.7	65.5	180/3	91.07	92.57	4430	400	7.95	9.79	87
s38417	450	75.1	75.9	200/3	92.34	93.83	5050	450	8.03	9.96	83
s38417	600	88.0	89.0	180/3	94.20	96.27	5956	600	-	-	-
s38584	150	74.6	78.8	345/3	91.52	95.68	14436	150	65.6	70.0	5140
s38584.1	150	75.2	78.5	345/3	92.33	96.10	14636	150	65.6	70.0	5140
s1269	12	99.6	99.9	0/1	99.56	99.93	361	12	97.6	98.0	268
s1512	16	97.9	98.2	0/1	97.87	98.15	2557	16	93.8	93.9	3574
s3271	12	99.5	99.7	0/1	99.52	99.67	1234	12	98.2	98.4	1065
s3330	40	92.3	92.5	0/1	92.34	92.54	932	40	81.0	82.5	2449
s3384	32	89.7	89.7	8/2	94.32	94.35	145	32	89.6	89.7	199
s4863	12	98.9	100	0/1	98.91	100	378	12	96.7	97.1	533
s6669	9	99.8	99.8	0/1	99.82	99.82	354	9	99.7	99.7	391

对于扫描设计来说, 当复位触发器都由独立的复位信号来控制时, 选择部分复位触发器和插入可观测点的组合已经显示出是一种很好的方法. 表 2

给出了  $prset$  与另外两种很好的部分扫描设计方法  $opus$  和  $CoPs$  的比较. 令  $sff$  和  $vec$  分别表示扫描触发器的数量和测试向量的数目,  $ntp$  为部分复位

触发器和可观测点数目之和. 这两种方法的测试时间计算公式如下:

$$tap = (sff + 1) \times \text{vec} + sff.$$

表 2 prset 与以往部分扫描方法的比较

circuit	prset				opus				CoPs			
	<i>ntp</i>	<i>FC</i>	<i>TE</i>	<i>tap</i>	<i>sff</i>	<i>FC</i>	<i>TE</i>	<i>tap</i>	<i>sff</i>	<i>FC</i>	<i>TE</i>	<i>tap</i>
s1423	50	93.0	94.2	2517	28	89.0	90.0	10497	28	93.3	95.0	11193
s5378	60	95.2	98.3	1406	40	93.8	99.7	53094	40	94.0	99.7	34234
s9234	140	95.6	98.9	3167	97	89.7	95.3	1.31(6)	97	90.2	95.7	3.95(5)
s13207	240	95.4	98.6	7825	160	90.5	96.6	393161	160	43.7	48.6	141518
s13207.1	240	94.6	97.9	7193	160	90.5	96.6	393161	200	64.9	68.9	210446
s15850	260	93.7	98.6	6222	180	94.1	99.2	1.58(6)	200	89.0	91.4	9.70(5)
s15850.1	260	94.7	99.3	5269	180	93.9	99.0	1.48(6)	160	87.0	89.3	7.04(5)
s35932	196	91.0	100	297	306	89.8	100	151657	306	89.8	100	75376
s38417	650	92.3	93.8	5050	400	79.6	80.5	2.58(6)	500	60.5	61.2	1.92(6)
s38584	495	91.5	95.7	14436	-	-	-	-	300	88.0	90.6	3.95(6)
s38584.1	495	92.3	96.1	14636	-	-	-	-	300	88.0	91.1	3.95(6)
s1269	12	99.6	99.9	361	8	80.1	96.0	1835	8	81.7	96.8	2690
s1512	16	97.9	98.2	2557	15	87.5	87.8	49727	12	100	100	48437
s3271	12	99.5	99.7	1234	6	99.8	99.9	6194	6	98.3	98.4	4080
s3330	40	92.3	92.5	932	40	90.1	91.1	22672	30	82.9	85.0	13980
s3384	40	94.3	94.3	145	40	88.6	88.6	4303	40	89.8	89.9	7256
s4863	12	98.9	100	378	9	97.1	97.4	4189	9	97.6	98.1	4039
s6669	9	99.8	99.8	354	9	99.5	99.5	2849	9	99.6	99.6	2789

实验结果表明, prset 对所有的电路所需要的测试周期数都比这两种方法要少得多, 而且同时获得了更高的故障覆盖率. 表 3 给出了所有可测性设计电路的面积开销(*ao*)和 CPU 时间(*cpu*). 和 PReSet

相比, prset 需要增加微小的面积开销. 和 opus 相比, prset 对于所有电路都需要更大的面积开销, 但除了 s1423 外面积开销都小于 5%. 上述面积开销是可以接受的.

表 3 CPU 时间和面积开销比较

circuit	PReSet			prset			opus			CoPs		
	<i>rf</i>	<i>ao</i>	<i>cpu</i>	<i>ntp</i>	<i>ao</i>	<i>cpu</i>	<i>sff</i>	<i>ao</i>	<i>cpu</i>	<i>sff</i>	<i>ao</i>	<i>cpu</i>
s1423	36	4.9	1961	50	9.1	2517	28	1.7	3445	28	1.7	1964
s5378	50	2.5	2584	60	4.3	2407	40	0.8	719	40	0.8	4438
s9234	120	3.5	4683	140	4.9	4669	97	1.2	9885	97	1.2	8521
s13207	240	3.9	15580	240	4.5	4518	160	1.0	8611	160	1.0	10701
s13207.1	240	3.9	17272	240	4.4	5786	160	1.0	8590	200	1.0	7158
s15850	240	3.0	12437	260	4.3	6300	180	1.1	3721	200	1.1	2644
s15850.1	240	3.0	10552	260	4.3	2665	180	1.1	4857	150	0.9	4710
s35932	250	2.0	2345	196	1.6	1197	306	0.8	1985	306	0.8	2306
s38417	450	2.8	77401	650	3.9	53419	400	0.9	18705	500	1.2	30758
s38584	150	0.8	31777	495	3.6	41550	-	-	-	300	0.7	59016
s38584.1	150	0.8	31834	495	3.6	41356	-	-	-	300	0.7	58957
s1269	12	2.2	338	12	4.5	902	8	0.7	1713	8	0.7	1525
s1512	16	2.1	20640	16	4.2	13121	15	1.0	3899	12	0.8	359
s3271	12	1.1	1287	12	1.6	3496	6	0.2	169	6	0.2	1265
s3330	40	2.3	12614	40	4.5	5166	40	1.0	5752	30	0.8	9667
s3384	32	2.0	430	40	3.5	5631	40	0.9	8586	40	0.9	7635
s4863	12	0.7	3958	12	1.0	3524	9	0.2	3236	9	0.2	3048
s6669	9	0.3	458	9	0.6	3054	9	0.1	885	9	0.1	607

## 7 结 论

本文提出了一种通过迭代计算电路的状态信息和 conflict 测度来选择部分复位触发器的方法, 并采用了有效的技术来将复位信号与不同的原始输入

连接, 以最大程度地避免新产生的重汇聚扇出所带来的负面影响. 本文针对部分复位方法提出了一种新的测试结构, 通过使用一个额外输入来将部分复位信号转化成原始输入来控制. 这样使得所有的部分复位触发器都几乎由独立的复位信号来控制. 这种测试结构使得这种部分复位方法在管脚、面积和

延时方面都大大减少. 大量实验结果也表明了该方法大大优于以往的部分复位方法. 而选择部分复位触发器和插入可观测点的组合也显示出部分扫描设计的优越性. 这种方法既可以保证很高的故障覆盖率, 同时还能实现快速测试.

### 参 考 文 献

- 1 Blramovici M., Parikh P. S., Mathew B., Saab D. G.. On selecting partial reset flip-flops. In: Proceedings of IEEE International Test Conference, Baltimore, Maryland, USA, 1993, 1008~1012
- 2 Cheng K. T., Agrawal V. D.. Initializability consideration in sequential machines. IEEE Transactions on Computers, 1992, 41(3): 374~379
- 3 Liang H. C., Lee C. L.. Effective methodology for mixed scan and reset design based on test generation and structure of sequential circuits. In: Proceedings of the 8th IEEE Asian Test Symposium, Shanghai, China, 1999, 173~178
- 4 Mathew B., Saab D. G.. Partial reset: An inexpensive design for testability approach. In: Proceedings of IEEE European Design Automation Conference, Hamburg, Germany, 1993, 151

- ~155
- 5 Pomeranz I., Reddy S. M.. On the role of hardware reset in synchronous sequential circuits. IEEE Transactions on Computers, 1994, 43(9): 1100~1105
- 6 Parikh P. S., Abramovici M.. Testability-based partial scan analysis. Journal of Electronic Testing: Theory and Applications, 1995, 7(1): 61~70
- 7 Xiang D., Xu Y., Fujiwara H.. Non-scan design for testability for synchronous sequential circuits based on conflict analyses. In: Proceedings of IEEE International Test Conference, Atlantic City, NJ, USA, 2000, 520~529
- 8 Xiang D., Fujiwara H.. Handling the pin overhead problem of DFTs for high quality and at-speed test. IEEE Transactions on Computer-Aided Design, 2002, 21(9): 1105~1113
- 9 Niermann T., Patel J.. HITEC: A test generation package for sequential circuits. In: Proceedings of European Conference On Design Automation, Los Alamitos, California, USA, 1991, 214~218
- 10 Chichermane V., Patel J. H.. An optimization based approach to the partial scan design problem. In: Proceedings of IEEE International Test Conference, Washington DC, USA, 1990, 377~386



**XIANG Dong**, Ph. D., associate professor. His current research interests include: (1) design and test of digital systems (design for testability, testability analysis, testing and BIST), (2) distributed computing, fault-tolerant computing, and computer networking.

**GU Shan**, born in 1977, M. S.. Her research interests focus on design and test of digital systems.

**XU Yi**, born in 1974, M. S.. His research interests focus on design and test of digital systems.

### Background

This paper is supported in part by the Nation Science foundations. The first grant is for non-scan design for testability, and the second grant is for scan-based BIST. The first grant copes with non-scan DFT with scan design fault coverage, and the second grant tries to get high-quality scan-based BIST by using some advanced scan chain configuring

techniques. The paper proposes a new partial reset method using independent reset signals, which obtains fault coverage close to scan design and at-speed test. Previous reset techniques usually utilized a single reset signal that cannot get good enough fault coverage. Most of the references referred in the paper did reset like that.