

一种考虑屏蔽效应的电路输入向量敏感性计算方法

肖 杰¹⁾ 李 伟¹⁾ 江建慧²⁾ 杨旭华¹⁾ 高 楠¹⁾ 胡海根¹⁾

¹⁾(浙江工业大学计算机科学与技术学院 杭州 310023)

²⁾(同济大学软件学院 上海 201804)

摘 要 输入向量敏感性的计算在电路的高可靠设计过程中有着重要的实际意义,尤其是针对有着特定应用场景的电路产品.该文以概率转移矩阵模型为主要技术手段,首先简要分析了输入向量对电路故障的“驱赶”作用,接着基于屏蔽机理构建了针对电路基本构件的三种屏蔽效应的量化模型,然后利用混合编码并通过虚拟法构建的电路基本构件输出端的可观察敏感性输入向量实现了输入向量敏感性的迭代传播,再结合范数理论计算了电路输入向量的敏感性.理论分析与实验结果表明,该文所提方法的计算精度与同类型方法相似,但计算速度要快 2~6 倍,内存开销稍小,计算过程则更为灵巧与简便,是一种可操作性强的有效计算模型,其时空复杂性与电路中的基本构件数目成线性增长的关系.此外,实验发现输入向量的敏感性随电路基本构件故障概率的增大而增大,且电屏蔽效应与锁存窗屏蔽效应对输入向量敏感性的影响也随电路基本构件故障概率的增大而呈现出增强的趋势,电屏蔽效应尤其甚.

关键词 屏蔽效应;输入向量;概率转移矩阵;混合编码;迭代计算

中图法分类号 TP331

DOI号 10.11897/SP.J.1016.2018.02282

Sensitivity Evaluation of Input Vectors with Masking Effects in Digital Circuits

XIAO Jie¹⁾ LEE William¹⁾ JIANG Jian-Hui²⁾ YANG Xu-Hua¹⁾ GAO Nan¹⁾ HU Hai-Gen¹⁾

¹⁾(College of Computer Science and Technology, Zhejiang University of Technology Hangzhou 310023)

²⁾(School of Software Engineering, Tongji University Shanghai 201804)

Abstract As complementary metal oxide semiconductor technology further scales down, the manufacture of nano-circuits will become extremely complex and will inevitably introduce more defects. For this reason, reliability is fast becoming one of increasingly critical issues for design of modern integrated circuit. However, accurately analyzing the reliability of large and highly connected circuits is intractable. To meet the increasing demand on reliable design, this paper presents a new solution for estimating the sensitivity of input vectors with high accuracy in reasonable time, especially for the circuit products with the specific application scenarios. Using the probabilistic transfer matrix model with binary coding and decimal coding as the major technology, this paper firstly gives a brief introduction to the driving effect of input vectors on circuit faults. Considering the characteristic that there is no direct correlation among the three masking effects, then this paper constructs a quantification model to the three masking effects for basic circuit components through a competitive model. And then according to the constructed observable-sensitivity input vector in the output of a basic circuit component, which is based both

收稿日期:2016-06-10;在线出版日期:2017-03-28. 本课题得到国家自然科学基金(61502422,61432017,61374152,61773348,61374094)及浙江省自然科学基金(LY18F020028,LQ15F020006,LY17F030016,Y18F030084)资助.肖 杰,男,1984 年生,博士,中国计算机学会(CCF)会员,主要研究方向为可靠性评估与容错性设计. E-mail: xiaojieqxj@foxmail.com.李 伟,男,1958 年生,博士,教授,博士生导师,国家“千人计划”专家,主要研究领域为电子器件及集成.江建慧(通信作者),男,1964 年生,博士,教授,博士生导师,主要研究领域为可信系统与网络、软件可靠性工程、VLSI 测试与容错. E-mail: hjjiang@tongji.edu.cn.杨旭华,男,1971 年生,博士,教授,博士生导师,主要研究领域为复杂网络.高 楠,女,1983 年生,博士,主要研究方向为智能算法.胡海根,男,1978 年生,博士,副教授,硕士生导师,主要研究领域为智能算法.

on a hybrid coding strategy and a virtual method, we realize the iterative propagation of the sensitivity of input vectors. Finally according to the definition, we calculate the sensitivity of input vectors by norm theory. In addition, to better verify the efficiency of the proposed method mentioned above, we present a Monte Carlo model with self-adaptive strategy, which can be used to adjust its estimation precision dynamically, to calculate the sensitivities for the given input vectors. Based on both the theoretical analysis and experimental results on some typical circuits, firstly, the efficiency of the Monte Carlo model with self-adaptive strategy is verified by comparing with the traditional Monte Carlo model, the results show that the proposed Monte Carlo model achieves the aim of self-adaptive convergence without too much manual intervention, while the traditional Monte Carlo model depends on the experience of the performers and has a certain blindness; secondly, the computational accuracy of the proposed method for sensitivity of input vectors is similar to those proposed in the prior work, but our method runs 2 to 6 times faster than others, and has small memory overhead. Besides that its calculation process is much simpler and smarter, and its spatial and temporal complexity increases linearly with the number of basic circuit components. In addition, the paper points that the sensitivity of input vectors increases with the increasing of fault probability of the basic components, and the effects of electrical masking and latching window masking on the sensitivity of input vectors tend to rise with the increasing of fault probability of the basic components, especially electrical masking, and there tends to be different sensitivities between the different input vectors. This paper also provides a simple application of the proposed method in reliability oriented masking of circuit structures. Further analysis finds that the idea of the proposed Monte Carlo model based on statistical theory can be used to convergence judgment for some artificial intelligence algorithms, and the proposed method for sensitivity of input vectors can be used to identify the sensitive nodes in logic circuits.

Keywords masking effects; input vector; probabilistic transfer matrix; hybrid coding; iterative calculation

1 引 言

随着信息技术的快速发展,集成电路产品如今在我们的日常生活中扮演着越来越重要的角色,与之相对应的是人们要求有更高可靠性水平的电路产品以确保其生命、财产等的安全.因此,近年来,电路的高可靠设计得到了业界的重点关注,可靠性评估作为可靠性设计的重要步骤^[1],也随之得到了快速发展.无论处于生命周期的何种阶段,针对产品已经或将要使用到的工艺制程技术,目前研究人员均提出了与之相对应的多种不同的电路可靠性评估方法^[2-5],如基于现场数据的寿命试验方法、针对早期设计阶段的解析模型方法等.无一例外,输入向量均被用作“驱赶”电路中的故障使之尽可能地呈现于输出端以便研究人员准确掌握电路的可靠性水平^[6],

对于不同的输入向量,电路往往会有不同的可靠性水平与之相对应.而在实际工程领域,电路的输入通常较为明确.因此,有必要对输入向量的敏感性水平展开研究以便以较小代价实现有针对性的电路设计目标.其中,可靠性指在一定的环境中在给定的时间内电路能正常完成所规定任务的能力的评价^[7],可靠度是其定量尺度.输入向量的敏感性指在指定输入下,电路输出不同于理想输出的概率^[6].

为量化输入向量的敏感性,通常做法是通过故障覆盖率来进行度量^[8],对于永久性故障,该方法有着较高的精度;然而,随着工艺复杂度的不断增加,器件故障的概率行为变得愈发显著,若继续采用传统方法,那么要在输出端观察到电路的稳定输出,在时间上将变得难以承受.文献^[6]尝试通过概率化方法进行评估,但由于未能解决电路扇出分支导致的信号关联问题,使得该方法有着指数级的时空复

杂度. 在项目实践过程中, 我们发现较大尺寸纳米工艺制程技术条件下的数字化电路产品大多表现出逻辑屏蔽、电屏蔽及锁存窗屏蔽效应^[9-10], 而该类工艺技术条件下的数字化电路产品在当前的智能化大潮中却占据着相当的比例, 这促使我们在计算输入向量敏感性的过程中增加了对上述三种屏蔽效应影响的分析, 使有助于该项研究更接近于电路的真实应用环境, 为在给特定应用环境下的电路选择相适应的拓扑结构时提供有益的依据与支持.

通过对输入向量敏感性定义的分析发现, 概率转移矩阵(Probabilistic Transfer Matrix, PTM)模型可用于精确评估输入向量的敏感性, 理由如下: (1) PTM 模型是一种概率化模型, 其在解释电路的非确定性问题的行为特征方面有着较好的适应性, 可满足本文对不确定性故障分析的要求; (2) 该模型是从故障与理想两方面同时对电路构件的状态行为特征进行建模, 可满足定义对电路错误输出与理想输出情况的比较要求; (3) 该模型能有效捕获信号传播过程中信号突变与随机故障引起的电路输出结果变化, 使有利于实现对三种屏蔽效应影响的准确量化. 此外, 我们还对该模型进行了较为深入的研究, 并取得了一些阶段性的成果, 包括运用基于混合编码的迭代策略解决了由电路扇出分支引起的信号关联导致的计算时空复杂度过大问题, 该问题也是本文所要面临的一个难点. 因此, 本文选择在文献[11]的工作基础上展开进一步的研究.

综上分析, 为以线性的时空复杂性准确量化电路输入向量的敏感性, 在 PTM 模型的基础上, 本文首先基于可观性原则^[12]简要分析了输入向量对电路故障的“驱赶”作用. 接着对电路的三种屏蔽机理展开分析, 并通过竞争性故障模型以构建针对电路基本构件的屏蔽效应量化模型. 然后根据输入向量的敏感性定义, 通过基于混合编码的迭代 PTM 原理提出了一种基于虚拟法并结合范数理论的计算模型以实现本文目标. 一方面, 基于 PTM 模型, 通过对构件屏蔽效应的分析使有效保证了本文方法对计算精度的要求; 另一方面, 基于混合编码与迭代策略有效解决了计算的时空复杂度过大问题. 最后我们还构造了一种基于自适应收敛策略的 Monte Carlo 方法以验证上述所提方法的有效性. 本文所提方法将有助于进一步完善电路的可靠性理论与方法.

本文第 2 节是相关工作, 介绍基于混合编码的迭代 PTM 模型的电路可靠性计算原理; 第 3 节提

出电路输入向量敏感性的计算模型和一种基于自适应收敛策略的 Monte Carlo 验证方法; 第 4 节给出本文所提方法的实验验证结果并对其进行分析与讨论; 第 5 节是结论.

2 基于混合编码的迭代 PTM 模型计算原理

文献[11]提出的基于混合编码的迭代 PTM 模型通过混合编码实现了扇出分支并发信号的阻塞式处理, 并结合迭代计算策略解决了原始 PTM 模型存在的计算时空复杂度过大问题. 它首先利用二进制与十进制相结合的混合编码策略初始化电路的原始输入信号与电路基本构件; 接着基于迭代法思想, 利用虚拟法与弱等效原理构建电路基本构件的输入概率分布与输入可靠度矩阵; 然后对输入可靠度矩阵与相对应基本构件的概率转移矩阵作矩阵乘运算, 再通过输入概率分布与所得结果的乘法运算计算相对应基本构件的输出可靠度. 其计算过程可用图 1 表示. 其中, 非法元素指由二进制码元与十进制码元构成的元素中其二进制码元包含有码段“11”; 二进制码元间执行“按位或”运算, 十进制码元间执行乘法运算. PIS_s 指电路的原始输入信号; BG 指电路基本构件; RPM 与 RIM 分别指输入可靠度矩阵与理想输入矩阵; PID 与 POD 分别指输入概率分布与输出概率分布; RB 与 RC 分别指构件输出可靠度与电路可靠度; PO 指电路的原始输出.

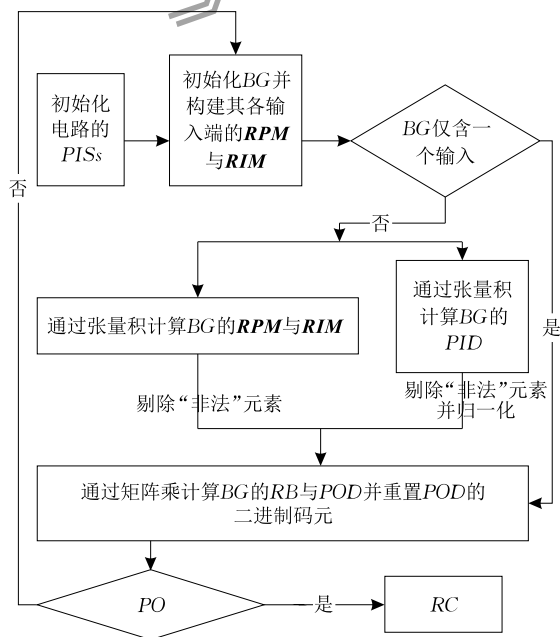


图 1 文献[11]方法的电路基本构件可靠度计算过程

需要说明的是上述运算均在具有相同编码的码元间进行,二进制码元的运算主要用于引导相对应十进制码元的运算,且二进制码元还用于判定相对应十进制码元的合法性.上述运算主要涉及两方面的内容:(1)电路原始输入信号的编码与电路基本构件的编码,具体包括二进制编码与十进制编码;(2)元素间的运算,同样也包括二进制码元间的运算与十进制码元间的运算以及二者信息的协同.

2.1 混合编码

每个原始输入端信号均通过 2 位二进制位以完全表示其 4 种可能状态:00(无信号输入)、01(输入 0)、10(输入 1)及 11(“非法”状态).对于一个含有 m 个原始输入端的电路,按照从低位到高位位的编码顺序,其二进制码元的总长度为 $2m$.与二进制码元相对应的十进制码元表示的是相应输入状态的概率.对于一个含 m 个原始输入端的电路,若其第 i 个原始输入端信号的故障概率为 ps_i ,第 j 个基本构件为一个 2 输入与非门(NAND-2)且故障概率为 p_j ,则其有图 2 所示的编码.

$$0 \begin{bmatrix} \underbrace{00 \cdots 01 \cdots 00}_m \underbrace{\quad \quad \quad}_i \underbrace{\quad \quad \quad}_1, 1 - ps_i, & \underbrace{00 \cdots 01 \cdots 00}_m \underbrace{\quad \quad \quad}_i \underbrace{\quad \quad \quad}_1, ps_i \\ 1 \begin{bmatrix} \underbrace{00 \cdots 10 \cdots 00}_m \underbrace{\quad \quad \quad}_i \underbrace{\quad \quad \quad}_1, ps_i, & \underbrace{00 \cdots 10 \cdots 00}_m \underbrace{\quad \quad \quad}_i \underbrace{\quad \quad \quad}_1, 1 - ps_i \end{bmatrix} \end{bmatrix}$$

(a) 第 i 个原始输入端信号的编码

$$\begin{bmatrix} 00 \begin{bmatrix} \underbrace{00 \cdots 00 \cdots 00}_m \underbrace{\quad \quad \quad}_i \underbrace{\quad \quad \quad}_1, p_j, & \underbrace{00 \cdots 00 \cdots 00}_m \underbrace{\quad \quad \quad}_i \underbrace{\quad \quad \quad}_1, 1 - p_j \\ 01 \begin{bmatrix} \underbrace{00 \cdots 00 \cdots 00}_m \underbrace{\quad \quad \quad}_i \underbrace{\quad \quad \quad}_1, p_j, & \underbrace{00 \cdots 00 \cdots 00}_m \underbrace{\quad \quad \quad}_i \underbrace{\quad \quad \quad}_1, 1 - p_j \\ 10 \begin{bmatrix} \underbrace{00 \cdots 00 \cdots 00}_m \underbrace{\quad \quad \quad}_i \underbrace{\quad \quad \quad}_1, p_j, & \underbrace{00 \cdots 00 \cdots 00}_m \underbrace{\quad \quad \quad}_i \underbrace{\quad \quad \quad}_1, 1 - p_j \\ 11 \begin{bmatrix} \underbrace{00 \cdots 00 \cdots 00}_m \underbrace{\quad \quad \quad}_i \underbrace{\quad \quad \quad}_1, 1 - p_j, & \underbrace{00 \cdots 00 \cdots 00}_m \underbrace{\quad \quad \quad}_i \underbrace{\quad \quad \quad}_1, p_j \end{bmatrix} \end{bmatrix} \end{bmatrix}$$

(b) 第 j 个电路基本构件的编码

图 2 相应单元的初始化编码

2.2 数值计算

元素作为最基本的运算单位,其涉及的主要为乘法运算,它包括二进制码元间的乘法运算与十进制码元间的乘法运算.对于元素 (Eb_1, Ed_1) 与 (Eb_2, Ed_2) ,它们间的乘法运算关系可用式(1)表示,其中 Eb_i 与 Ed_i 分别指第 i 个元素的二进制码元与十进制码元.另外,二进制码元信息与十进制码元信息则通过分而治之的弱同步关系实现协同^[11].

$$(Eb_1, Ed_1) \times (Eb_2, Ed_2) = (Eb_1 | Eb_2, Ed_1 \times Ed_2) \quad (1)$$

3 电路输入向量敏感性计算模型

本节首先简要分析了输入向量对电路故障的

“驱赶”作用;接着给出的是针对电路基本构件的三种屏蔽效应的量化模型;再提出了一种利用虚拟法并结合范数理论的电路输入向量敏感性的计算方法;然后构建的是与之相对应的计算算法,并给出了该算法的一个应用示例;最后给出的是一种基于自适应收敛策略的 Monte Carlo 验证方法.

3.1 故障“驱赶”

故障是导致电路输出异常的重要因素,它对电路的影响通常是基于可靠性来进行度量,其通常做法可概括为利用原始输入激励信号对电路中故障进行检测以获取电路的可靠性.故障“驱赶”是故障在输入向量与电路拓扑等因素的共同作用与影响下的一种电路行为(如图 3 所示),它使得故障具备可观性,从而为可靠性评估、故障定位与容错性设计等创造了条件.

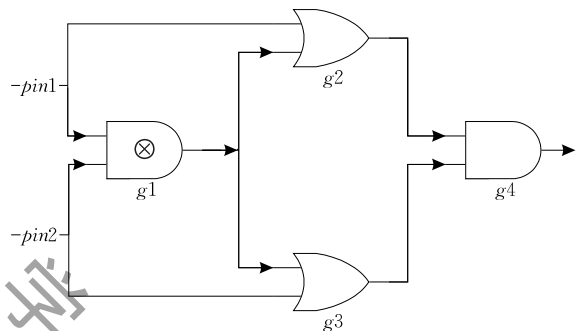


图 3 故障“驱赶”示例

若 g_1 发生故障,输入向量 $[pin1, pin2]$ 能否将该故障“驱赶”至原始输出端,主要取决该电路结构的屏蔽效应与输入向量本身的取值.比如当输入向量为 $[1, 1]$ 时,该故障被逻辑屏蔽了;又如当输入向量为 $[0, 0]$ 时,在不考虑电屏蔽与锁存窗屏蔽效应的情况下,该故障具备可观性.然而,不确定性故障的显著增加使得任意构件均有故障发生的可能,针对该状况,可以考虑在结构层面进行合理的设计并结合传统定点加固方案以达到电路容错目的从而避免传统方法难以应付概率化故障的不足,这就有必要在考虑屏蔽效应的情况下分析输入向量的敏感性,以便掌握相关输入向量对电路故障的“驱赶”能力,从而为相关领域的应用提供有价值的参考.

3.2 屏蔽效应量化模型

对电路三种屏蔽效应进行量化有助于准确评估输入向量的敏感性^[13].分析发现,基于真值表法的电路基本构件的 PTM 可用于精确描述所有可能输入状态下的电路行为特征,这正好符合本文对方法

的要求,因此,其被用作本文对电路基本构件屏蔽效应量化的工具。

逻辑屏蔽效应指的是构件其它输入端的控制值阻止故障信号在其输出端发生的现象^[14].从图 2(b)不难看出,电路基本构件的 PTM 不仅准确反映了这一现象,还考虑了在逻辑屏蔽作用下构件本身的可能故障对传播信号的影响。

电屏蔽概率指的是构件的电气特性造成故障信号的衰减致使该故障未能在其输出端发生的概率^[14].其主要受构件类型、输入负载与故障信号尺寸等因素的影响,而构件的 PTM 包含有输入负载、构件类型等信息,故其电屏蔽概率可表示成故障信号尺寸的函数,具体可参见文献[9].逻辑屏蔽与电屏蔽效应作为电路构件的固有属性,它们之间不存在必然的关联,因此可通过竞争性故障模型进行量化.图 4 是以 NAND-2 为例的逻辑屏蔽与电屏蔽效应的量化表示,其中 p_{ej} 指电路中第 j 个构件的电屏蔽概率。

$$\begin{array}{l}
 00 \left[\begin{array}{cc} \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, & p_j(1-p_{ej})(1-p_{lj}), \quad \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, \quad 1-p_j(1-p_{ej})(1-p_{lj}) \\
 01 \left[\begin{array}{cc} \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, & p_j(1-p_{ej})(1-p_{lj}), \quad \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, \quad 1-p_j(1-p_{ej})(1-p_{lj}) \\
 10 \left[\begin{array}{cc} \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, & p_j(1-p_{ej})(1-p_{lj}), \quad \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, \quad 1-p_j(1-p_{ej})(1-p_{lj}) \\
 11 \left[\begin{array}{cc} \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, & 1-p_j(1-p_{ej})(1-p_{lj}), \quad \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, \quad p_j(1-p_{ej})(1-p_{lj})
 \end{array} \right.
 \end{array}
 \end{array}
 \end{array}$$

$$\begin{array}{l}
 00 \left[\begin{array}{cc} \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, & p_j(1-p_{ej}), \quad \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, \quad 1-p_j(1-p_{ej}) \\
 01 \left[\begin{array}{cc} \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, & p_j(1-p_{ej}), \quad \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, \quad 1-p_j(1-p_{ej}) \\
 10 \left[\begin{array}{cc} \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, & p_j(1-p_{ej}), \quad \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, \quad 1-p_j(1-p_{ej}) \\
 11 \left[\begin{array}{cc} \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, & 1-p_j(1-p_{ej}), \quad \underbrace{00 \cdots 00}_{m} \cdot \underbrace{00 \cdots 00}_{i} \cdot \underbrace{00}_{1}, \quad p_j(1-p_{ej})
 \end{array} \right.
 \end{array}
 \end{array}
 \end{array}$$

图 4 逻辑屏蔽与电屏蔽效应的量化表示

锁存窗屏蔽概率指的是故障信号在时序构件取样窗口之外的时间到达其输入端从而未被取样的概率^[14].其主要与输入故障信号的脉冲宽度、取样窗口大小(包括窗口建立时间、窗口保持时间以及时钟周期等)等因素相关,其解析表达式可参见文献[9].上述三种屏蔽效应均作为电路构件的固有属性而存在,它们相互之间并不存在必然的关联关系,因此可通过竞争性故障模型以量化构件的以上三种屏蔽效应.图 5 是以 NAND-2 为例的以上三种屏蔽效应的量化表示,其中 p_{lj} 指电路中第 j 个构件的锁存窗屏蔽概率。

图 5 三种屏蔽效应的量化表示

3.3 输入向量敏感性计算方法

依据定义可知,输入向量的敏感性会等于指定输入下电路敏化通路的 PTM 与其相对应理想转移矩阵(Ideal Transfer Matrix, ITM)之间的差异概率.根据可靠性理论可知,这种差异可通过点乘运算进行度量,但呈现的是在该输入下的所有可能输出的相对应统计概率,故还需要进一步给出全局值,范数理论无疑提供了一种解决该类问题的强有力支撑^[15].上述可用表达式(2)进行表示,其中, \mathbf{PI}_v 指电路原始输入端的输入向量 v , \mathbf{ST}_v 为 \mathbf{PI}_v 的敏感性, \mathbf{PM}_c 与 \mathbf{IM}_c 分别指电路敏化通路的 PTM 与 ITM。

$$\mathbf{ST}_v = 1 - \| (\mathbf{PI}_v \times \mathbf{PM}_c) \times (\mathbf{PI}_v \times \mathbf{IM}_c) \|_1 \quad (2)$$

若用传统方法计算 \mathbf{PM}_c 与 \mathbf{IM}_c , 显然会有过大的时空开销.注意到文献[11]所提出的基于混合编码的迭代 PTM 方法在保持较高计算精度的同时,通过虚拟法与弱等效原理成功构建了一种以电路基本构件为单位的有线性时空复杂性的从原始输入端

起到电路任意引线位置的输出可靠度计算方法.借鉴该策略,本文构建了一种以电路基本构件为单位的从原始输入端到电路任意引线位置的输入向量的敏感性计算方法.以电路中的第 j 个有 sm 个输入端的构件 g_j 为例,上述输入向量敏感性的计算过程可用图 6 进行表示.其中, \mathbf{PV}_{jk} 指 g_j 的第 k 个输入端的敏感性输入向量,它等价与其前级构件的敏感性输出向量; \mathbf{IV}_{jk} 指 g_j 第 k 个输入端的理想输入向量,它等价于其前级构件的理想输出向量; \mathbf{PV}_j 指 g_j 的敏感性输入向量, \mathbf{IV}_j 指其理想输入向量; \mathbf{PM}_j 与 \mathbf{IM}_j 分别指 g_j 的 PTM 与 ITM; \mathbf{PC}_j 与 \mathbf{IC}_j 分别指 g_j 的敏感性输出向量与理想输出向量; \mathbf{ST}_{jv} 指 g_j 输出端的可观察 \mathbf{PI}_v 敏感性, $k \in \{1, 2, \dots, sm\}$.需要说明的是若 \mathbf{PV}_j 与 \mathbf{IV}_j 中有元素的二进制码元含有“非法”码段与重复码段,则须按第 2.1 节方法对其进行归一化处理.其中,重复元素指含有重叠二进制码段的元素.另外,需要说明的是在操作过程中元素的顺序应保持不变。

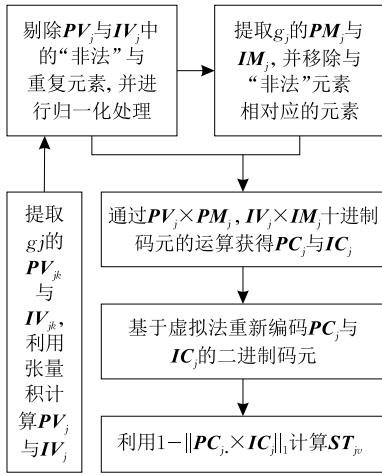


图 6 敏感性计算过程

图 6 一方面通过剔除“非法”与重复元素使实现扇出分支并发信号的阻塞式处理,另一方面基于虚拟法重新编码二进制码元使为处理新出现的扇出分支作好准备.另外,与图 1 方法相比不难发现,图 6 所示方法的计算过程更为灵巧与简便,具有较强的可操作性.

图 6 所示方法以电路基本构件为单位进行计算,故给出的是电路单个输出端的可观察输入向量敏感性.对于含有 $no(>1)$ 个原始输出端的电路,根据可靠性理论可知,其输入向量 PI_v 的敏感性 ST_v 可按式(3)进行计算.其中, ST_{hvo} 指处于电路原始输出端的第 h 个构件输出端的可观察 PI_v 敏感性, $h \in \{1, 2, \dots, no\}$.

$$ST_v = 1 - \prod_{h=1}^{no} (1 - ST_{hvo}) \quad (3)$$

3.4 计算算法

为实现输入向量敏感性的自动化评估,首先需要解析电路网表,并初始化相关量;接着基于混合编码构建原始输入端信号的 PTM 与 ITM,以及考虑三种屏蔽效应下的电路基本构件的 PTM 与 ITM;然后通过迭代策略计算指定输入向量的敏感性.

算法 1. 输入向量的敏感性计算.

输入: 电路网表(*circuit.isc*)与 PI_v .

输出: ST_v .

1. 解析 *circuit.isc* 并初始化相关量.

a. 运用文献[16]方法对电路分层并标识层号($l_0 \sim l_c$),提取电路的原始输入端数 m 、原始输出端数 no 与电路基本构件数 gn ,并按从上至下从左至右顺序对其进行标记且置入到电路基本构件链表 CH;

b. 根据第 2 节的混合编码策略按照从低位至高位习惯对各原始输入端信号 s_i 实施混合编码;

c. 根据 PI_v ,基于混合编码策略初始化电路第 i 个原始输入端的 PI_{vi} ,其中 $i=1, 2, \dots, m$.

2. 计算 ST_{jv} ,其中 $j=1, 2, \dots, gn$.

a. 从 CH 的头部摘取电路的第 j 个基本构件 g_j ;

b. 利用图 6 方法计算 PV_j 与 IV_j ;

c. 利用第 3.2 节方法构建 g_j 的包含三种屏蔽效应的 PM_j 与 IM_j ;

d. 通过图 6 方法计算 PC_j 和 IC_j ,以及 ST_{jv} ;

e. 删除 PV_j 、 IV_j 、 PM_j 与 IM_j ;

f. $j=j+1$.

3. 输出 ST_v .

a. IF $no=1$, THEN $ST_v = ST_{gnv}$;

b. IF $no>1$, THEN 通过式(3)计算 PI_v 的 ST_v .

从以上可以看出,算法 1 中的第 1 步仅需遍历 *circuit.isc* 一遍,其中与网表的基本单位(记录)相对应的则是电路的基本单位(电路基本构件).在遍历网表记录的过程中,算法便完成了对相关量的提取与初始化.另外,在该步中还需要完成对电路各原始输入端指定输入信号的模拟.故第 1 步的时间复杂度可记为 $O(gn+m)$.在第 1 步中,需要存储的主要信息有电路基本构件的基本信息,包括构件类型、输入端与输出端,各原始输入端的输入信息以及初始化的相关量等,故该步的空间复杂度可记为 $O(gn+m+c1)$.第 2 步仅需遍历 CH 一遍,并以链表的结点为基本单位计算各结点的相关输出,而与 CH 的每个结点相对应的则是电路的一个基本构件,故该步的时间复杂度可表示为 $O(gn)$.另外,在计算过程中,需要同时存储的信息有 PV_j 、 IV_j 、 PM_j 、 IM_j 、 PC_j 、 IC_j 与 ST_{jv} ,它们均属于 g_j ,故该步的空间复杂度也可表示为 $O(gn)$.第 3 步是对电路原始输出端结果的综合,其时空开销与电路基本构件数无关,即与电路规模无关,故该步的时空复杂度可认为是常数,可记为 $O(1)$.综上分析可知,算法 1 总的复杂度可表示为 $O(2gn+m+1)$,空间复杂度可用 $O(2gn+m+c1+1)$ 表示,也就是说,从电路的原始输入端起至其原始输出端,该算法始终以电路基本构件为基本单位实施迭代计算,故其有与电路基本构件成线性增长关系的时空复杂性.其中, $c1$ 为常数.

进一步分析还可发现,相比事件概率传播分析技术^[9],本文所提方法不仅考虑了敏化通路的互连结构对故障信号的影响,还通过 PTM 模型从概率角度量化了敏化通路上突发性与随机性故障对传播信号的影响,使分析更接近于工程实践.

下面以图 7 所示电路为例介绍算法 1 的一个应用.为方便起见又不失一般性,本文假定各电路基本构件有相同的故障发生概率 $p(\in [0, 0.01])$ 、电屏蔽概率 $pe(\in [0, 0.001])$ 与锁存窗屏蔽概率 $pl(\in [0, 0.001])$.分别运用算法 1 方法和式(2)方法,计算了

电路 Fig7 (仅含原始输出端 $pout1$ (记为 Fig7-1 circuit) 或含原始输出端 $pout1$ 与 $pout2$ (记为 Fig7-2 circuit)) 针对不同输入向量的敏感性, 并对结果进行了比较分析, 结果如图 8 所示.

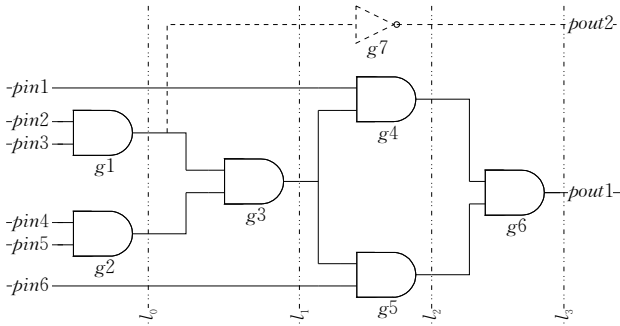
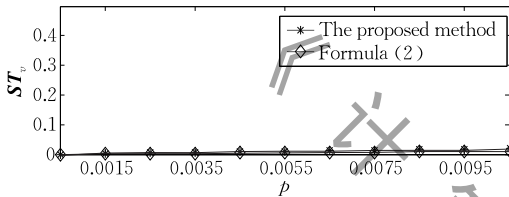
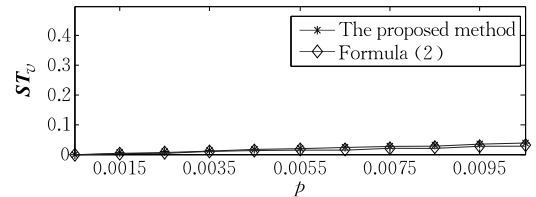


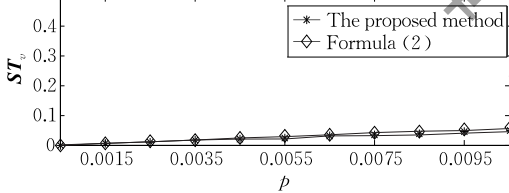
图 7 一个门级电路图例



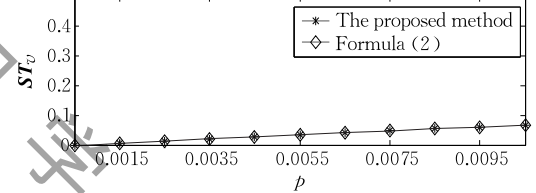
(a) Fig7-1: $PI_v=000000, p_e=0.001, p_t=0.001$



(b) Fig7-2: $PI_v=000000, p_e=0.001, p_t=0.001$



(c) Fig7-1: $PI_v=111111, p_e=0.001, p_t=0.001$



(d) Fig7-2: $PI_v=111111, p_e=0.001, p_t=0.001$

图 8 不同方法计算结果的比较

3.5 基于自适应策略的 Monte Carlo 验证方法

考虑到式(2)仅适用于较小规模电路的输入向量敏感性计算这一局限性, 于是我们选择了已得到广泛使用且有较强适应性的可满足不同抽象层次电路计算要求的 Monte Carlo 方法以验证本文所提方法的有效性. 考虑到该验证方法的实验样本数若按照惯常的经验设定做法, 将会有过长时间开销的不足. 在对 Monte Carlo 方法模型的原理分析基础上, 本文提出了一种基于自适应收敛策略的 Monte Carlo 验证算法, 它在不损失实验精度的前提下有助于提高算法的可操作性与计算效率.

针对已经初始化的电路网表, 该方法首先基于均匀分布的伪随机方式, 根据基本构件所处的位置分别按照图 4 与图 5 策略对其进行故障注入, 然后在模拟的指定输入向量的驱动下, 通过自适应收敛策略, 计算了电路中该输入向量的敏感性. 其计算过程如算法 2 所示.

从图 8 不难看出, 针对构件的不同故障概率与屏蔽概率, 无论是仅含单个输出端的电路 Fig7-1, 还是含有多个输出端的电路 Fig7-2, 本文所提方法均有与式(2)相近似的计算结果. 针对电路的不同输入向量, 本文所提方法同样与式(2)的计算结果相近似.

为了进一步量化本文所提方法的有效性, 对所选取的输入向量 PI_v (000000, 010101, 100011, 001110, 101010, 111111), 利用图 8 所述的两种方法分别计算了其敏感性, 并对本文所关心的各输入向量敏感性的大小趋势进行了比较, 其结果为 Fig7-1 与 Fig7-2 均有 ST_v (111111 \geq 100011 \geq 101010 \geq 010101 \geq 001110 \geq 000000). 这表明本文所提方法在图 7 所示电路上有着较高的计算精度.

算法 2. 基于 Monte Carlo 模型的输入向量敏感性计算.

输入: 电路网表 (*circuit.isc*) 与 PI_v .

输出: ST_v .

1. 解析 *circuit.isc* 并初始化相关量.

a. 运用文献[16]方法对电路分层并标识层号 ($l_0 \sim l_c$), 提取电路的原始输入端数 m 、原始输出端数 no 与电路基本构件数 gn , 并按从上至下从左至右顺序对其进行标记且置入到电路基本构件链表 MCH;

b. 初始化 $k=0, nk=0, nf=0, h=0$ 及精度控制参数 N 与 ϵ 等;

c. 根据 PI_v , 模拟 *circuit* 第 i 个输入端的 PI_{vi} , 其中 $i=1, 2, \dots, m$.

2. 计算 ST_v , 其中 $j=1, 2, \dots, gn$.

a. 从 MCH 的头部读取电路的第 j 个基本构件 g_j ;

b. IF g_j 的层号 $l_j=l_c$, THEN 按照图 5 策略对其注入故障; ELSE 按照图 4 策略对其注入故障;

c. 计算 g_j 的输出与理想输出;

d. IF g_j 的层号 $l_j=l_c$, THEN $nf=nf+1$;

e. IF $nf \geq no$, THEN $nk=nk+1, ST_v=1-k/nk$, 比较

电路所有原始输出端的输出与理想输出, {IF 输出结果均相同, THEN $k=k+1$ }; ELSE $j=j+1$, 转到步骤 2a;

f. IF $h=N$, THEN 比较所有连续 h 次循环的 ST_{vh} , {IF $|ST_{vh} - ST_{v1}| < \epsilon$, THEN $ST_v = ST_{v1}$, 并结束; ELSE $h=0$ }. 其中, $h=1, 2, \dots, N$.

g. IF $h \neq N$, THEN $h=h+1, ST_{vh} = ST_v$;

h. 重新执行步骤 2.

对算法 2 的分析发现, 其第 1 步在对电路分层的同时还完成了对电路基本构件的提取, 其仅需遍历电路网表 (*circuit.isc*) 一次, 而与网表的基本单位一记录相对应的则是电路的基本构件; 另外, 其还需要模拟电路各原始输入端的指定输入, 其时间复杂度与 m 成线性增长关系, 故第 1 步的时间复杂度可记为 $O(gn+m)$. 在第 1 步中, 需要存储的数据主要有电路的各基本构件、各原始输入端的输入信息以及初始化的相关量, 故其空间复杂度可表示为 $O(gn+m+c1)$. 该算法的第 2 步以电路基本构件为单位进行计算, 它需多次遍历 MCH 直至电路有稳定输出. 注意到遍历次数与电路的结构、构件数以及故障概率等因素相关, 于是在算法 2 中, 本文通过自适应收敛策略实现了基于 Monte Carlo 方法的电路输入向量敏感性的评估, 依据经验知识可知, 其时间复杂度与电路的故障点数成指数级增长关系^[17], 而电路中的任意构件均有可能发生故障^[18], 故步骤 2 的时间复杂度可用 $O(c2^{gn})$ 表示. 另外, 在算法的遍历过程中, 涉及的主要内存开销为计算电路基本构件的输出, 其需要存储的主要数据为各构件的输出

结果, 故步骤 2 的空间复杂度可记为 $O(gn)$. 综上所述可知, 算法 2 的时间复杂度可表示为 $O(c2^{gn} + gn+m)$, 而空间复杂度则可用 $O(2gn+m+c1)$ 进行表示. 其中, $c2$ 为常数.

相比算法 2, 算法 1 在时间复杂度上会更具优势, 虽然在计算过程中这两个算法始终均以电路基本构件为计算的基本单位实施运算, 但算法 1 仅需遍历 CH 一次, 而算法 2 需要多次遍历 MCH. 算法 1 的空间复杂度会稍大, 虽然算法 1 与算法 2 的空间复杂度均有与电路的基本构件数成线性增长的关系, 但算法 1 需要有额外的内存开销处理二进制编码的信息. 另外, 因电路故障模拟与故障注入采用的均为伪随机策略, 故算法 1 与算法 2 的实验结果均会有一定的微小误差.

4 实验与分析

为验证本文所提方法的有效性与应用性, 在 ThinkPad (CPU 为 Core i5@1.90 GHz, 内存为 8GB) 的实验环境下, 我们选择了一些代表性电路 (如 NAND-2、NOR-2、NOT、C17、图 7 所示电路、译码器及加法器等)^[11] 进行了实验. 首先, 通过惯常基于经验值的 Monte Carlo 方法, 检验了算法 2 方法的有效性, 结果如表 1 所示; 然后, 分别基于本文所提的算法 1 方法、算法 2 方法以及文献^[11] 方法进行了实验, 以检验算法 1 方法的有效性, 结果见表 2.

表 1 两种 Monte Carlo 方法的实验结果比较

层级	电路	基于经验值的 Monte Carlo 方法			算法 2 方法		
		实验样本数		时间/s	N		时间/s
		5×10^4	1×10^5		10	20	
晶体管级	Nand-2	0	0	0.157	0	0	0.1501
	Nor-2	0	0	0.171	0	0	0.1662
	Not	0	0	0.094	0	0	0.0860
门级	C17	-6.56	1.64	0.115	0	0	0.1200
	Fig7-1	-2.78	-1.35	0.102	0	0	0.1141
	Fig7-2	-2.94	-0.9	0.109	0	0	0.1406
RTL 级	multiplexer	-2.86	-1.43	1.139	0	0	1.1420
	adder	-2.20	-1.10	0.990	0	0	1.0090
	encoder	-1.67	0	1.030	0	0	0.9980

表 2 本文方法与 Monte Carlo 方法的计算结果比较

层级	电路	大小趋势比较		平均开销 ($p=0.001, PI_{oi}=1$)					
		$p=0.0001$	$p=0.001$	时间/s			内存/MB		
				算法 1 方法	参照对象	文献 ^[11] 方法	算法 1 方法	参照对象	文献 ^[11] 方法
晶体管级	Nand-2	1	1	0.0150	0.1501	0.082	0.52	0.50	0.59
	Nor-2	1	1	0.0141	0.1662	0.083	0.51	0.50	0.59
	Not	1	1	0.0004	0.0860	0.041	0	0	0
门级	C17	1	1	0.0310	0.1200	0.086	0.52	0.51	0.60
	Fig7-1	1	1	0.0160	0.1141	0.102	0.53	0.50	0.60
	Fig7-2	1	1	0.0180	0.1406	0.105	0.52	0.50	0.60
RTL 级	multiplexer	1	1	0.0970	1.1420	0.221	0.62	0.60	0.65
	adder	1	1	0.0870	1.0090	0.248	0.63	0.61	0.65
	encoder	1	1	0.0670	0.9980	0.159	0.62	0.59	0.64

此外,本文以图 7(Fig7-1 与 Fig7-2)所示电路为例,进一步分析了电屏蔽与锁存窗屏蔽效应对电路输入向量敏感性计算结果的影响情况,结果如图 9 与图 10 所示.为进一步体现算法 1 方法的实用性,本

文还以全加器电路为例,介绍了该方法在我们工程实践过程中的一个简单应用,结果如图 11 所示.需要说明的是若无特别声明,本文电路各原始输入端的输入信号均假设为理想状态.

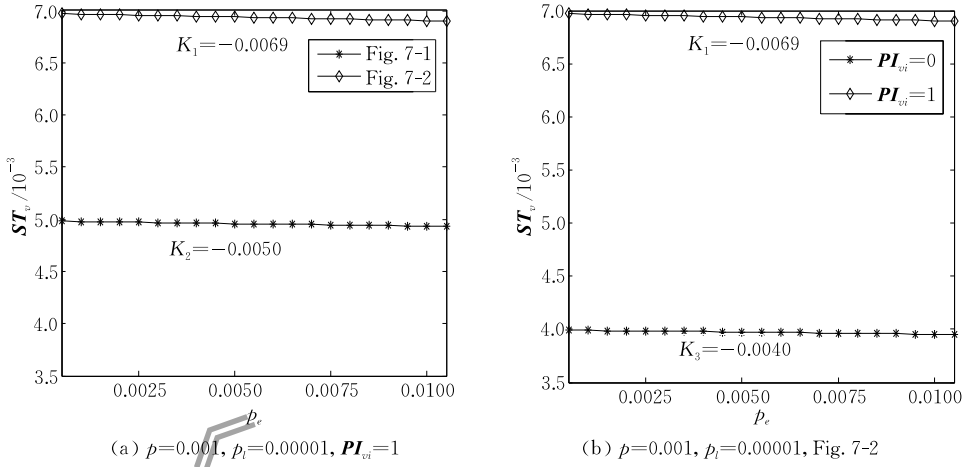


图 9 p_e 影响下的 ST_v 变化趋势比较

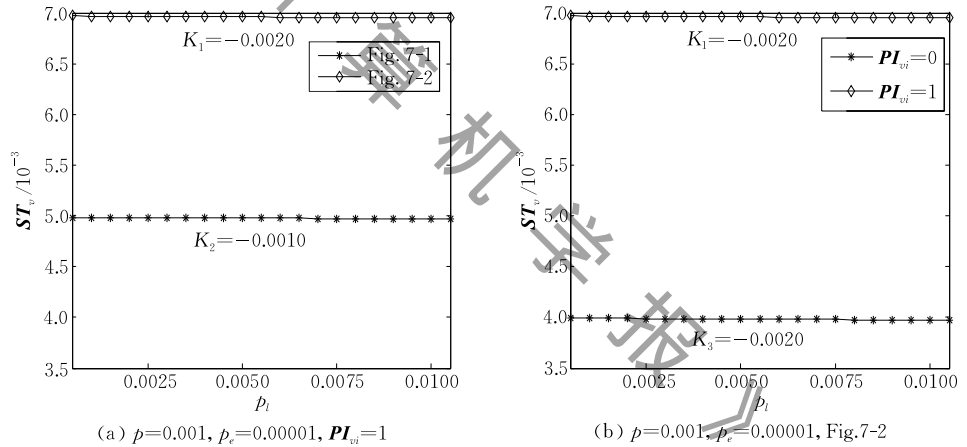


图 10 p_l 影响下的 ST_v 变化趋势比较

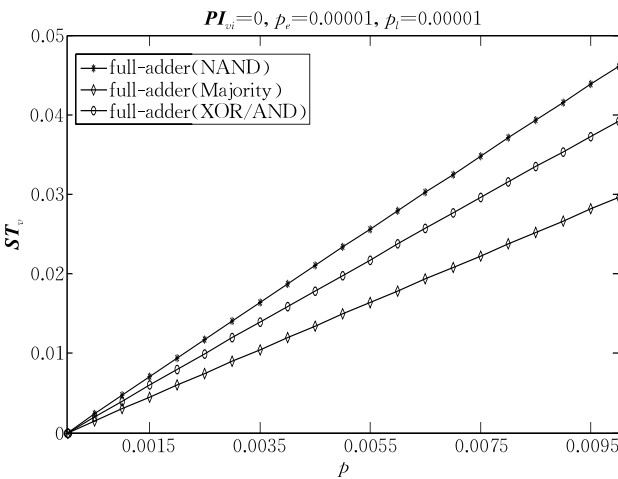


图 11 三类全加器的特定输入向量敏感性比较

4.1 方法比较

为验证算法 2 方法的有效性,我们选取了文献[11]中的电路进行了实验,还分别计算了各电路实验结果相对于参照对象的相对误差(%),结果如表 1 所示.首先,针对事先设置的不同实验样本数,通过基于经验值的 Monte Carlo 方法对电路进行了实验;然后,在 N 的取值分别为 10、20、30 且 $\epsilon=10^{-4}$ 的情况下,利用算法 2 方法计算了电路输入向量的敏感性;最后,比较分析了上述两种方法的收敛速度.其中,基于经验值的 Monte Carlo 方法与算法 2 的收敛值分别是在实验样本数与 N 取值为最大时取得;实验时间均在算法收敛的情况下实验样本数与 N 对应为最小取值时的读数; $p=0.001, p_e=p_l=$

0.00001, $PI_{oi} = 1$; 依据经验实验样本数设置为 2×10^5 ; 依据小样本统计决策理论 N 的最大取值设置为 $30^{[19]}$.

从表 1 可知, 针对基于经验值的 Monte Carlo 方法, 各电路达到事先说明的收敛状态时所需要的实验样本数并不相同. 通过与 $N=30$ 时的结果比较发现, 算法 2 方法在 $N=10$ 时, 各电路均已实现收敛. 有 5 个电路的收敛时间要小于算法 2 方法的收敛时间, 这存在两种情况: 一是传统方法未实现有效收敛; 二是与传统方法相比, 算法 2 方法多执行了不超过 10 次运算, 该情况发生的机率约为 0.00005. 故从统计学上可以认为在实验样本数设置为 20 万次时上述 5 个电路仍未实现有效收敛. 这主要可从以下 3 个方面展开分析: (1) 本文的故障注入是在电路的多故障模式下实施, 相比单故障模式, 这会有更大的时间开销; (2) 本文采用的是基于均匀分布的故障注入策略, 未实施抽样优化; (3) 实验收敛所需的样本数不仅与电路的规模相关, 还与其结构的复杂性、构件的故障概率水平以及输入向量等因素相关. 而基于经验值的 Monte Carlo 方法要实现有效收敛, 要么选择远大于需求的样本数, 要么通过多次尝试以选择较合适的样本数, 这都将导致过大的时间开销, 这两种策略本文均未采用, 故使得部分电路未实现有效收敛, 这容易引起计算结果的偏差. 因此, 相比经验值法, 算法 2 方法有更高的计算效率与更强的适应性, 它不需要提前预估难以测度的电路实验样本数, 而是通过较小的时间冗余策略以判定实验收敛情况, 最坏情况也就多执行 N 次实验, 从而实现算法 2 的自适应收敛目标.

注意到在表 1 中, 当 $N=10$ 时, 上述电路均已实现实验结果的收敛, 故在本文的后续实验当中 N 均被取值为 $10^{[19]}$. 至于 N 到底受到哪些主要因素的影响? 该取何值得当? 这些并不属于本文的要点, 我们将在其它文献中进行详细分析与讨论.

为验证算法 1 方法的有效性, 本文以文献[11]中电路为例进行了实验, 结果如表 2 所示. 考虑到式(2)方法不支持译码器与加法器的计算, 为统一尺度, 我们以算法 2 的基于 Monte Carlo 的故障注入方法作为本文方法的参照对象; 为计算方便, 我们还假定电路各基本构件有相同的故障发生概率 p , 电屏蔽概率 $p_e (=0.00001)$ 与锁存窗屏蔽概率 $p_l (=0.00001)$. 另外, 考虑到工程实践过程中主要关心的是电路各输入向量敏感性的大小顺序关系, 故在 $PI_{oi} = 0$ 与 $PI_{oi} = 1$ 时, 本文对算法 1 方法、算法 2 方法以及文

献[11]方法计算结果的大小趋势进行了比较, 若与参照对象的实验结果有相同的大小趋势, 则标记为 1, 否则标记为 0. 其中, PI_{oi} 指电路第 i 个原始输入端的输入信号, $\epsilon = 10^{-4}$.

从表 2 可以看出, 由以上三种方法得到的输入向量敏感性大小趋势相同. 它们的时间开销大小次序: 参照对象 \geq 文献[11]方法 \geq 算法 1 方法. 在大部分电路上, 算法 1 方法要比文献[11]方法快 2~6 倍, 比 Monte Carlo 方法要快 3~15 倍. 内存开销大小次序: 文献[11]方法 \geq 算法 1 方法 \geq 参照对象, 但差距不大. 进一步分析还发现, 针对结构较复杂电路, 如多扇出电路, 相比算法 2 方法, 算法 1 方法与文献[11]方法在计算速度上有更好的表现. 这主要可从以下三个方面进行分析.

(1) 计算精度. 本文所提算法方法与文献[11]方法均以 PTM 模型为研究基础, 基于二进制编码, 运用虚拟法保持了扇出分支信号的关联关系, 保证了计算结果对精度的要求, 故它们有相同的计算结果. 另外, 在指定输入下, Monte Carlo 方法基于伪随机策略通过穷举方式模拟了电路所有可能的行为状态以统计其异于理想输出的概率, 故该方法也有着较高的精度; (2) 时间开销. 本文方法与文献[11]方法均是通过二进制编码与迭代法相结合策略从而实现以电路基本构件为计算的基本单位, 并通过解析解传递的方式实现了对电路结构的解析, 其是这两种方法线性化时间复杂度的重要保障. 相比文献[11]方法, 算法 1 方法不需要构造电路基本构件的可靠度传播矩阵与理想传播矩阵等, 使得算法 1 方法有更小的时间开销和更好的可操作性. Monte Carlo 方法通常做法是通过伪随机方式在电路各故障点处注入故障, 直到电路有稳定输出, 它是通过故障模拟方式以实现对本目标统计性分析, 这使得其往往需要有较大的模拟样本. 故其时间开销往往随电路故障点数的增加成指数级增长趋势^[17]. 另外, 无论构件是否有扇出关联, 算法 1 方法与文献[11]方法均是通过统一的二进制编码与运算实现电路结构的解析, 使针对由扇出所关联构件时也不产生额外的时间开销. 而算法 2 方法往往则需要有更多的实验样本以支持更大数据的采集, 使准确反映出扇出的关联关系, 这会引入额外的时间开销. 因此, 相比算法 1 方法与文献[11]方法, 其时间开销通常较大, 尤其针对结构较复杂电路; (3) 内存开销. 算法 1 方法与文献[11]方法均通过二进制编码方式完成传播信号源标识以实现扇出分支并发信号的阻

塞式处理,该措施是以电路基本构件为单位的线性化空间复杂度的关键技术.相比文献[11]方法,在计算过程中,算法 1 方法不需要存储与可靠度相关的一些信息,故其内存开销更小. Monte Carlo 方法仅需模拟运算构件的随机性故障,而对非运算构件的内存开销则采取了释放策略.故在计算过程中,相比 Monte Carlo 方法,算法 1 方法除了需要加载电路的基本结构信息外,还需要额外开销处理正参与运算构件的二进制编码信息等.由于上述三种方法都有以运算中电路基本构件为单位的线性化空间复杂度,故它们有相互接近的内存开销.

4.2 屏蔽效应分析

为进一步分析屏蔽效应对电路输入向量敏感性的影响情况,图 9 与图 10 以图 7 所示电路为例,针对不同电路与不同输入向量 PI_{vi} ,给出了在构件的故障发生概率 $p=0.001$,且电屏蔽概率 p_e 与锁存窗屏蔽概率 p_l 分别在不同的取值下,相对应电路输入向量敏感性 ST_v 的变化情况.其中,图 9 给出的是针对电路 Fig7-1 与 Fig7-2,在 $PI_{vi}=0$ 与 $PI_{vi}=1$, p_e 取值不同时 ST_v 的变化情况;图 10 给出的是针对电路 Fig7-1 与 Fig7-2,在 $PI_{vi}=0$ 与 $PI_{vi}=1$, p_l 取值不同时 ST_v 的变化情况; K_i 是指相对应曲线的平均斜率, $i=1,2,3$.

从图 9 与图 10 不难得知,随着电屏蔽概率与锁存窗屏蔽概率的增加,针对不同的输入向量,电路 Fig7-1 与 Fig7-2 的 ST_v 均呈现下降趋势,且不同屏蔽效应下的电路 ST_v 的下降趋势梯度各异.另外,同一输入向量下的不同电路所对应的 ST_v 之间存有差异,同一电路下的不同输入向量所对应的 ST_v 之间也存有差异,且其变化梯度也各不相同.这不仅与电路的拓扑结构相关,还受到电路本身故障情况等因素的影响.

进一步分析发现,当 p_e 与 p_l 较小时,其对电路 ST_v 的影响较小,尤其是 p_l ;但结合图 8 结果得知,随着 p 的增大, p_e 与 p_l 对结果的影响呈增强趋势.这与行业测试结果相一致^[20].因此,针对有些电路,特别是有较小工艺尺寸且可靠性较高的电路,其往往有更高的时钟频率与更快的运算速度,使得电屏蔽与锁存窗屏蔽效应的作用被减弱,从而在计算过程中可忽略其对结果的影响.

4.3 方法应用

在工程实践中,电路产品往往会有对特定信号的大概率输入要求,这通常会要求对电路做出有针对性的设计,使在实现相同功能的情况下降低输入信号对故障的敏感性以提高产品的可靠性,从而增

强其市场竞争力.本文方法正是为解决工程中面临的这一类问题而提出,结合我们的实践并提出这样一个假设:若在电路中有这样一个全加器模块,其有特定的输入向量(不妨假设其每个原始输入端信号均为 0)且有高频的使用率,为满足市场对产品的高可靠要求,利用本文所提算法 1 方法,在 $p \in [0, 0.01]$ 时,我们计算了不同拓扑结构全加器(XOR/AND、NAND、Majority)的该特定输入向量敏感性,其结果如图 11 所示.

从图 11 可知,在不同的构件故障概率 p 条件下,三类全加器的特定输入向量的敏感性大小顺序保持一致,它们有 $\text{full-adder(NAND)} \geq \text{full-adder(XOR/AND)} \geq \text{full-adder(Majority)}$.且输入向量的敏感性随 p 的增大而增大,这与更大的 p 更易于引起失效相符.其中,full-adder(Majority)的该特定输入向量敏感性最低,这也意味着 full-adder(Majority)在该输入下的敏化通路相比另外两个电路有更高的可靠性,因此其被选择用作电路的模块.显然,针对该特定应用环境,产品有望获得更高的用户满意度表现.分析还发现,算法 1 方法不仅可用于评价输入激励的故障覆盖情况,还可通过二进制码元定位影响各输出的电路原始输入源,并可优化 Monte Carlo 方法的随机抽样算法等(具体内容我们将在其它文献中详述),从而为电路测试向量的筛选提供有益参考等.

5 结 论

在 PTM 模型基础上,本文首先介绍了其基于混合编码的迭代计算策略;接着分析了电路的屏蔽机理并构建了针对电路基本构件的三种屏蔽效应量模型;再根据定义并结合混合编码策略,利用虚拟法提出了一种基于范数理论的电路输入向量敏感性的迭代计算方法;最后还给出了一种基于自适应收敛策略的 Monte Carlo 方法以验证上述算法的有效性.理论分析与在具有代表性电路上的实验结果表明,本文方法在保持有较高计算精度的同时,还具有以电路基本构件为单位的线性化时空复杂性.该方法可应用于特定环境下的高可靠电路结构与基于故障覆盖率的测试向量的筛选等,有望在电路设计过程中做出有益贡献.

参 考 文 献

- [1] Yan Gui-Hai, Jiang Jian-Hui, Li Hua-Wei, et al. Overview of reliability design of microprocessor chip//China Computer

- Federation. 2012 Report on China's Computer Science and Technology Development. Beijing; China Machine Press, 2013; 174-202(in Chinese)
(鄢贵海, 江建慧, 李华伟等. 微处理器芯片可靠性设计研究进展//中国计算机学会主编. 2012 中国计算机科学技术发展报告. 北京: 机械工业出版社, 2013: 174-202)
- [2] Bernstein J B, Gabbay M, Delly O. Reliability matrix solution to multiple mechanism prediction. *Microelectronics Reliability*, 2014, 54(12): 2951-2955
- [3] Ge H, Asgarpoor S. Parallel Monte Carlo simulation for reliability and cost evaluation of equipment and systems. *Electric Power Systems Research*, 2011, 81(2): 347-356
- [4] Xiao Jie, Jiang Jian-Hui, Zhu Xu-Gang. A method of circuit reliability estimation based on iterative PTM model. *Chinese Journal of Computers*, 2014, 37(7): 1508-1520(in Chinese)
(肖杰, 江建慧, 朱旭光. 一种基于迭代 PTM 模型的电路可靠性评估方法. *计算机学报*, 2014, 37(7): 1508-1520)
- [5] Xiao Jie, Jiang Jian-Hui, Liang Jia-Rong. Transistor-level oriented calculation of reliability for generalized gates based on PTM. *SCIENCE CHINA Information Sciences*, 2014, 44(10): 1226-1238(in Chinese)
(肖杰, 江建慧, 梁家荣. 面向晶体管级广义门电路的 PTM 可靠性计算. *中国科学: 信息科学*, 2014, 44(10): 1226-1238)
- [6] Krishnaswamy S, Markov I L, Hayes J P. Design, Analysis and Test of Logic Circuits under Uncertainty. Dordrecht, Holland; Springer Science & Business Media, 2012
- [7] Xiao R, Chen C. Gate-level circuit reliability analysis: A survey. *VLSI Design*, 2014, 2014(4): 1-12
- [8] Shi F, Makris Y. Fault simulation and random test generation for speed-independent circuits//Proceedings of the 14th ACM Great Lakes symposium on VLSI. New York, USA, 2014; 127-130
- [9] Fazeli M, Miremadi S G, Asadi H, et al. A fast and accurate multi-cycle soft error rate estimation approach to resilient embedded systems design//Proceedings of the International Conference on Dependable Systems and Networks (DSN). Chicago, USA, 2010; 131-140
- [10] Thole N, Fey G, Garcia-Ortiz A. Analyzing an set at gate level using a conservative approach. *Testmethaden und Zuverliissigkeit van Schaltungen und Systemen*, 2015, 2015(1): 1-4
- [11] Xiao J, Lee W, Jiang J, et al. Circuit reliability estimation based on an iterative PTM model with hybrid coding. *Microelectronics Journal*, 2016, 52(4): 117-123
- [12] Choudhury M R, Mohanram K. Reliability analysis of logic circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2009, 28(3): 392-405
- [13] Asadi H, Tahoori M B, Fazeli M, et al. Efficient algorithms to accurately compute derating factors of digital circuits. *Microelectronics Reliability*, 2012, 52(6): 1215-1226
- [14] Entrena L, Garcia-Valderas M, Fernandez-Cardenal R, et al. Soft error sensitivity evaluation of microprocessors by multilevel emulation-based fault injection. *IEEE Transactions on Computers*, 2012, 61(3): 313-322
- [15] Liang Chang-Hong. *Matrix Theory Notes*. Beijing: Science Press, 2014(in Chinese)
(梁昌洪. 矩阵论札记. 北京: 科学出版社, 2014)
- [16] Michael B, Agrawal Vishwani D. *Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits*. Dordrecht, Holland; Springer Science & Business Media, 2000
- [17] Rejimon T, Lingasubramanian K, Bhanja S. Probabilistic error modeling for nano-domain logic circuits. *IEEE Transactions on Very Large Scale Integration Systems*, 2009, 17(1): 55-65
- [18] Peiravia A. A graph based approach for reliability analysis of nano-scale VLSI logic circuits. *Microelectronics Reliability*, 2014, 54(6): 1299-1306
- [19] Liese F, Miescke K-J. *Statistical Decision Theory: Estimation, Testing, and Selection*. New York, USA; Springer, 2008
- [20] Vaghef V H, Peiravi A. Node-to-node error sensitivity analysis using a graph based approach for VLSI logic circuits. *Microelectronics Reliability*, 2015, 55(1): 264-271



XIAO Jie, born in 1984, Ph.D. His current research interests include reliability evaluation and fault-tolerant design.

LEE William, born in 1958, Ph.D., professor, Ph.D. supervisor. His current research interests include electronic devices and integration.

JIANG Jian-Hui, born in 1964, Ph.D., professor, Ph.D.

supervisor. His current research interests include dependable system and network, software reliability engineering, and VLSI/SoC fault-tolerance and test.

YANG Xu-Hua, born in 1971, Ph.D., professor, Ph.D. supervisor. His current research interest focuses on complex networks.

GAO Nan, born in 1983, Ph.D. Her current research interest focuses on intelligent algorithm.

HU Hai-Gen, born in 1978, Ph.D., associate professor, M.S. supervisor. His current research interest focuses on intelligent algorithm.

Background

With the rapid development of information science technology, digital and intelligent devices and applications are everywhere in our lives, such as smart homes, intelligent transportation, intelligent manufacture and so on, and closely relative to people's daily lives, even their properties or lives' security. Therefore, the reliability of integrated circuit products has received wide attention in recent years.

At present, many evaluation methods of circuit reliability have been proposed for various purposes in different stages in circuit design procedure, such as model-based testing and analytical model-based method, which have promoted the development of circuit reliability technologies.

This study comes from an enterprise project which is to design a special-purpose circuit with high reliability and specific inputs. To achieve high-reliable circuit design with low cost, by analysis we have found that if a circuit has smaller input vector sensitivity, the circuit is usually easier to achieve higher reliability with lower cost under normal conditions. Therefore, it is necessary to forward an effective method to

calculate the sensitivities of circuit input vectors, so that we can select the proper circuit structure meeting our requirements. However, the existing methods ignore the masking effects on the calculation precision and have excessive temporal and spatial complexity, so they cannot meet the project requirements of low-cost and short-cycle. On the foundation of the existing research work, an evaluation method is proposed based on a virtual method combined with norm theory. The theoretical analysis and simulation results on typical circuits show that the proposed method meets the project requirements, and will hopefully play an important role in circuit weakness location.

This work is supported by the National Natural Science Foundation of China under Grant Nos. 61502422, 61432017, 61374152, 61773348, and 61374094. And supported by the Natural Science Foundation of Zhejiang Province under Grant Nos. LY18F020028, LQ15F020006, LY17F030016, and Y18F030084.