

NoC 中相邻虚通道循环共享的 VOQ 容错路由器设计

欧阳一鸣¹⁾ 王 悄¹⁾ 梁华国²⁾ 易茂祥²⁾ 汪秀敏¹⁾

¹⁾(合肥工业大学计算机与信息学院 合肥 230009)

²⁾(合肥工业大学电子科学与应用物理学院 合肥 230009)

摘 要 集成电路的不断发展使得片上系统遇到了不可逾越的瓶颈问题,片上网络因其具有良好的可扩展性、较高的通信效率和可靠性等优势成为了一种新型的互连架构,被研究者们广泛研究.路由器是片上网络中的关键部件,主要负责数据包的存储转发,影响着网络的整体性能,故对路由器的容错设计显得尤为重要.而路由器中缓冲区所占的面积较大,且常见的缓冲区容错方案都可能会产生头阻塞问题,因此需要设计一种容错路由器架构,既可以解决头阻塞问题,又能实现缓冲区容错.该文提出一种相邻虚通道循环共享的 VOQ 容错路由器设计,可以有效地容忍虚通道故障,在网络拥塞时能最大程度的保证缓冲区的利用率,且在路由器内部虚通道均故障时依旧可以保证整个网络的连通性.在基准 VOQ 路由器的基础上,该文通过增加多个多路选择器和数据分配器来实现相邻虚通道的共享,增加旁路总线来保证即使输入端口内部虚通道均故障,路由器依旧可用.当数据包所要发往的虚通道故障或者拥塞时,通过借用相邻虚通道或旁路来实现数据包的存储转发,达到了容错的目的,提升网络性能.同时,该文设计了一种基于双向队列的 FIFO 控制器,通过两套读写指针实现对借用虚通道数据包和非借用虚通道数据包的读写操作.双向队列的设计,保证了数据包在输出时依旧持有 VOQ 特性,这是绝大多数的缓冲区容错方案所没有的.实验结果表明,在无故障发生时,该文方案较 VOQ 路由器和 multiple VOQ 路由器而言平均延时有所降低,吞吐率有所提高;在故障发生时,该文方案的相邻 VC 因为可以借用,故较 VOQ 路由器和 multiple VOQ 路由器,平均延时分别降低了 32.3% 和 23.3%,吞吐率也有所提高.该文方案没有增加额外的 FIFO 开销,硬件开销上因为双向队列和 BIST 检测模块的设计较参考文献方案有所增加,但是相对于其达到的性能而言,这种硬件开销的略微增加是可以接受的.在网络出现虚通道故障或拥塞时,该文方案的设计维持了 VOQ 特性不变,保证了整个网络的连通性,达到了较高的可靠性,系统整体性能较优.

关键词 片上网络;容错路由器;VOQ;虚通道共享;双向队列

中图法分类号 TP302 **DOI 号** 10.11897/SP.J.1016.2016.01135

The Design of VOQ Fault-Tolerant Router Loop Shared by Adjacent Virtual Channels in NoC

OUYANG Yi-Ming¹⁾ WANG Qiao¹⁾ LIANG Hua-Guo²⁾ YI Mao-Xiang²⁾ WANG Xiu-Min¹⁾

¹⁾(Department of Computer and Information, Hefei University of Technology, Hefei 230009)

²⁾(Department of Electronic Science and Applied Physics, Hefei University of Technology, Hefei 230009)

Abstract The continuous development of integrated circuit makes the system-on-chip encounter insurmountable bottleneck problems. Because of its advantages of scalability, high efficiency and reliability of communication, Network-on-Chip (NoC) is becoming a new kind of interconnection architecture and widely studied by the researchers. The router, as a critical component in NoC, is

收稿日期:2014-12-16;在线出版日期:2015-07-23. 本课题得到国家自然科学基金(61474036,61371025,61274036)、安徽省自然科学基金(1508085MF117)资助. 欧阳一鸣,男,1963年生,博士,教授,中国计算机学会(CCF)高级会员,主要研究领域为片上系统与片上网络、嵌入式系统的综合与测试、数字系统设计自动化. E-mail: ooymbbox@163.com. 王 悄,女,1991年生,硕士研究生,主要研究方向为片上系统与片上网络. 梁华国,男,1959年生,博士,教授,中国计算机学会(CCF)容错计算专业委员会委员,主要研究领域为嵌入式系统综合与测试、数字系统、ATPG 算法. 易茂祥,男,1964年生,博士,教授,主要研究领域为 VLSI 测试、计算机应用. 汪秀敏,女,1984年生,博士,副教授,主要研究方向为网络路由设计与优化、网络编码、分布式存储系统、无线网络资源分配与管理.

mainly in charge of the packet store-and-forward, which affects the performance of the whole system. Thus, it is especially important to propose a fault-tolerant scheme for the router. Nevertheless, buffer accounts for a large area in the router and traditional fault-tolerant methods for the buffer may lead to the head of blocking (HoL). Hence, it is necessary to design a fault-tolerant architecture, which can not only avoid the HoL but also achieve fault-tolerance. In this paper, we present the design of virtual output queue (VOQ) fault tolerant router which supports loop sharing of adjacent virtual channels. The proposed fault-tolerant design can tolerate fault buffers effectively, and ensure the buffer utilization at the most extent when congestion occurs in the network, and even guarantee that the connectivity of the entire network in the case of all the input virtual channels breaking down. On the basis of the traditional VOQ router, this paper obtains the loop sharing of adjacent virtual channels by adding a number of multiplexers and de-multiplexers. At the same time, extra bypass buses can guarantee that the router can still route packets in the case of all the input virtual channels fault. When a fault or congestion arises in the virtual channel packets will be sent to, the router could transfer the packets by the adjacent virtual channels or bypass buses, which achieves fault-tolerance and promotes the system performance. Meanwhile, this paper designs a FIFO controller based on a double-ended queue, in which two sets of read/write pointers read or write packets no matter which virtual channels they are stored in. The design of the double-ended queue assures that the packets keep the VOQ characters when output, which is not found in the vast majority of buffer fault-tolerance schemes. Experimental results show that the proposed scheme outperforms the VOQ router and the multiple-VOQ router when the traffic imbalance happens in the network without faults, the average latency of this project is reduced and the throughput is improved compared with the VOQ router and the multiple-VOQ router. When there is a fault in the network, because the adjacent virtual channels can be used the average latency of this project is reduced by 32.3% and 23.3% compared with the VOQ router and the multiple-VOQ router, as well as the throughput is improved. This method attains a good performance without appending extra FIFO overhead, while leads to acceptable hardware overhead as a result of double-ended queues and a BIST test module. When a fault or congestion occurs in the network, this design keeps the VOQ characters and guarantees the connectivity of the entire network, and achieves high reliability. On the whole, the system has a better overall performance than the references.

Keywords Network-on-Chip; fault-tolerant router; virtual output queue; virtual channel sharing; double-ended queue

1 引 言

随着集成电路工艺的不断发展和晶体管特征尺寸的不断缩小,单个芯片上可集成的核数目越来越多,传统的基于总线架构的片上系统(System on Chip, SoC)出现了可扩展性低、通讯效率差等问题^[1-5]. 为了更有效地实现核间的通信,研究者们提出了片上网络(Network on Chip, NoC)的概念^[6-8]. 一个典型的 NoC 系统由处理单元、网络资源接口、路由器和通道组成. NoC 中的所有链路都可以同时

进行数据传输,较传统的通信架构而言,达到了较高的并行性^[9].

在 NoC 的组成中,路由器扮演着通信资源的角色,负责数据包的存储和转发^[10]. 对于一个拓扑和带宽都确定的网络来说, NoC 路由器的设计很大程度上影响着网络的延时和整体性能^[11]. 由于制造缺陷、电路老化、工艺不稳定性和电子迁移等原因,路由器中元件会出现永久性故障^[12]. 文献[13]指出,路由器中故障分布与元件面积成正比关系,含晶体管越多的元件,越容易出现故障. 其实验表明,在 45 nm 工艺下,如果 FIFO 大小为 32-flit,那么 FIFO 面积占

路由器总面积的 94%。如果 FIFO 大小为 8-flit, 则占 80%。以上数据充分说明, 在路由器面积中 FIFO 面积占很大比重, 因此 FIFO 模块比较容易出现故障, 故对路由器 FIFO 的容错显得尤为重要。

面对上述问题, 国内外研究者们展开了深入研究。对于 NoC 中路由器的 FIFO 故障, 主要有两类解决办法: (1) 对数据包进行重路由, 使其绕过故障路由器来实现容错。如文献[14]设计了一种容错路由算法, 它通过对路由器的重构来达到容忍任意数量、任意分布的路由器故障以及链路故障, 并且不需要增加额外的路由表和虚通道 (Virtual Channel, VC), 但是故障节点中元件即使没有故障也不能被使用, 造成了资源浪费。文献[15]提出了一种基于强化学习的片上网络容错偏转路由器, 它在发送数据包的同时, 采用强化学习的方法对路由表进行重配置以实现路由的容错, 但是在每个路由器内部都需要维持一个路由表; (2) 通过改进路由器架构来实现 FIFO 容错。如文献[16]提出了部分输入端口 VC 借用的容错路由器架构, 实现了 FIFO 容错且一定程度上平衡了网络负载, 但其实现方式和控制逻辑较为复杂, 在不同的网络流量下需要借用的 VC 输入端口不一样。文献[17]提出 ViChaR (dynamic Virtual Channel Regulator) 架构, 将输入端口内部的缓冲区进行共享。这种共享方式使得端口内部 VC 的数目和深度都有了较大的可变性, 其 FIFO 的资源利用率较传统 NoC 路由器要高, 但是其需要庞大的 VC 记录表和复杂的硬件来实现。文献[18]提出将输入端口内部的缓冲区进行共享, 不同的是该方案的 VC 数目有一定的限制。因此其实现较 ViChaR 而言较为简单, 但是每个输入端口处依旧需要维持一张关于 VC 状态的记录表。文献[19]将缓冲区划分成共享缓冲区和私有缓冲区, 将 VC 数目限制为 4 个。该方案通过对缓冲区的预存取操作降低了数据包的读写延时, 但是数据包如果不经旁路会被存储两次, 缓冲区的利用率较低。文献[20]所提方案中的缓冲区也是使用分布式方式放置在路由器中, 每个输入端口处依旧是独立的 VC 缓冲区, 但是增加了一组中间存储器, 其交叉开关部分设计较为复杂, 需要两个交叉开关。文献[21]没有采用缓冲区共享的方式来处理 FIFO 故障问题, 而是将链路、缓冲区等模块均细化为 4 个小模块, 使故障定位在具体的小模块中, 通过对故障模块的重定向来实现容错, 这是一种时间冗余的容错方案。

以上所述的容错路由算法的设计和路由器架构

的设计都较好的解决了 FIFO 的故障问题。但是, 很多的设计方案在输入端口处均没有为发往不同输出端口的数据包设置特定的存储单元, 这可能会导致头阻塞问题^[22]。头阻塞是指位于同一个 VC 的多个数据包中的第一个数据包, 因得不到交叉开关授权而被阻塞, 使其后面的所有数据包, 因要等待第一个数据包传输而不得被阻塞的现象。只要 VC 数目有一定的限制, 不等于 buffer 槽的总数, 大多数的可共享输入缓存的路由器架构都可能会产生头阻塞问题。文献[16]所提的 ViChaR 架构可以较好的处理头阻塞问题, 但是其开销太大, 需要庞大的 VC 控制表和较多的硬件逻辑设计。为解决头阻塞问题, 研究者们提出了 VOQ (Virtual Output Queue) 机制^[23], 使得从每个输入端口到不同的输出端口都有一个 VC 单元。同时, 考虑到 FIFO 的故障问题, 设计一种基于 VOQ 的可解决 FIFO 故障的容错方案显得尤为重要。文献[24]基于 VOQ 机制提出了 multiple VOQ 路由器, 将原有的 4 个 VC 变成 8 个 VC, 使得每个输出端口有 2 个 VC 与之对应。这种架构在发生故障或网络流量不均衡时, 端口对应的 FIFO 容量较小, 不能利用其他空闲 FIFO 存储数据。文献[25]探究了 FVADA (Fixed VC Assignment with Dynamic Allocation) VC 分配机制, 通过动态的 VC 分配达到 FIFO 的高利用率, 在实现 FIFO 容错的同时也解决了 FIFO 拥塞问题, 但当网络流量较大时仍然会有头阻塞问题产生。

本文针对路由器中的 FIFO 故障问题, 提出了一种对 VOQ 路由器的改进架构——相邻虚通道循环共享 (Virtual channel Loop Sharing, VLS) 路由器。这种路由器在保持 VOQ 特性不变的基础上, 通过结合循环共享相邻 VC 和旁路机制来进行容错, 同时有效地缓解了网络的拥塞现象。当发往特定输出端口的数据包所对应的 FIFO 故障时, 数据包可借用相邻 VC 的 buffer 槽存储或绕过故障 FIFO 以实现容错。此外, 当所申请的 FIFO 拥塞时, 数据包也可使用相邻 VC 存储, 充分地利用了相邻 VC 的空闲 buffer 槽, 较好地提升了网络的整体性能。为保证 VOQ 特性, 我们设计出了一种基于双向队列的 FIFO 控制器, 通过控制两套读写指针实现对借用 VC 数据包和非借用 VC 数据包的读写操作。

2 头阻塞和基准的 VOQ 路由器

如图 1 所示, 传统的 NoC 路由器^[26]由以下部

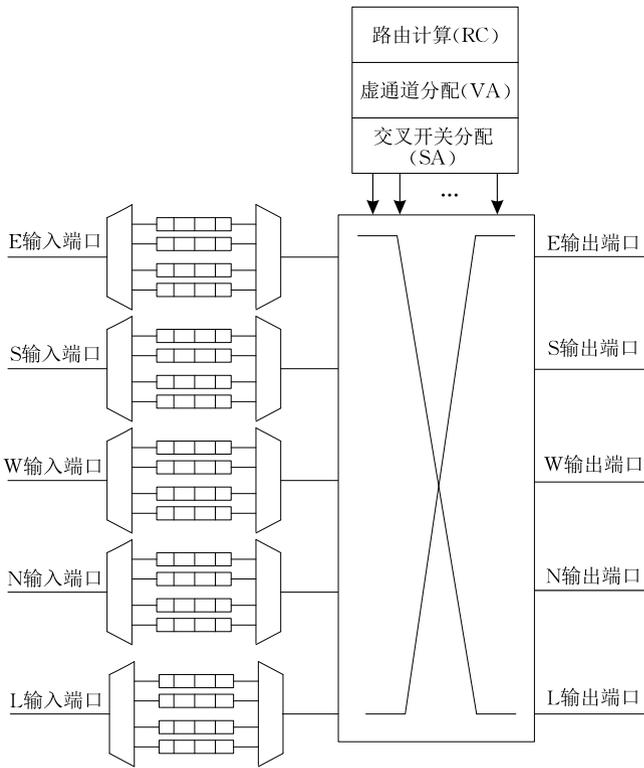
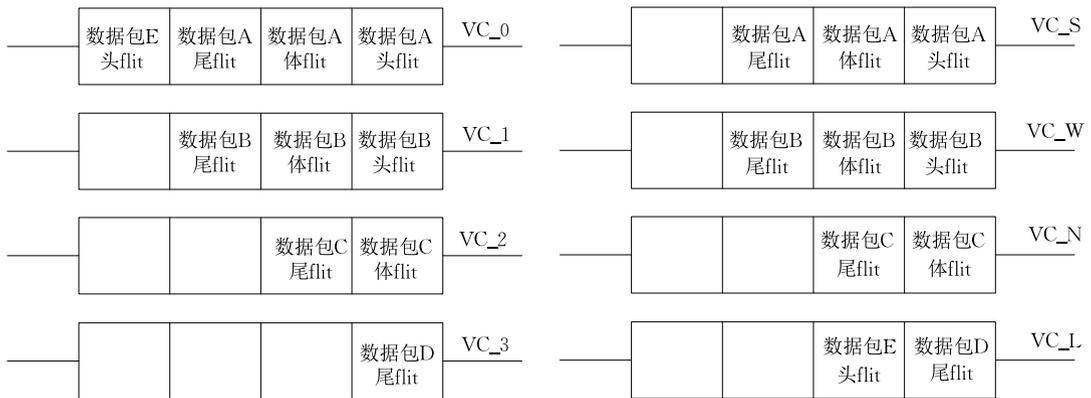


图 1 传统的 NoC 路由器

分组成:5 个输入端口(E、S、W、N、L)、路由计算模块、虚通道分配器、交叉开关分配器、5 个输出端口(E、S、W、N、L)和一个 5×5 的交叉开关(crossbar)



(a) 传统的 NoC 路由器

(b) 基准的 VOQ 路由器

图 2 传统的 NoC 路由器和基准的 VOQ 路由器

VOQ 路由器的特定 VC 映射特定输出端口的特性,虽然较传统 NoC 路由器简化了虚通道分配和交叉开关分配操作,但是当某个 VC 故障时却无法完成从输入端口到某个输出端口的数据传输.以图 2 为例,若图 2(a)中任意一个 VC 发生故障,数据包均可以发往其他 3 个 VC 来实现存储转发.而图 2(b)中的 VC 发生故障时,数据包无法发送至该故障 VC 对应的输出端口.因此,对 VOQ 路由器的容错

模块.每个输入端口有多个 VC,数据包从输入端口进入路由器后,会经过路由计算、虚通道分配、交叉开关分配、交叉开关传输、链路传输 5 个阶段的流水,完成数据包的存储转发.

VOQ 路由器是在传统的 NoC 路由器基础上改进的,简化了虚通道分配和交叉开关分配的操作.传统 NoC 路由器在网络负载大的情况下很容易发生头阻塞问题.头阻塞将会增加网络通信延时从而进一步增大网络拥塞状态,如图 2(a)所示,以 E 输入端口为例,它有 4 个 VC(VC-0、VC-1、VC-2、VC-3).我们假定数据包 A、B、C 分别发往输出端口 S、W、N,数据包 D 和数据包 E 均发往输出端口 L.在传统的 NoC 中,数据包 E 进入输入端口后会随机选择一个 VC,图中随机选择的是 VC_0.此时,若发往输出端口 S 的路径遇到阻塞,这将导致数据包 A 停留在 VC-0 中迟迟不能转发,使得 VC-0 中的后续数据包 E 也无法发送,形成头阻塞问题.文献[23]提出了能有效解决头阻塞问题的 VOQ 机制.VOQ 机制主要思想就是把输入端口中 VC 分别映射到不同的输出端口,这样一个 VC 中只存有发往同一个输出端口中的数据,如图 2(b)所示,其中 VC-S、VC-W、VC-N、VC-L 只能存储发往 S、W、N 和 L 输出端口的数据,从根本上避免了头阻塞的发生.

很有必要的.此外,VOQ 机制不适用于 mesh 拓扑中的不平衡通信.以 E 输入端口为例,若在某一时间段内由 E 输入端口发往 S 输出端口的数据包数目明显多于发往 W、N 和 L 输出端口的数据包,VOQ 路由器就会出现 VC-S 满,但 VC-W、VC-N 和 VC-L 有空闲的状态.鉴于此,针对 VOQ 路由器可能发生的拥塞现象,合理地利用空闲 VC 来缓解拥塞是研究的另一个重点.

3 VLS 路由器架构及其容错原理

3.1 故障及拥塞分析

以 E 输入端口为例, VC-S、VC-W、VC-N、VC-L 分别表示存放发往输出端口 S、W、N、L 的数据包的 VC。图 3(a)所示的是每个 VC 均能正常工作的情况,此时没有故障和拥塞的发生,无需借用相邻 VC。如果 VC-S 出现拥塞,如图 3(b)所示,由 E 输入端口发往 S 输出端口的数据包只能被缓存在上级路由器中,会造成上级路由器的拥塞,增大网络延时,降低吞吐率。因此,充分利用可用资源来缓解网络拥塞现象是非常有必要的。若输入端口中某个 VC 出现故障,如图 3(c)所示,VC-S 发生故障,则在特定输入端口对应特定输出的 VOQ 路由器中,由 E 输入端口发往 S 输出端口的数据包无法正常传输。如果没有相应的容错措施,会使网络的性能越来越差,因此在设计 VOQ 路由器时必须考虑 VC 故障问题。

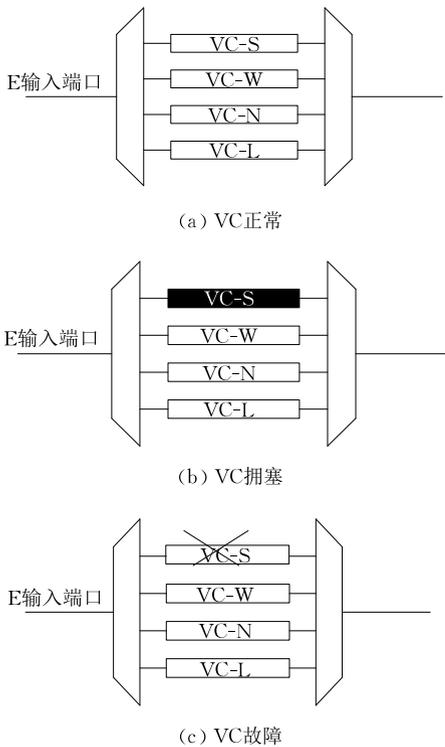


图 3 VC 故障及拥塞分析

3.2 VLS 路由器架构

由于 VOQ 路由器架构在实际应用过程中可能出现网络流量不均衡问题以及发生因为某个 FIFO 故障而导致的发往特定输出端口的数据包无法正常传输的情况,故本文提出了在输入端口内部共享相邻 VC 存储数据包的方法,以实现端口内部相邻虚

通道循环共享的 VLS 路由器设计。

VLS 路由器如图 4 所示,主要由 5 个输入输出端口、路由计算模块、虚通道分配模块、交叉开关分配模块和旁路控制器组成。其中,路由计算模块采用的是前向路由技术,数据包从输入端口进入后会同步进行路由计算和虚通道分配操作,此时路由计算的结果是数据包在进入下级路由器后需要发往的输出端口。这种前向路由技术使得数据包在路由器中的传输变成 4 阶段的流水,一定程度上减少了数据包在网络中传输的延时。由于本文架构是在 VOQ 路由器架构上进行改进的,故仍然保持 VOQ 架构关于特定 VC 映射特定输出端口的性质,较传统 NoC 路由器而言,简化了虚通道分配和交叉开关分配操作,防止了头阻塞的发生。

数据包在进入输入端口后,会经过 VC 选择器、双向 FIFO 控制器和输出选择器阶段,接受交叉开关的仲裁,图 5 所示的即为 E 输入端口的控制逻辑。由于本文所提到的 FIFO 故障指的是永久故障,故可以通过 BIST 检测进行测试。在工作模式之前,系统首先工作在测试模式,启动 BIST 检测机制,对路由器中的 FIFO 进行故障检测。测试结束后,将 FIFO 的故障信息传送给 VC 选择器模块,根据相应的故障信息判断是否借用相邻的 VC。

VC 选择器。数据包会有一个 VCID 域和一个 BVC 域,VCID 域里的信息表示数据包会发往哪个 VC,BVC 域表示数据包是否有借用 VC,若借用,则 BVC 域的值为 1,若没有借用,则值为 0。此模块析取数据包的 VCID 域信息,接收来自 BIST 测试模块发送的 FIFO 的故障信息,以及双向 FIFO 控制器的满信息,判断是否共享相邻 VC,以分配合适的 VC 给到来的数据包。

双向 FIFO 控制器。由于同一 VC 的 FIFO 中可能会存有发往两个输出端口的数据包,故需要双向 FIFO 控制器来实现两种数据包的读写过程。为了保证改进后的路由器依旧保持 VOQ 的特性,我们对 FIFO 的控制逻辑做出改变,设定两套读写指针。两种数据包分别从 FIFO 的两端开始进行读写操作,对借用 VC 的数据包的操作采用指针控制器 1 来控制,非借用 VC 的数据包的操作采用指针控制器 2 来控制。

输出选择器。为了保证交叉开关操作的简洁性,输出选择器模块接收来自双向 FIFO 控制器的空信息,通过判断 FIFO 中的数据来实现对发往同一输出端口的数据包的仲裁选择。输出选择器模块内部

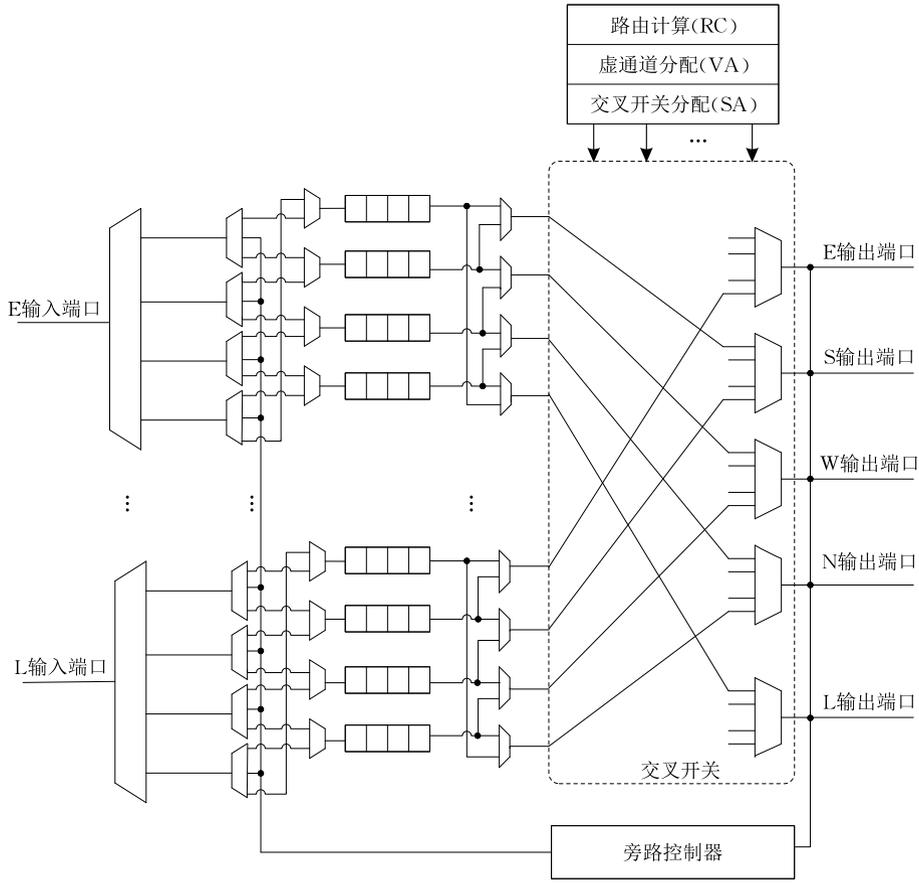


图 4 VLS 路由器架构

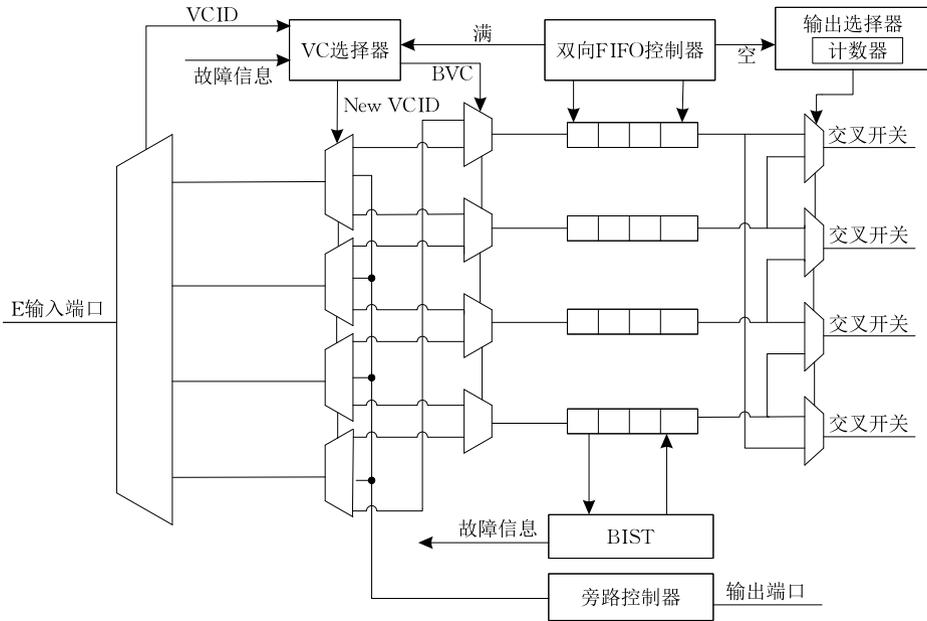


图 5 E 输入端口

有一个计数器,用于计算数据包输出仲裁时连续选择同一个 VC 的次数. 为避免饥饿的发生,当计数器大于某一特定值时选择另一条 VC 输出数据包,同时将计数器复位至 0,重新开始计数. 以 E 输入端口发往 S 输出端口的仲裁为例,该仲裁通过判断

VC-S 中非借用的 FIFO 和 VC-W 中借用的 FIFO 即 VC-W(S) 是否有数据来做出决策,0 表示无数据包,1 表示有数据包,其仲裁决策如表 1 所示. X 表示维持上周期决策结果.

表 1 E 输入端口中 S 输出的数据包仲裁选择

VC-S	VC-W(S)	输出选择器
0	0	X
0	1	VC-W(S)
1	0	VC-S
1	1	VC-W(S)

由表 1 可以看出, 本文优先传输借用 VC 中的 FIFO 的数据包, 这样的优点是尽可能的减少因借用导致的正常数据包传输的关键路径延迟的增大。

旁路控制器. 若 BIST 发送的故障信息显示数据包要存储的 VC 及其相邻 VC 均故障时, 可通过 VC 选择器模块选择旁路总线来绕过故障 VC, 从相对应的输出端口进行输出. 当旁路控制器有多个旁路请求时, 选择最先到来的数据包输出。

3.3 双向 FIFO 控制器

本文的 FIFO 模块要存储借用 VC 的数据包和非借用 VC 的数据包, 因此其与控制逻辑较传统路由器的 FIFO 有所不同. 当网络中出现 VC 故障或拥塞时, 双向 FIFO 控制器的设计在本文的容错方案中必不可少, 故对其做出详细的说明. 图 6 显示了双向 FIFO 控制器的主要构成部件, 双向 FIFO 控制器主要由 2 个指针控制器和 1 个比较器组成. 每个指针控制器控制一组读写指针, 其中指针控制器 1 控制的是借用 VC 的数据包的读写操作, 指针控制器 2 控制的非借用 VC 的数据包的读写操作. 两组读写指针的时钟信号不同时有效, 同一时刻只能允

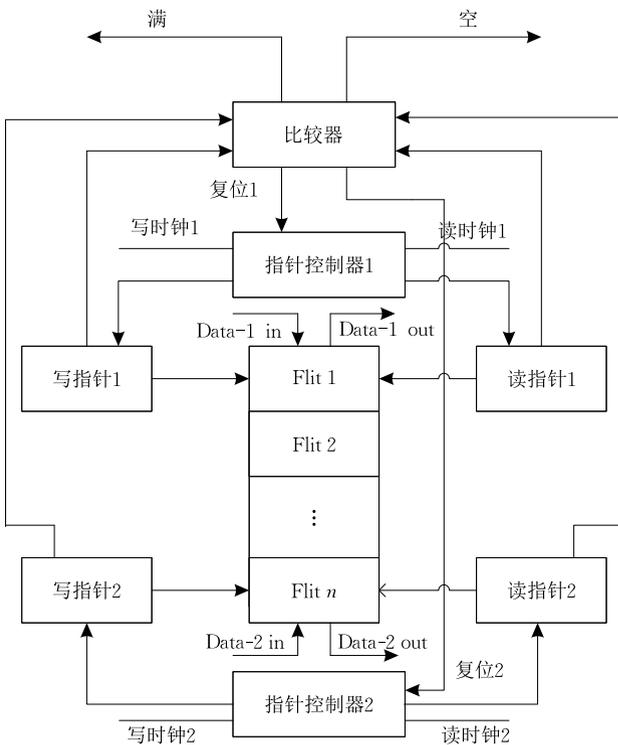


图 6 双向 FIFO 控制器

许一组数据的读写. 比较器根据两组读写指针的位置来判断 FIFO 的状态, 判定满和空信号是否有效。

我们用 a_2 指代写指针 2 的值, 用 a_1 指代写指针 1 的值, 用 b_2 指代读指针 2 的值, 用 b_1 指代读指针 1 的值, 假设 FIFO 共有 n 个 buffer 槽, 则判定条件如下:

- (1) $b_2 - a_2 = 1$, 则非借用 FIFO 满.
- (2) $b_1 - a_1 = 1$, 则借用 FIFO 满.
- (3) $a_2 = b_2$, 则非借用 FIFO 空.
- (4) $a_1 = b_1$, 则借用 FIFO 空.

3.4 VLS 路由器容错方案

由于路由器中 FIFO 面积所占比重较大, 且在 FIFO 故障和拥塞情况下会严重影响网络性能. 因此, 对 VOQ 路由器的容错和平衡负载的研究显得尤为重要. 本文提出的 VLS 路由器通过借用相邻 VC 来存储数据包, 在保证 VOQ 特性不变的同时有效地容忍了 VC 故障. 当端口内部中出现不同情况的故障时, 本文的容错方案如下:

(1) 单 VC 故障. 即 VOQ 路由器中输入端口内部某个 VC 出现故障, 我们以 E 输入端口的 VC-S 为例. 当 E 输入端口有发往输出端口 S 的数据包 A 请求到来时, VC 选择器会接收到 BIST 发送的 VC-S 的故障信息和双向 FIFO 控制器发送的满信息, 判断是否共享 VC-W 给数据包 A.

若 VC-W 的满信号无效, 此时 VC-W 没有拥塞, 更改数据包 A 的 VCID 域值为 VC-W, 同时置数据包的 BVC 域值为 1. 指针控制器 1 将数据包存储在 VC-W 中. 若 VC-W 拥塞, 则更改数据包 A 的 VCID 域值为 VC-W, 置 BVC 域值为 1, 等 VC-W 有空闲 buffer 槽后, 将数据包 A 存储至 VC-W 中。

(2) 多 VC 故障. 即 VOQ 路由器中输入端口内有多个 VC 出现故障的情况, 我们将其细化为多个单 VC 故障来解决问题. 针对每个单 VC 故障, 首先查看其相邻 VC 是否故障, 若故障则通过旁路总线绕过故障 VC, 若无故障则可以借用相邻 VC 实现容错。

综上所述, 本文方案所设计的路由器有着一定的容错能力. 当 VLS 路由器内部发生不同数目的 VC 故障时, 该路由器性能有可能不受故障影响, 与无故障时等同. 如图 7 所示, 在不同的 VC 故障数时, 路由器性能不变的概率. 其中, 每个输入端口内部有 4 个 VC, 每个路由器有 5 个输入端口, 路由器内部共有 20 个 VC. 从图中可以看出, 当路由器中出现 8 个 VC 故障, 即故障率为 40% 时, 路由器性能不变的概率为 23.4%. 由此可以看出, 本文方案的

容错能力较好,对网络的延迟没有带来较大的影响.同时,旁路总线的使用,保证了路由器中出现不同 VC 故障率时,路由器依旧可以正常运行,网络连通性较好,无节点损失.

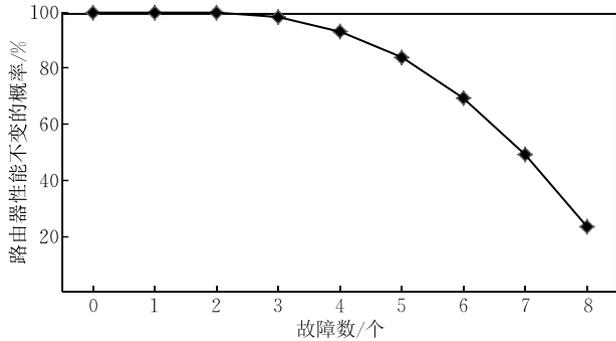


图 7 不同故障数时路由器性能不变的概率

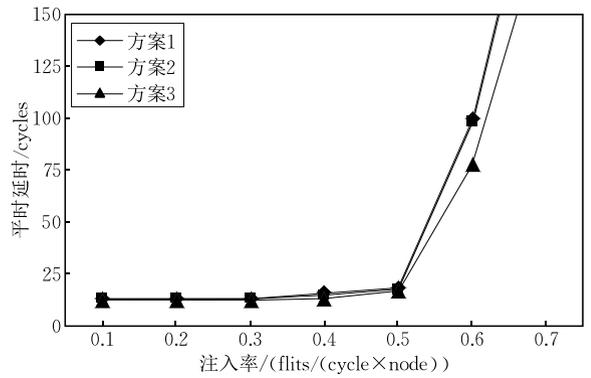
4 实验结果和分析

本文采用在 Booksim^[27] 基础上进行扩展的仿真器作为本文的实验平台,搭建的拓扑结构为 4×4 的 Mesh 结构.针对不同的 VOQ 路由器设计方案,在性能和面积上进行比较.方案 1 为基准的 VOQ 路由器设计,方案 2 是文献[24]提出的 multiple VOQ 路由器,方案 3 为本文提出的 VLS 路由器. FIFO 的大小为 32 个 flits,每个路由器均有 5 个输入输出端口.方案 1 和方案 3 中每个 FIFO 有 4 个 VC,每个 VC 大小为 8 个 flits.方案 2 中每个 FIFO 有 8 个 VC,每个 VC 大小为 4 个 flits.

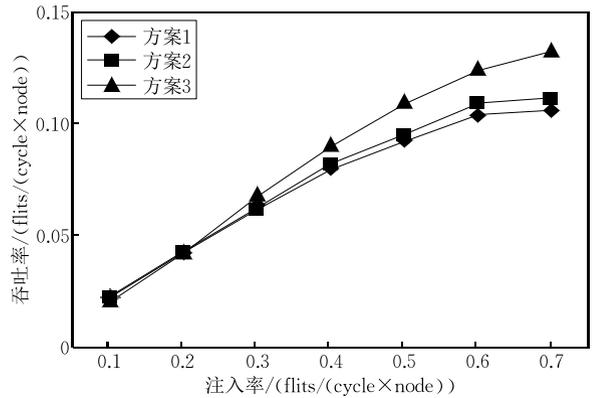
4.1 性能比较

本文实验采用维序路由机制,通过在网络中设定不同的 VC 故障数,故障发生位置相同,来分别比较延时和吞吐量.延时是数据包从进入网络,到尾部离开网络的时间的差的平均值.吞吐量反映了单位时间内网络接收或发送的消息量.实验的通信模式为均匀模式和热点模式,采样周期为 1000.

图 8 和图 9 所示的是在均匀模式和热点模式下,当故障数为 0 时,3 种方案在不同注入率下的延时和吞吐率的比较.从图中我们可以看出,在注入率很小的时候,3 条曲线几乎重合.随着注入率的不断增大,3 种方案的延时越来越大,但本文方案的增长趋势较为缓慢.方案 1 和方案 2 在无故障数的情况下,其延时和吞吐量几乎一样,这是因为针对某一特定输出端口都只有 8flits 的 buffer 槽用于存储数据包.本文方案在注入率较小时,曲线与方案 1 的接近,因为此时网络没有达到饱和,不需要考虑单个

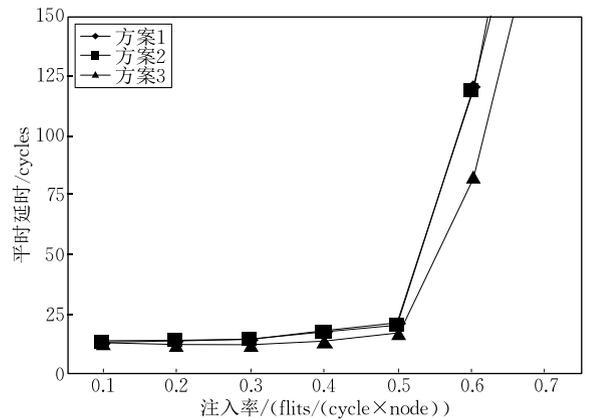


(a) 平均延时

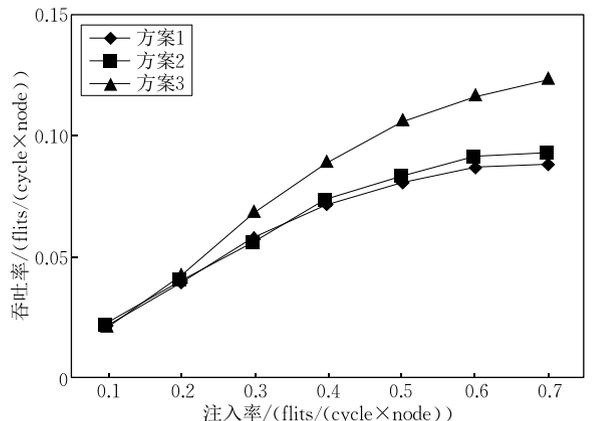


(b) 吞吐量

图 8 均匀模式下无故障



(a) 平均延时



(b) 吞吐量

图 9 热点模式下无故障

VC 不够用的问题. 但当注入率继续增大时, 本文方案就有一定的优势, 通过借用, 可以增加网络的吞吐量, 减小延时. 在均匀模式下, 当注入率为 $0.6 \text{ flits}/(\text{cycle} \times \text{node})$ 时, 与方案 2 相比较, 本文方案的延时减少了 21.1%, 吞吐率增多了 19.7%. 在热点模式下, 当注入率为 $0.6 \text{ flits}/(\text{cycle} \times \text{node})$ 时, 本文方案比方案 2 的延时减少了 30.3%, 吞吐率增多了 29.4%. 随着注入率的不断增大, 热点模式较均匀模式更容易产生拥塞现象, 而本文方案可以缓解网络拥塞问题, 故本文方案在热点模式下的性能要优于均匀模式.

图 10 和图 11 显示了在均匀模式和热点模式下, 当故障数为 4 时, 3 种方案延时和吞吐率的比较. 随着注入率的不断增大, 本文方案在延时上的增长速度明显小于其他两种方案. 随着注入率的不断增大, 延时急剧增大, 网络达到饱和状态. 方案 1 的延时最大, 因为它没有考虑到容错问题. 而在方案 2 中每个特定输出端口对应 2 个 VC, 在某个 VC 故障时利用另一个 VC 来存储数据包, 具有一定的容错能力, 故性能优于方案 1. 本文方案中可以共享相邻

VC, 通过相邻 VC 的借用实现容错, 其 VC 的容量大于方案 2 中 VC 的容量, 故注入率越大, 吞吐率越高, 性能较前两种方案越好. 在均匀模式下, 当注入率为 $0.4 \text{ flits}/(\text{cycle} \times \text{node})$ 时, 本文方案比方案 2 延时降低了 30.4%, 吞吐率升高了 23.3%. 在热点模式下, 同样的注入率时, 与方案 2 相比, 本文方案延时降低了 36.3%, 吞吐率升高了 31.9%. 随着注入率不断增大, 本文方案在热点模式下的性能要优于均匀模式, 因为热点模式下所有数据包都发往热点, 较均匀模式更容易产生拥塞.

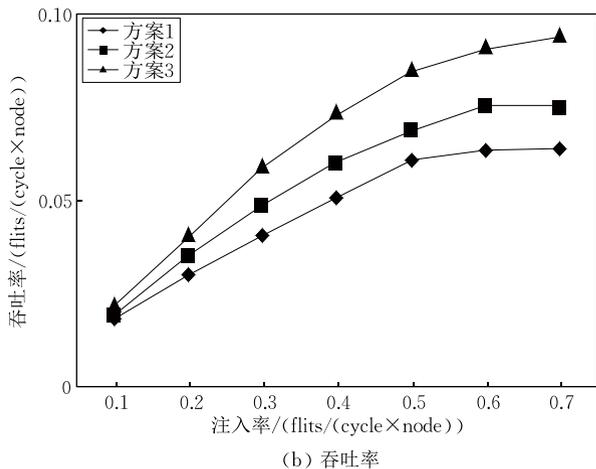
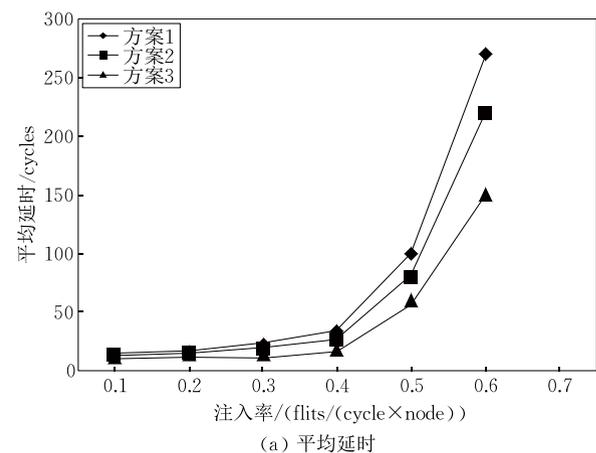


图 10 均匀模式下 4 故障数

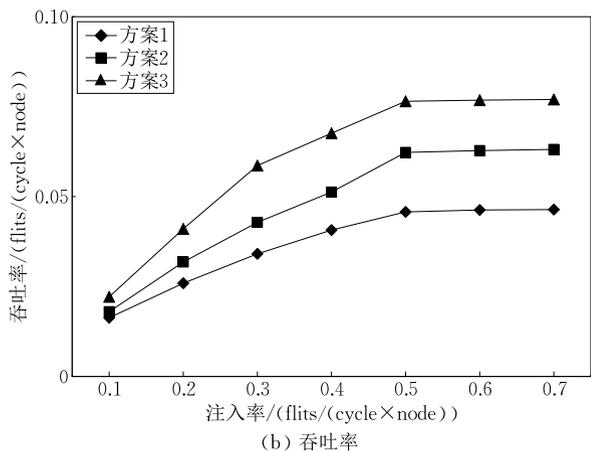
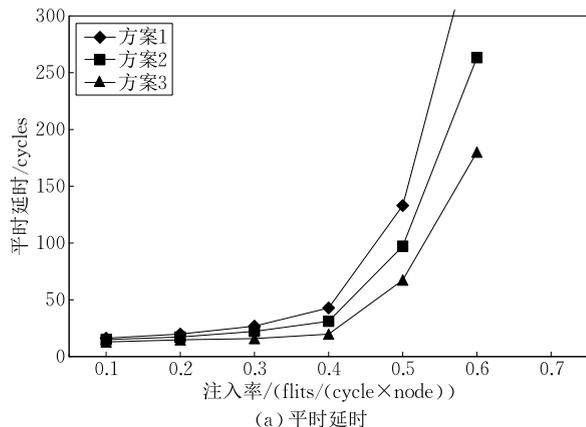
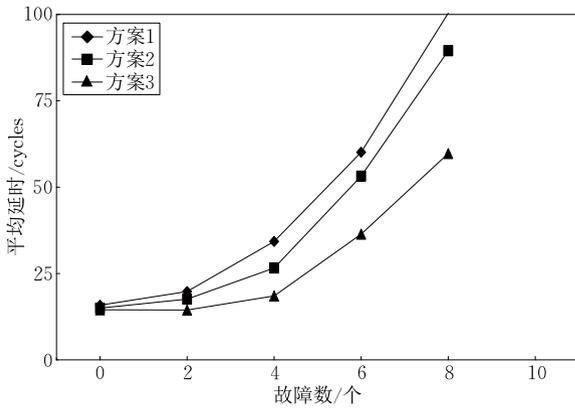
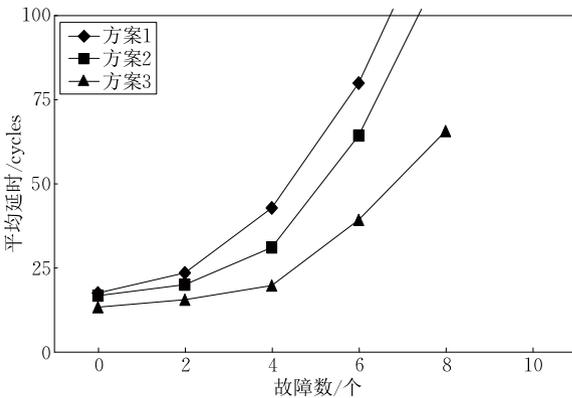


图 11 热点模式下 4 故障数

图 12 是在均匀模式和热点模式下, 当注入率为 $0.4 \text{ flits}/(\text{cycle} \times \text{node})$ 时, 3 种方案在不同的故障数下的延时比较. 在相同的注入率下, 随着故障数的增多, 数据包的延时增大, 从图中可以看出, 方案 2 的延时要优于方案 1, 本文方案的延时是 3 种方案中最低的. 如当故障数为 6 时, 均匀模式下本文的延时较方案 1 和方案 2 分别降低了 39.5% 和 31.6%, 热点模式下本文方案的延时比方案 1 和方案 2 分别降低了 50.8% 和 38.9%. 这是因为本文提出的路由器能够有效地解决 VC 故障问题, 并且较好地缓解网络拥塞.



(a) 均匀模式



(b) 热点模式

图 12 不同故障数的平均延时

4.2 硬件开销

本文使用 Xilinx ISE 14.6 实验工具,在 Xilinx Virtex-5 XC5VFX70T 环境下进行 3 种方案路由器的硬件仿真实验,通过 Verilog-HDL 语言描述相关硬件逻辑,并结合使用 ModelSim 10.2c 进行功能和结构仿真.方案 1 为基准的 VOQ 路由器设计,方案 2 是文献[24]提出的 multiple VOQ 路由器,方案 3 为本文提出的 VLS 路由器.这 3 种方案的缓冲区大小是一致的,实验仿真结果如表 2 所示.从中我们可以看出,本文所提出的 VLS 路由器的硬件开销大于方案 1 和方案 2.方案 2 的硬件开销大于方案 1 的原因在于,输入端口内部有两个 VC 可以映射到特定的输出端口,其控制逻辑较为复杂,同时需要建立 VC 存取控制表.本文方案是在方案 1 的基础上进行改进,增加了 VC 选择器、双向 FIFO 控制器等控制模块,同时还有 BIST 检测模块,因此硬件开销比方案 1 大.本文方案比方案 2 要略大,因为方案 2 的交叉开关控制逻辑变得复杂,而交叉开关在路由器中面积所占比重较大.本文方案的 Slices、LUTs 和 Flips-Flops 较 Multiple VOQ 路由器分别增加了 15.1%、14.7% 和 9.1%.

表 2 路由器硬件实现

	端口数	VC 数	数据宽度	Buffer 大小	Slices	LUTs	Flips-Flops
VOQ 路由器	5	4	16-bit	4-flit	294	1119	299
Multiple VOQ 路由器	5	4×2	16-bit	2-flit	727	2490	793
VLS 路由器	5	4	16-bit	4-flit	837	2857	865

5 总 结

随着集成电路产业的不断发展,可靠性成为我们研究的重点.本文所提出的路由器通过端口内相邻 VC 的借用,实现相邻 VC 的循环共享,有以下几点贡献:(1)若端口内部的 VC 出现故障或拥塞,将数据包传入其相邻 VC,共享相邻 VC 的 buffer 槽存储数据,实现了对故障 VC 的容错,一定程度上缓解了网络拥塞问题;(2)通过利用端口的相邻 VC 来存储数据包,没有增加额外的 FIFO,且循环共享的方式保证了每个 VC 都可以借用和被借用;(3)设计了一种有两套读写指针的 FIFO 控制器,在共享相邻 VC 的同时,保证了 VOQ 的特性没有改变.实验表明,本文所提出的基于 VOQ 机制的 VLS 路由器具有容错能力,适应于不同网络流量,大幅度提高了网络的性能.

参 考 文 献

- [1] Dally W J, Towles B. Route packets not wires; On-chip interconnection networks//Proceedings of the International Conference on Design Automation. New York, USA, 2001: 684-689
- [2] John D, Dally W J, Ho R, et al. Research challenges for on-chip interconnection networks. IEEE Micro, 2007, 27(5): 1-96
- [3] Benini L, De Micheli G. Networks on chips: A new SoC paradigm. IEEE Computer, 2002, 35(1): 70-78
- [4] Zhu Hong-Lei, Peng Yuan-Xi, Yin Ya-Ming, et al. A NoC router with dynamically allocated virtual-output-queueing. Journal of Computer Research and Development, 2012, 49(1): 183-192(in Chinese)
(朱红雷, 彭元喜, 尹亚明等. 一种动态分配虚拟输出队列结构的片上路由器. 计算机研究与发展, 2012, 49(1): 183-192)
- [5] Zheng Xiao-Fu, Gu Hua-Xi, Yang Yin-Tang, et al. Pre-allocated path based low latency router architecture for network-on-chip. Journal of Electronics & Information Technology, 2013, 35(2): 341-348(in Chinese)
(郑小富, 顾华玺, 杨银堂等. 基于提前分配路径的低时延片上路由器结构. 电子与信息学报, 2013, 35(2): 341-348)

- [6] Ouyang Yi-Ming, Zhang Yi-Dong, Liang Hua-Guo, et al. Design of fault-tolerant router for 3D NoC based on virtual channel fault granularity partition. *Journal of Computer Research and Development*, 2014, 51(9): 1993-2002 (in Chinese)
(欧阳一鸣, 张一栋, 梁华国等. 基于虚通道故障粒度划分的 3D NoC 容错路由器设计. *计算机研究与发展*, 2014, 51(9): 1993-2002)
- [7] Ouyang Yi-Ming, Chen Yi-Jun, Liang Hua-Guo, et al. Design of a low-overhead fault channel isolated fault-tolerant router. *Acta Electronica Sinica*, 2014, 42(11): 2142-2149(in Chinese)
(欧阳一鸣, 陈义军, 梁华国等. 一种故障通道隔离的低开销容错路由器设计. *电子学报*, 2014, 42(11): 2142-2149)
- [8] Ouyang Yi-Ming, Yang Xin, Liang Hua-Guo, et al. A contention-free scheduling method based on path-tree in NoC. *Journal of Computer-Aided Design & Computer Graphics*, 2015, 27(3): 533-541(in Chinese)
(欧阳一鸣, 杨鑫, 梁华国等. NoC 中基于路径树的无冲突测试调度方法. *计算机辅助设计与图形学学报*, 2015, 27(3): 533-541)
- [9] Latif K, Rahmani A M, Vaddina K R, et al. Enhancing performance sustainability of fault tolerant routing algorithms in NoC-based architectures//*Proceedings of the 14th Euromicro Conference on Digital System Design*. Oulu, Finland, 2011: 626-633
- [10] Ouyang Yi-Ming, Zhang Yi-Dong, Liang Hua-Guo, et al. A fault-tolerant design of faults and congestion-aware router in three-dimensional Network-on-Chip. *Acta Electronica Sinica*, 2013, 41(5): 912-917(in Chinese)
(欧阳一鸣, 张一栋, 梁华国等. 三维片上网络故障及拥塞感知的容错路由器设计. *电子学报*, 2013, 41(5): 912-917)
- [11] Fu W W, Shao J C H, Xie B, et al. Design of a high-throughput NoC router with neighbor flow regulation//*Proceedings of the 14th International Conference on High Performance Computing and Communications*. Liverpool, US, 2012: 493-500
- [12] Ouyang Yi-Ming, Ni Jin-Zhao, Liang Hua-Guo. Design of Network-on-Chip groupware based on Hamming code and built-in self-test. *Journal of Applied Sciences—Electronics and Information Engineering*, 2010, 28(5): 519-526(in Chinese)
(欧阳一鸣, 倪晋照, 梁华国. 应用海明码和内置自测试技术设计片上网络组件. *应用科学学报*, 2010, 28(5): 519-526)
- [13] DeOrio A, Fick D, Bertacco V, et al. A reliable routing architecture and algorithm for NoCs. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2012, 31(5): 726-739
- [14] Fu Bin-Zhang, Han Yin-He, Li Hua-Wei, et al. Building resilient NoC with a reconfigurable routing algorithm. *Journal of Computer Aided Design & Computer Graphics*, 2011, 23(3): 448-455(in Chinese)
(付斌章, 韩银和, 李华伟等. 面向高可靠片上网络通信的低成本可重构路由算法. *计算机辅助设计与图形学学报*, 2011, 23(3): 448-455)
- [15] Feng Chao-Chao, Zhang Min-Xuan, Jiang Jiang, et al. Design and optimization of a fault-tolerant deflection router for networks-on-chip. *Computer Engineering & Science*, 2012, 34(2): 56-61(in Chinese)
(冯超超, 张民选, 蒋江等. 面向片上网络容错偏转路由器设计与优化. *计算机工程与科学*, 2012, 34(2): 56-61)
- [16] Latif K, Rahmani A M, Liang G, et al. PVS-NoC: Partial virtual channel sharing NoC architecture//*Proceedings of the 19th International Euromicro Conference*. New Jersey, USA, 2011: 470-477
- [17] Nicopoulos C A, Park D, Kim J, et al. ViChaR: A dynamic virtual channel regulator for Network-on-Chip routers//*Proceedings of the 39th Annual IEEE/ACM International Symposium on Microarchitecture*. Florida, USA, 2006: 333-346
- [18] Neishaburi M H, Zilic Z. Reliability aware NoC router architecture using input channel buffer sharing//*Proceedings of the 19th ACM Great Lakes symposium on VLSI*. New York, USA, 2009: 511-516
- [19] Zhang H Y, Wang K F, Liu L. A multi-VC dynamically shared buffer with prefetch for network on chip//*Proceedings of the 7th IEEE International Conference on Networking, Architecture, and Storage*. Xiamen, China, 2012: 320-327
- [20] Ramanujam R S, Soteriou V, Lin B, et al. Design of a high-throughput distributed shared-buffer NoC router//*Proceedings of the 4th ACM/IEEE International Symposium on Networks-on-Chip*. Grenoble, France, 2010: 69-78
- [21] Liu C, Zhang L, Han Y, et al. A resilient on-chip router design through data path salvaging//*Proceedings of the 16th Asia and South Pacific on Design Automation Conference*. Yokohama, Japan, 2011: 437-442
- [22] DiTomaso D, Morris R, Kodi A K, et al. Extending the energy efficiency and performance with channel buffers, crossbars, and topology analysis for Network-on-Chips. *IEEE Transactions on Very Large Scale Integration Systems*, 2013, 21(11): 2141-2154
- [23] Tamir Y, Frazier G L. High-performance multi-queue buffers for VLSI communications switches//*Proceeding of the 15th Annual International Symposium on Computer Architecture*. Honolulu, USA, 1988: 343-354
- [24] Nguyen S T, Oyanagi S. A low cost single-cycle router based on virtual output queuing for on-chip networks//*Proceedings of the 13th Euromicro Conference on Digital System Design, Architectures, Methods and Tools*. Lille, France, 2010: 60-67
- [25] Xu Y, Zhao B, Zhang Y, et al. Simple virtual channel allocation for high throughput and high frequency on-chip routers//*Proceedings of the 16th International Symposium on High Performance Computer Architecture*. Bangalore, India, 2010: 1-11

- [26] Dally W J, Towles B. Principles and Practices of Interconnection Networks. San Francisco: Morgan Kaufmann, 2004
- [27] Jiang N, Becker D U, Micheli G, et al. A detailed and flexible cycle-accurate Network-on-Chip simulator//

Proceedings of the IEEE International Symposium on Performance Analysis of Systems and Software. Austin, USA, 2013: 86-96



OUYANG Yi-Ming, born in 1963, Ph. D., professor. His research interests include System-on-Chip and Network-on-Chip, synthesis and test of embedded systems, and digital systems design.

WANG Qiao, born in 1991, M. S. candidate. Her main research interests include System-on-Chip and Network-on-Chip.

LIANG Hua-Guo, born in 1959, Ph. D., professor. His research interests include synthesis and test of embedded systems, digital systems and ATPG algorithms.

YI Mao-Xiang, born in 1964, Ph. D., professor. His current research interests include VLSI test and computer application.

WANG Xiu-Min, born in 1984, Ph. D., associate professor. Her research interests include optimization of network routing, network coding, distributed storage systems, wireless network resource allocation and management.

Background

This work is funded by the National Natural Science Fund Project (61474036, 61371025, 61274036) and the Anhui Province Natural Science Fund Project (1508085MF117). With the continuous development of integrated circuit (IC) industry, scalability in SoC encountered bottlenecks in some aspects such as design, but NoC can solve these problems well, which has received extensive attention of scholars. The yield of the problems of large scale manufacturing makes it important that during the chip design process fault-tolerant problem need to be taken into account. Router is responsible for the store and forward packets, in which buffer accounts for a large area in a router, so it is necessary to propose a fault-tolerant scheme for buffer in a router. As we know, traditional fault-tolerant methods for the buffer solve the problems brought by the virtual channel fault and improve the buffer utilization. However, vast majority of schemes for buffer fault-tolerance never take the head of blocking (HoL) into account. Nevertheless, this paper can solve the problem by combining VOQ mechanism, a certain improvement of the router architecture is applied and the design of VOQ Fault

Tolerant Router which is loop-shared by adjacent virtual channels is proposed. To sum up, the contributions are listed as follows:

(1) When a fault or congestion happens in the virtual channels of the port, the corresponding packets will be sent to an adjacent virtual channel, which achieves the fault-tolerance for the buffer and alleviates the congestion to some degree;

(2) It is innovative that this kind of router can store packets by using the adjacent virtual channels without extra FIFO, and the loop-share ensures that each virtual channel can store packets from other fault virtual channels and can send their packets to other virtual channels;

(3) This paper designs a FIFO controller based on a bidirectional queue, in which two sets of read/write pointers read or write packets no matter which virtual channels they are stored in;

(4) Extra bypass buses can guarantee that the router can still route packets and the connectivity of the entire network in the case of all the input virtual channels break down.