

PCRAM 损耗均衡研究综述

何炎祥¹⁾ 陈木朝^{1),2)} 李清安¹⁾ 何 静³⁾ 沈凡凡¹⁾ 帅子琦¹⁾ 徐 超⁴⁾

¹⁾(武汉大学计算机学院 武汉 430072)

²⁾(广东交通职业技术学院信息管理中心 广州 510650)

³⁾(肯尼索州立大学计算机科学系 玛丽埃塔 美国 30060)

⁴⁾(南京审计大学工学院 南京 210029)

摘 要 随着半导体工艺的高速发展,计算机系统中处理器与主存之间性能差距的不断增大,传统存储器件的集成度已接近极限,能耗问题也日益突出,当前传统的主存技术面临挑战.相变随机存储器(PCRAM)具有集成度高、功耗低、非易失、字节级编址等优良特性,是最有发展潜力的、最有可能完全取代 DRAM 主存的非易失性存储器之一.首先介绍了 PCRAM 的发展与应用现状,指出 T 型结构是当前学术界和产业界广泛采用的器件结构,目前已经有 PCRAM 产品逐步开始量产并投入商业应用.然后,介绍了 PCRAM 当前面临的挑战,指出 PCRAM 面临的写耐久性局限是限制期发展与应用的主要障碍之一,分布不均匀的写操作会使 PCRAM 快速失效.接着,从硬件辅助和软件辅助两个角度分别介绍了当前研究人员所提出的一些具有代表性的 PCRAM 损耗均衡技术,在分析和归纳当前研究现状的基础上,指出了现有方案的优点和亟待完善之处.最后,展望了未来 PCRAM 损耗均衡技术的研究方向,为该领域今后的发展提供参考.

关键词 相变随机存储器;非易失存储器;损耗均衡;硬件辅助;软件辅助

中图法分类号 TP333 **DOI 号** 10.11897/SP.J.1016.2018.02295

A Survey of Phase Change Random Access Memory Wear Leveling

HE Yan-Xiang¹⁾ CHEN Mu-Chao^{1),2)} LI Qing-An¹⁾ HE Jing(Selena)³⁾

SHEN Fan-Fan¹⁾ SHUAI Zi-Qi¹⁾ XU Chao⁴⁾

¹⁾(Computer School, Wuhan University, Wuhan 430072)

²⁾(Information Management Center, Guangdong Communication Polytechnic, Guangzhou 510650)

³⁾(Department of Computer Science, Kennesaw State University, Marietta 30060, USA)

⁴⁾(School of Technology, Nanjing Audit University, Nanjing 210029)

Abstract With the rapid development of semiconductor technology over the past few decades, the performance gap between CPU and main memory in modern computer systems are increasing substantially. As the traditional technology of main memory integration is close to its limitation, the problem of high energy consumption of main memory is more and more severe and thus the traditional main memory technology widely used is facing challenge. In recent years, Ferroelectric Random Access Memory (FeRAM), Spin-transfer Torque Magnetic Random Access Memory (STT-MRAM), Resistive Random Access Memory (RRAM), Phase Change Random Access Memory (PCRAM) and other new nonvolatile memory with features of non-volatility, low energy

收稿日期:2016-12-26;在线出版日期:2017-12-28.本课题得到国家自然科学基金(61502346,61462004,61373039,61640220,61662002)、江西省教育厅科技项目(GJJ150605)资助.何炎祥,男,1952年生,博士,教授,博士生导师,中国计算机学会(CCF)会员,主要研究领域为可信软件、分布并行处理和高性能计算. E-mail: yxhe@whu.edu.cn. 陈木朝,男,1980年生,博士研究生,高级实验师,中国计算机学会(CCF)会员,主要研究方向为可信软件、编译优化和嵌入式系统. 李清安(通信作者),男,1986年生,博士,副教授,中国计算机学会(CCF)会员,主要研究方向为编译优化嵌入式系统. E-mail: qingan@whu.edu.cn. 何 静,女,1977年生,博士,助理教授,主要研究方向为无线网络与移动计算、社会网络分析、云大数据分析. 沈凡凡,男,1987年生,博士研究生,主要研究方向为可信软件、计算机体系结构、存储系统. 帅子琦,男,1994年生,硕士研究生,主要研究方向为编译优化、嵌入式系统. 徐 超,男,1980年生,博士,副教授,中国计算机学会(CCF)会员,研究方向为可信软件、嵌入式系统和计算机审计.

consumption, good expansibility and anti shock properties, obtained the widespread attention from both academia and industry. Among them, PCRAM is recognized as one of the most potential and most likely to completely replace the DRAM as a modern computer system memory. This paper first introduces the current development of PCRAM technology. Static Random Access Memory (SRAM), Dynamic Random Access Memory (DRAM), Flash Memory (FLASH), FeRAM, STT-MRAM, RRAM and PCRAM were compared in terms of various aspects. Among these memory technologies, PCRAM has many excellent characteristics, including high integration, low power consumption, non-volatility, and byte level addressing ability. It is pointed out that the T structure is a device structure widely used in both academia and industry, and there have been some PCRAM products put into commercial products in the application. Then, it discusses the main challenges faced by the PCRAM technology, i. e., limited write endurance of phase change materials with at most 10^8 writes per bit cell before failure. Frequent and high temperature quenching temperature crystallization process will cause the phase change material's repetitive expansion and contraction, resulting in heating resistance occurred off, which further results in the complete failure of PCRAM storage. Write endurance limitation is one of the main obstacles for PCRAM technology. Moreover, the distribution of write operation will cause uneven rapid failure of PCRAM devices. To address these critical issues, some representative PCRAM wear leveling techniques are proposed by researchers, from both hardware layer and software layer, respectively. The hardware assisted wear leveling techniques can be divided into three categories according to the granularity: memory page level, memory block/region level and storage line level. In general, the techniques in a finer granularity collect and record more information, but as an side-effect, the hardware overhead and performance overhead is higher, and vice versa. On the other hand, the software assisted wear leveling techniques do not need to be modify the hardware. Based on the detailed analysis of the code structure as well as data access characteristics for the application, it can accurately identify hot and cold data. Software assisted wear leveling techniques can be divided into two levels: operating system level and compiler level. On the basis of analyzing and summarizing the current research situation, we discussed advantages and disadvantages of these techniques and briefly discussed the directions of further research, and thus could be reference work for the next step of this field.

Keywords phase change random access memory; non-volatile memory; wear leveling; hardware assisted; software assisted

1 引 言

近几十年来,以集成电路技术为基础的信息技术飞速发展,推动着整个社会快速进入城市化、工业化和信息化,以计算机为代表的信息技术已经成为一个国家国民经济发展的基础支撑. 半导体存储器技术作为集成电路技术的重要组成部分,和处理器技术一同高速发展,为计算机带来了强大的处理能力. 随着集成电路技术的高速发展,CPU 的时钟频率持续提高,特别是多线程技术的广泛应用,更是使

得计算处理能力得到大幅度的提升. 然而,传统的半导体存储器性能却提升缓慢,CPU 性能与主存性能之间的性能差距更是不断扩大. 集成度、速度、能耗、寿命等是衡量半导体存储器的主要技术指标. 当前,被计算机系统广泛采用的 SRAM、DRAM 和 Flash 等传统半导体存储技术都面临着各自物理极限的挑战,集成度已接近极限,能耗问题也是日益突出,主存系统已经成为制约计算机系统整体性能提升的瓶颈之一.

SRAM 具有读写速度快,写耐久性较好等优点,目前已经被广泛地应用于靠近 CPU 的片上存储设

备, SRAM 是在静态触发器的基础上附加门控管而构成的, 每个存储单元一般采用六个晶体管来存储一个数据位, 尺寸大小一般不低于 120F^2 , 因此生产成本相对较高, 集成度相对较低。此外, SRAM 还面临着功耗相对较高(特别是泄漏功耗较高)的问题, 在集成电路 28nm 技术节点以后, 因电荷存储的物理极限开始面临着信噪比和软故障率等方面的挑战。

DRAM 具有速度快、成本低等优势, 目前已经被广泛应用于计算机主存^[1]。DRAM 存储单元一般采用一个电容和一个晶体管构成, 利用电容存储电荷量来表示一个二进制数据位。其一, 访问速度提升缓慢。每次执行读写操作, 都需要并发地执行寻址操作, 以致计算性能与主存访问性能之间的差距不断扩大, 严重制约了 CPU 计算能力的充分发挥。虽然近年来采用的缓存和预取技术在一定程度上缓解了这一问题, 但是由于缓存的容量和价格等因素, 并未从根本上解决这一问题。其二, 能源消耗量大。由于电容具有漏电的特性, 因此 DRAM 在实际应用过程中, 需要设置专门的刷新电路周期性地给电容充电, 否则会由于电容电位差不足而使存储的数据丢失, 这种固有的周期性地对电容进行刷新充电操作, 无疑给电路结构增加了额外的负担, 更重要的是会耗费大量的能源。有研究表明, DRAM 主存能耗甚至占到服务器系统总能耗的 $20\% \sim 40\%$ ^[2-4]。其三, 读操作局限。DRAM 的读操作具有破坏性, 每次读取存储单元的数据后, 需要再次写回存储单元, 这种读操作方式不仅会产生额外的能源消耗, 还会阻碍正常访存的执行, 造成不可忽视的性能开销。此外, 单个 DRAM 芯片的容量有限, 为了构建大容量的主存系统, 只能通过堆叠 DRAM 芯片的方式, 成本高昂。

Flash 具有功耗低、体积小、抗震动和非易失性(Nonvolatile)等特点, 其应用已经逐步从数字家电、手机等嵌入式领域扩展到服务器、高性能计算机以及大规模存储领域^[5-7]。Flash 通过具有浮栅的 MOS 管来存储电荷来表示数据, 是电可擦除只读存储器(Electrically Erasable Programmable Read Only Memory, EEPROM)的变种^[8]。根据实现技术及其内部组成架构, Flash 大致可以将其分为 AND 型、NAND 型、NOR 型和 NiNOR 型等几种, 当前应用最广泛的是 NAND 型和 NOR 型^[9]。Flash 当前面临着可微缩性差、兼容性差、写性能差和使用寿命短等挑战, 仅适合作为计算机系统的二级存储设备^[10]。

近年来, 非易失性存储(Non-Volatile Memory, NVM)技术在许多方面都取得了一些重大的进展, 为计算机系统的存储能效提升带来了新的契机, 研究者们建议采用新型 NVM 技术来替代传统的存储技术, 以适应计算机技术发展对高存储能效的需求^[11-12]。以相变随机存储器(Phase Change Random Access Memory, PCRAM)为代表的多种新型 NVM 技术因具备高集成度、低功耗等特点而受到国内外研究者的广泛关注。特别地, PCRAM 因其具备非易失性、可字节寻址等特性而同时具备作为主存和外存的潜力, 在其影响下, 主存和外存之间的界限也正在逐渐变得模糊, 甚至有可能对未来的存储体系结构带来重大的变革。因此, PCRAM 被认为是极具发展前景、最有可能完全替代 DRAM 的新型 NVM 技术之一^[13]。

2 PCRAM 的发展与挑战

近些年来, 随着微电子技术的飞速发展, 一些具有优良特性的 NVM 也被陆续推出, 学术界和产业界也都分别针对这些新型 NVM 开展了广泛而深入的研究工作, 并取得了一些重要研究进展。当前, 研究人员正在研究的这些主流新型存储技术, 主要是利用存储介质在某些外加条件下所表现出来的不同特性来存储数据, 目前受到学术界和产业界的广泛关注的新型存储器件有铁电随机存储器(Ferroelectric Random Access Memory, FeRAM)、自旋转移力矩磁随机存储器(Spin-Transfer Torque MRAM, STT-MRAM)、阻变随机存储器(Resistive Random Access Memory, RRAM)和 PCRAM^[14-19]。

FeRAM 是一种电容型存储器, 采用铁电材料作为存储介质, 通过铁电材料($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$, $\text{SrBi}_2\text{Ta}_2\text{O}_9$, $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 等)的高介电常量, 以及铁电材料的不同极化方向来存储数据, 利用铁电材料的极化反转来实现读操作和写操作^[20-21]。FeRAM 根据工作模式的不同, 可以分为 NDRO 和 DRO 两种类型^[22-23]。当前已经量产的是 DRO 型 FeRAM, 其执行数据读写操作是通过铁电材料薄膜的极化反转来实现, 工作效率相对较低^[24-25]。此外, FeRAM 的微缩能力较差, 铁电材料在缩小至一定程度时就会失去铁电效应, 难以采用纳米工艺, 制约了其向高密度方向的发展。

MRAM 是一种利用磁阻材料磁隧道结(magnetic

tunneling junction)的磁阻效应来存储数据的新型 NVM^[26-28]. MRAM 存储单元一般是由固定层(又称参考层)、隧穿层(又称势垒层),以及自由层等三个物理层共同构成. 当自由层的磁极方向与固定层的磁极方向处于平行状态时,电子穿越隧穿层时所受到的散射作用相对较弱,材料呈现出低电阻特性,可以用于表示二进制信息“1”;当自由磁层的磁极方向与固定磁层的磁极方向处于反平行状态时,电子穿越隧穿层时所受到的散射作用相对较强,材料呈现出高电阻特性,可以用于表示二进制信息“0”^[29]. 近年来,学术界和产业界重点研究的 STT-RAM 就是利用放大的隧道效应,通过流过隧道结中不同的自旋极化电流使磁性薄膜的磁化方向改变来完成写操作的^[30-31]. 这种新型 MRAM 具有集成度高、写耐久性好、功耗低、结构简单等优点,是极具发展潜力的新型 NVM 之一^[32]. 受到磁性材料的因素制约,MRAM 存储单元之间极易产生干扰,特别是进一步微缩后,在执行读写操作时面临的不同存储单元之间的磁场干扰问题会更加突出.

RRAM 利用阻变材料在外加电场的作用下,在两个及以上不同电阻态之间快速相互转换这一特性来实现数据存储^[33-34]. RRAM 存储单元是在两个金属电极中间夹一个介电层,或者是一个金属电极和一个半导体中间夹一个介电层构成,其制造工艺能够与 CMOS 后段高温工艺完全兼容,具有较好的发展前景^[35-37]. 使用的阻变材料不同,RRAM 存储单元的实际作用机制差别也比较大,但其本质都由于外部刺激(如电压等)引起阻变材料的离子运动和局部结构变化(晶体结构不变),进而产生电阻差异^[38]. 当前受到学术界和产业界广泛的 RRAM 机理是导电细丝理论,基于细丝导电的器件将不依赖于器件的面积,因而微缩发展潜力巨大^[39]. RRAM 面临的挑战是丝状结构会提升电流密度,对其性能和可靠性产生一定的负面影响.

PCRAM 又称 PCM、OUM (Ovonic Unified Memory) 和 CRAM (Chalcogenide Random Access Memory),是一种利用相变材料(一种或多种硫系化合物薄膜)作为存储介质,通过相变材料在电流的焦耳热作用下,在结晶相态(amorphous)和非晶相态(crystalline)之间快速并可逆地转换时,会呈现出的不同电阻率这一特性来实现数据存储的 NVM 技术^[40-42]. 研究表明,PCRAM 具有容量大、集成度高、速度快、功耗低和成本低等优点,特别是与新型

CMOS 工艺兼容,在 5 nm 技术节点前不存在物理限制,具有广泛的应用价值,是极具发展潜力的新型 NVM 之一^[43]. 当前,PCRAM 已经逐步量产并开始投入商业应用,然而,较高品质的相变材料制备,以及相变材料在结晶相态和非晶相态之间相互转换时所产生的高功耗是制约其商用应用的瓶颈. 特别是写操作延时大(60 ns~120 ns,大约是读操作延时的 5~10 倍)、写操作功耗高(大约是读操作功耗的 10 倍)和写耐久性差(大约 10^8 次)是 PCRAM 进一步发展所亟需解决的问题^[12,44-45].

与传统的存储器件相比,FeRAM、MRAM、RRAM 和 PCRAM 等新型存储技术具有集成度高、功耗低、读写访问速度快、非易失、零或低空闲能耗、字节级编址、体积小和抗震等许多优良特性,为计算机的发展和存储能效的提高带来了新的契机,推动着计算机系统结构的变革. 特别是 PCRAM 因其具有的独特优势,已经率先开始量产并投入商业应用,在新型数据中心和消费性电子产品市场上占据着非常重要的位置,极有可能成为下一代主流的存储技术.

表 1 比较了七种存储器件的几项关键指标. 综上所述可以得出,与 SRAM 和 DRAM 相比,PCRAM 具有非易失性、存储密度更高、不需要刷新、抗辐射干扰等优点;与 Flash 相比,PCRAM 具有读写速度快、使用寿命长、可以执行位操作等优点;与其它新型非易失性存储器相比,PCRAM 具有持久性强、功耗低或者容量大、制造工艺简单、研究相对更加成熟等优点;与 FeRAM 相比,具有存储密度高、读操作非破坏性等优点;与 STT-MRAM 相比,具有功耗低、稳定性强等特点;与 RRAM 相比,具有材料制备成熟、存储密度高等优点. 特别地,DRAM 与 FLASH 进一步缩小会在与新型 CMOS 兼容方面上存在较大的技术瓶颈,而 PCRAM 与新型 CMOS 技术兼容,并且具有良好的微缩能力,有研究表明在 40 nm 技术节点后能够延续四代以上^[48]. PCRAM 具有的优势为其在存储领域大规模应用奠定了坚实的基础,是最有发展前景,也最有可能完全替代 DRAM 的新颖存储技术之一^[49-51]. 然而,PCRAM 也存在着一些明显不足之处,特别是写操作速度无法与 DRAM 相媲美,写耐久性也与 DRAM 相差较大等. 特别是写耐久性差,是将其大规模应用于计算机系统所面临的主要障碍之一,目前国内外研究人员正在研究一些解决方案来应对.

表 1 七种存储技术关键技术指标对比^[12,44-47]

技术指标	非易失性	泄漏功耗	读操作时间	写操作时间	最小尺寸	擦写次数	写操作功耗	读过程破坏性
SRAM	无	有	1 ns	1 ns	$>120\text{ F}^2$	10^{18}	$<0.1\text{ nJ/b}$	非破坏性
DRAM	无	有	30 ns	15 ns	$6\text{ F}^2\sim10\text{ F}^2$	10^{16}	$\sim0.1\text{ nJ/b}$	破坏性
Flash	NOR	有	50 ns	$10\text{ }\mu\text{s}$	10 F^2	10^5	$0.1\text{ nJ/b}\sim1\text{ nJ/b}$	非破坏性
	NAND	有	$10\text{ }\mu\text{s}$	$100\text{ }\mu\text{s}$	5 F^2	10^5	$0.1\text{ nJ/b}\sim1\text{ nJ/b}$	非破坏性
FeRAM	有	无	$20\text{ ns}\sim80\text{ ns}$	$5\text{ ns}\sim10\text{ ns}$	$15\text{ F}^2\sim34\text{ F}^2$	10^{12}	$<1\text{ nJ/b}$	破坏性
STT-RAM	有	无	$2\text{ ns}\sim20\text{ ns}$	$5\text{ ns}\sim35\text{ ns}$	$16\text{ F}^2\sim60\text{ F}^2$	10^{12}	$1.6\text{ nJ/b}\sim5\text{ nJ/b}$	非破坏性
RRAM	有	无	$10\text{ ns}\sim50\text{ ns}$	$10\text{ ns}\sim50\text{ ns}$	$4\text{ F}^2\sim14\text{ F}^2$	10^8	$\sim0.1\text{ nJ/b}$	非破坏性
PCMI	有	无	$20\text{ ns}\sim50\text{ ns}$	$60\text{ ns}\sim120\text{ ns}$	$4\text{ F}^2\sim8\text{ F}^2$	10^8	$<1\text{ nJ/b}$	非破坏性

2.1 PCRAM 的发展

有关 PCRAM 技术的研究最早可以追溯至 1917 年,当时 Waterman 发表论文称发现能够逐步改变硫化物 MoS_2 的电导率,并使其在两种不同相态时分别呈现出高电阻率和低电阻率两个不同电学特性等一些相变材料所具有的重要特性^[52-53]. 但是,由于受到当时的科研条件限制,以及缺乏使相变材料实现熔融淬火的相关技术,Waterman 没有能够进一步揭示相变材料的微观晶格结构变化,并且无法使相变材料的电导率实现逆变. 尽管有相变材料的电导率不可逆等因素限制,这项研究在当时没有引起学术界和产业界的足够的重视,研究人员选择使用其他的一些技术用于存储数据(例如 20 世纪 30 年代的机械穿孔卡、20 世纪 50 年代的磁芯存储器等),但是 Waterman 的开创性工作使得相变材料成为存储材料科学研究的一个新分支,引起了学术界和产业界的关注^[54]. 1962 年,Pearson 等人发现了碲砷玻璃存在相变现象,并撰写论文正式提出了“相变”理论^[55]. 1966 年,Ovshinsky 第一次申请了相变存储技术方面的专利. 1968 年,Ovshinsky 的研究成果打破了电导率不可逆变这一制约将相变材料应用于数据存储领域的瓶颈,并公开发表了一篇关于相变理论研究的论文,他在文中详细描述了一种相变材料($\text{Ge}_{10}\text{Si}_{12}\text{As}_{30}\text{Te}_{48}$)在电场的作用下,能够可逆地在非晶相状态和结晶相态之间实现相互快速转换,并且其在非晶相态时表现出高阻特性,在结晶相态时表现出低电阻特性,因此可以利用非晶相态和结晶相态分别表示数据“0”和“1”,用于存储二进制信息,开启了相变材料及相变存储器件相关研究的先河^[56]. 1970 年,Neale 和 Moore 发表论文,详细描述了一个具有 256 bit 容量的 PCRAM 存储器件^[57]. 目前国内外都已经研制出实现读、写、擦全部功能的芯片,PCRAM 开始逐渐步入产业化进程.

物质是能够以多种相态存在的,相变材料至少存在非晶相态(分子结构杂乱无序)和结晶相态(分

子结构整齐有序)两种相态. 处于非晶相态和结晶相态的相变材料,分别在光学性能和电学性能等方面都具有非常明显的差异. 于是,人们利用相变材料在不同相态时具有的这些特性差异来实现数据存储,利用相变材料的光学性能差异来实现数据存储的是相变光盘(CD、DVD 和蓝光光盘等),而利用相变材料的电学性能差异来实现数据存储的是 PCRAM. 相变材料的三元相图如图 1 所示.

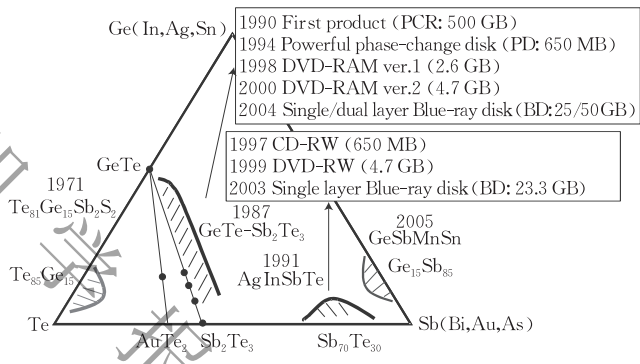
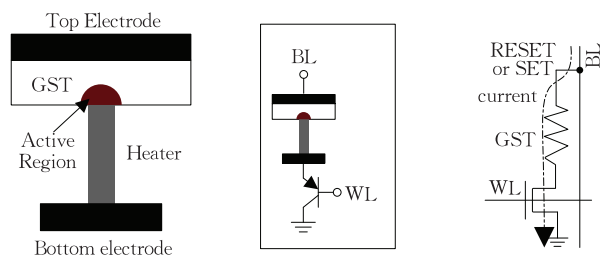


图 1 相变材料的三元相图^[58]

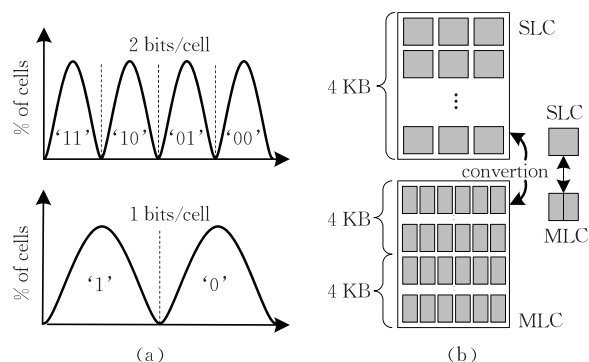
当前,学术界和产业界研究最多、且相对较为成熟的相变材料是 Ge-Sb-Te 系列合金. 其中, $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 和 $\text{Si}_2\text{Sb}_2\text{Te}_5$ 因光学性能优异,已经大规模应用于相变光盘. 这两种相变材料不仅光学性能优异,而且电学性能也较为突出,非晶相态与结晶相态之间的电阻系数差异非常大,具备多值存储潜力,特别是掺杂 In, Sn, Bi, Si, C 和 N 等元素后,各方面的特性均得到较大幅度的提升,因此已经被广泛用于 PCRAM 研究和器件制备^[59-63]中. 此外,PCRAM 器件结构不同,在微缩能力和功耗等方面也会有细微差别. 当前研究的 PCRAM 主要器件结构有 T 型结构(即蘑菇型结构)、 μ -Trench 结构、边缘接触型结构和平面结构等^[64-68]. 其中,T 型结构是目前学术界和产业界广泛采用的器件结构,主要由底电极、相变材料层和顶电极等三个部分构成. T 型结构的 PCRAM 存储单元如图 2 所示.

图 2 T 型结构的 PCRAM 存储单元^[64]

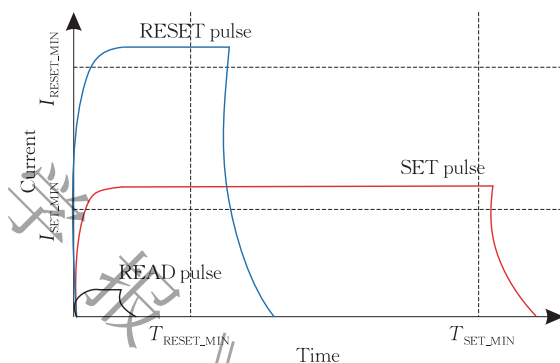
PCRAM 的数据存储功能是通过给器件中的一种或多种硫系化合物薄膜施加不同强度和不同时间的电脉冲,使其在不同程度电流焦耳热的作用下分别呈现出不同电阻特性来实现的。 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 $\text{Si}_2\text{Sb}_2\text{Te}_5$ 和 $\text{Al}_2\text{Sb}_2\text{Te}_6$ 等相变材料在吸收一定量的热能后,会在非晶相态和结晶相态之间实现快速相互转变,并表现出非常明显的电阻系数差异。相变材料在非晶相态时呈现出半导体特性,具有较高的电阻值;在结晶相态时呈现出半金属特性,具有较低的电阻值^[69-73]。因此,可以分别通过相变材料在非晶相态和结晶相态时呈现出的不同电阻特性来分别表示需要存储的数据。

PCRAM 具有较好的微缩能力。研究表明,基于 20 nm 工艺节点以及 4F^2 的单元尺寸,PCRAM 技术的存储密度大约是 DRAM 技术的 16 倍^[74-75]。特别地,普通的 PCRAM 存储单元根据相变材料通过非晶相态和结晶相态两种相态时呈现出的不同电阻特性来实现二值数据存储,但是某些相变材料(如 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 等)电学性能非常优异,在非晶相态和结晶相态两种相态时表现出的电阻差异可以达到 5 个数量级,具备多值存储潜力^[76-77]。PCRAM 多值存储技术就是利用相变材料在不同相态时高、低电阻之间的巨大差异,在单个存储单元上实现两个及以上的存储状态,可以在制程工艺不变的情况下使存储单元容量实现倍增的效果,从而能够显著地提高器件的集成度,大幅度地降低存储成本,是当前 PCRAM 存储技术的重要研究方向之一^[78-81]。PCRAM 存储单元实现单阶存储(即二值存储)和二阶存储(四值存储)的电阻分布和单阶存储单元与二阶存储单元之间的转换如图 3 所示。

PCRAM 具有良好的非易失性。研究表明,PCRAM 不仅泄露功耗非常低,而且相变材料的状态也非常稳定,能够在温度低于 120°C 的环境里,在掉电的条件下可以保持 10 年以上不变,从而具有非易失性^[83]。

图 3 PCRAM 存储单元的电阻分布和 SLC/MLC 转换^[82]

PCRAM 因具有非易失性、存储密度高、功耗相对较低、抗辐射干扰等诸多优良特性,有着非常广阔的发展前景。但是,PCRAM 当前也面临着很多挑战,其一是执行写操作时耗费的时间相对较长,一次写操作大约需要耗费 50 ns~120 ns 才能完成;其二是写耐久性较差,目前使用的相变材料可以承受写操作的次数大约为 10^8 次。PCRAM 的读写速度及功耗如图 4 所示。

图 4 PCRAM 的读写时间及功耗示意图^[83]

综上所述,新型存储器件的理论研究与实际应用,正推动着计算机系统结构的变革,特别是存储能效的提升带来了新的曙光。作为最有发展前景之一的 PCRAM 技术,与传统的 DRAM 等存储技术相比,在存储密度和功耗方面表现出非常明显的优势,因此被学术界和产业界普遍认为是最有可能替代 DRAM、最具发展潜力的存储技术之一。

2.2 PCRAM 的应用

半导体工艺技术高速发展,到 20 世纪末已经发展到了纳米量级,这给 PCRAM 带来了前所未有的发展机遇。学术界和产业界也都针对 PCRAM 相关理论与应用投入了大量的精力,开展了广泛而深入的研究,并取得了许多激动人心的进展,目前已经逐步开始量产并投入商业应用。2011 年,美国的 IBM 公司采用 90 nm CMOS 制造工艺攻克了 PCRAM

的多位封装这一难题,实现了单个存储单元上的多位数据存储,并且写入和检索数据的速度能够达到 Flash(NAND)的 100 倍以上,连续擦写次数大约为一千万次^[84]. 同年,我国的上海微系统与信息技术研究所取得突破,成功研制出了第一款具有自主知识产权的 PCRAM 芯片,容量达到 8 MB,并且具备读、写、擦等全部功能^[85]. 2012 年,韩国的 Samsung 公司在国际固态电路会议上推出了制程工艺达 20 nm、容量为 8 GB 的 PCRAM 芯片^[86]. 2012 年,美国的 Micron 公司宣布量产制造工艺为 45 nm、容量为 1 GB 的 PCRAM 芯片^[87]. 2013 年, Nokia 正式将 Micron 公司的容量为 1 GB+512 MB 的 PCRAM 芯片用于 Asha 系列手机^[84]. 2015 年 7 月,美国的 Intel 公司和 Micron 公司联合发布了基于硫系化合物材料的 3D Xpoint 技术,其实现的存取速度能够达到现有基于 Flash(NAND)的固态硬盘(Solid State Drive, SSD)存取速度的 1000 倍以上,研究人员认为这种技术有可能是近三十年以来存储技术领域取得的重大突破之一,在商业应用方面具有较大发展前景^[88]. 2016 年 3 月,美国的 IBM 公司宣布已经在高达 80℃ 的“高温”环境下,实现了每个 PCRAM 存储单元 3 bit 存储. 目前在这样的存储密度水平下, PCRAM 的使用成本已经低于 DRAM,与 Flash 的

使用成本基本持平,是实现大规模商业应用的一个重要里程碑^[89-91].

2.3 PCRAM 面临的挑战

相变材料在非晶相态通常具有很高的电阻,而在结晶相态具有较低的电阻, PCRAM 存储单元就是利用相变材料在结晶相态和非晶相态之间的电阻差异来表示 0/1 信号^[75]. 具体实现过程是:执行读操作时,先给相变材料施加一个较低的电压,然后通过测量其电阻率来识别其是处于高电阻状态(表示二进制数据“0”)还是低电阻状态(表示二进制数据“1”);执行写“1”操作时,给相变材料施加一个时间较长,但强度中等的电脉冲进行加热,使其在电流产生的焦耳热作用下,温度上升到结晶温度以上、熔化温度以下,完成中温结晶过程,处于结晶相态(即低电阻状态),这个相态切换的过程称为 SET 过程;在执行写“0”操作时,先给相变材料施加一个时间较短,但强度很高的电脉冲进行加热,使其在电流产生的焦耳热作用下,温度上升到熔点之上,然后在脉冲“陡降”后实现快速淬火,由熔融状态进入到非晶相态,完成高温淬火过程,处于非晶相态(即高电阻状态),这个相态切换的过程称为 RESET 过程^[92]. 相变材料的 RESET 过程和 SET 过程如图 5 所示.

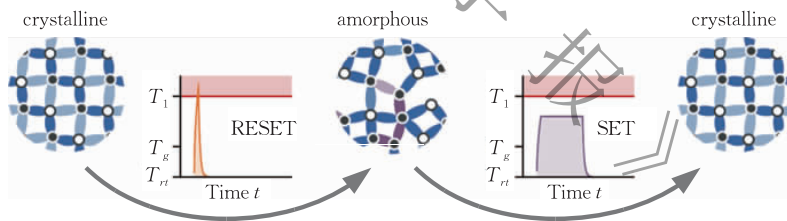


图 5 RESET 过程和 SET 过程^[92]

PCRAM 当前面临的主要挑战,其一是执行读操作和写操作的延迟不均衡,特别是在执行写“1”操作过程中,虽然需要的电流较小,但是需要耗费较长的时间来完成中温结晶过程,因而决定了写“1”操作功耗较低、速度较慢的结果;RESET 过程需要较大的电流来完成高温淬火过程,因而决定了写“0”操作功耗较高、速度较快. 其二是写耐久性有限,这也是严重制约 PCRAM 发展与应用的瓶颈之一. 由于相变材料在完成大约 10^8 次写操作后,频繁的中温结晶和高温淬火过程会引起相变材料反复膨胀和收缩,导致加热电阻发生脱落,致使 PCRAM 存储单元再也无法改变相态,造成其彻底失效. 这一缺陷严重制约了将 PCRAM 应用于主存,甚

至会对主存构成安全威胁. 尤其是对于 PCRAM 主存使用较为贪婪的用户或者攻击者来说,通过对某一部分存储单元持续地进行高强度的写操作,不仅导致产生大量的写延时和写功耗,更严重的是使这部分存储单元快速达到写耐久性极限,在较短时间内就会失效.

虽然与 FeRAM、STT-MRAM 和 RRAM 等新型高密度 NVM 相比 PCRAM 优点突出,其物理性能、存储性能和制造工艺方面都相对成熟可靠,工业界也已经推出了成熟产品^[84-88, 93-96],并逐步开始量产和投入商业应用,但是 PCRAM 技术仍然面临着一些挑战,特别是较低的可写入次数大大限制了其使用寿命. 当前 PCRAM 存储单元的耐写能力大约

为 10^8 次,按照平均使用频率计算,作为计算机主存使用,其实际寿命大约只有 3 年左右^[97],并且在实际应用过程中,由于主存中不同存储区域之间存在着明显的访问不均衡,某些 PCRAM 主存单元会由于持续执行读写操作而过度损耗,甚至有可能在几天之内就会损坏,从而影响整个主存的可用性. 为了提升 PCRAM 的使用寿命,学术界和产业界已经开展了大量卓有成效的研究工作,目前研究人员已经提出了大量的损耗均衡(Wear Leveling)方法,试图借此来延长 PCRAM 的实际使用寿命,这对于进一步促进 PCRAM 的商业应用和推广,都具有极其重要的意义.

3 PCRAM 损耗均衡技术进展

PCRAM 具有的容量大、密度高、速度快、功耗低和成本低等诸多优势,为其在存储领域的广泛应用奠定了坚实的基础. 但是,PCRAM 自身仍存在的写耐久性有限等一些固有缺陷,是阻碍其广泛应用于计算机系统的主要障碍. 为了应对 PCRAM 因写耐久性有限带来的挑战,避免器件中的部分存储单元因过于频繁的写操作,致使相变材料达到写耐久性上限后无法再改变相态而率先损耗失效. 近些年来,研究人员提出了大量的损耗均衡技术,希望借此来延长 PCRAM 的使用寿命. 当前研究人员提出的这些损耗均衡技术,根据其实现途径的不同,大致可以分为硬件辅助的损耗均衡技术和软件辅助的损耗均衡技术两大类. 为了方便表述,我们将已经承受大量写操作(即损耗相对较为严重)的 PCRAM 存储单元称为“年迈”区域,将尚未承受大量写操作(即损耗相对较为轻微)的 PCRAM 存储单元称为“年轻”区域;把即将执行写操作、要写入到 PCRAM 存储单元的数据称为“新”数据,把已经存储在 PCRAM 存储单元(即将写入“新”数据的目标存储单元)上的数据称为“旧”数据;把需要频繁执行写入操作的数据称为“热”数据,把较少执行写入操作的数据称为“冷”数据.

3.1 硬件辅助的损耗均衡技术

目前,研究人员已经从不同的视角,针对不同粒度,提出了大量硬件辅助的 PCRAM 损耗均衡技术. 一般而言,粒度越细的技术需要搜集和记录的信息就越多,硬件开销和性能开销也就越高. 根据粒度的不同,我们将硬件辅助的损耗均衡技术分为存储

页级、存储块级和存储线级等三大类.

3.1.1 存储页级(Page)

文献[98]设计了一个基于 PCRAM 和 DRAM 的混合主存架构,并提出一组包含三个策略的方案来提升 PCRAM 存储系统的寿命. 鉴于 PCRAM 具有读操作速度快、功耗低、对相变材料无损伤,而写操作速度慢、功耗高、对相变材料有损伤的特性,该方案首先提出了一种思路新颖的缓存替换策略(N-chance Cache Replacement),通过在选择替换页面时,优先选择一个未被修改过的页面进行替换,这样可以大幅度减少因替换操作引起的写回操作,并尽可能地让频繁修改的页面处长期保持在缓存中,增加合并写操作概率,减少数据写回,减少 PCRAM 的损耗. 该方案中的避免非必要的写操作策略(Avoidance of Unnecessary Writes)通过分页技术和“读-写-读”存储页差异识别方法(Read-Write-Read, RWR)协同工作来减少不必要的写操作,以及检测错误. 分页技术先将存储页分为若干子存储页,通过主存控制器进行存储页替换,只有写回那些有 Dirty Bit 的子存储页. RWR 存储页差异识别方法与分页技术协同工作,在执行写回操作之前,先把将要执行写回操作的“新”数据与原始存储页中的“旧”数据进行比对,只有当“新”数据与“旧”数据不一致时,才真正执行写回操作,达到减少执行写操作的目的. 该方案中的页面互换损耗均衡策略(Swap Wear Leveling)基于映射表和存储页写操作计数器,通过调整逻辑页面与物理存储页的映射关系,把缓存中的页面根据策略需要进行互换,将“年迈”存储页上将要执行的写回操作转移到“年轻”存储页上,尽可能将写操作均匀地分布到各个 PCRAM 存储单元上,从而达到提升 PCRAM 存储系统的寿命.

文献[99]针对 MLC 结构相对 SLC 结构的 PCRAM 存储系统相比具有容量倍增的优点,但同时面临着写耐久性进一步降低这一问题,提出了一个 SLC 辅助损耗均衡方案. 由于 MLC 结构的 PCRAM 的“年迈”区域将比其他部分损坏速度更快,通过写交换也无法全面利用 PCRAM 的写耐久性. 虽然当前研究人员提出的一些损耗均衡策略可以增强 PCRAM 的使用寿命,但是却面临着恶化的工艺偏差这一更大的挑战. 该方案充分考虑工艺偏差,提出一种通过从 MLC 到 SLC 的动态和自适应模式转换的 SLC 辅助损耗均衡方案. 与一些将全部写操作重新均匀分布到各个存储单元的损耗均衡方

法不同,该方案提出将“年迈”区域动态转换为 SLC 模式以提高 PCRAM 的使用寿命。

文献[100]提出了一组包含两种损耗均衡策略,并且与当前的虚拟主存管理机制相兼容的解决方案。具体思路是:根据每个存储页的使用频率,将“年迈”存储页存放在离调用位置较远的地方,而将“年轻”存储页存放在离调用位置较近的地方,使得每次调用到的存储页都是相对较为“年轻”的存储页,以避免因“年轻”存储页而产生额外的开销。该方案根据这一思路,基于时间和空间复杂度,通过存储页损耗计数器记录每个存储页的写操作频率,提出了两种损耗策略。基于桶的损耗均衡策略(Bucket-based Wear Leveling, BWL)为了避免调用“年轻”存储页过程中,因执行查找和排序操作而产生额外的开销,将空闲存储页和非空闲存储页都相应集中起来,分别置入空闲桶链表(Free List)和非空闲桶链表(In-Use List)中。当执行页面空间分配或者是页面交换操作需要调用空闲存储页时,优先从空闲桶链表中选取;如果此时空闲基桶是空的,里面没有存储页可供选取,那么就改为从非空闲桶链表中选取,并将选取到的存储页中存储的数据转存至最为“年迈”的空闲存储页中。基于桶的数据结构如图 6 所示。基于数组的损耗均衡策略(Array-based Wear Leveling, AWL)与基于复杂数据结构的 BWL 策略有所不同,它采用一个数据结构相对简单的 pivot pointer,另外再配备两个全局计数器来对 PCRAM 存储页进行统一管理,当某个存储页上执行的写操作次数达到指定阈值时,就将该存储页与 pivot pointer 相邻的 K 个存储页中最为“年轻”的存储页进行交换。该方案中的 BWL 和 AWL 两种策略都与现有的虚拟主存管理方法兼容,用近乎于零的存储页搜索成本提升了 PCRAM 的寿命。基于数组的数据结构如图 7 所示。

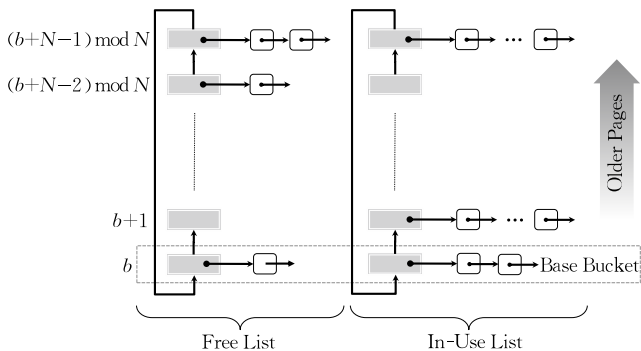


图 6 基于桶的数据结构^[100]

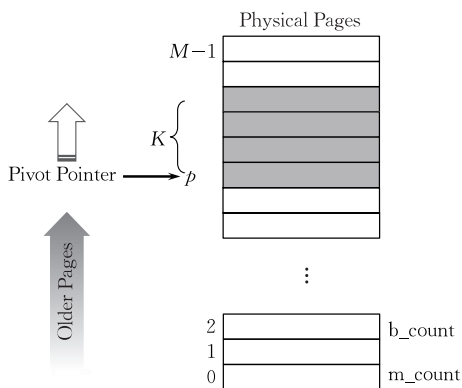


图 7 基于数组的数据结构^[100]

文献[101]构建了一个由 DRAM 和 PCRAM 组成的混合主存架构,提出了三个策略来提升 PCRAM 的使用寿命。其中的延迟写操作策略(Lazy-Write Organization, LWO)的操作粒度就是存储页,另外两个策略的操作粒度都是存储线。LWO 策略主要用于尽可能地减少 PCRAM 的损耗,当操作系统从外存中调用数据时,同时对 DRAM 和 PCRAM 进行页表项的分配,但是调用的数据一律先写入 DRAM 中,PCRAM 中只保存页表项而不写入相应的数据。当页面中的数据被修改过(即 $D=1$)时,或者是操作系统访问 DRAM 却未命中且数据未写入到 PCRAM 中(即 $P=0$)时,才真正地将数据写回到 PCRAM 中,这样可以较大幅度地减少 PCRAM 的写入操作数量,减少了损耗,提升了使用寿命。

3.1.2 存储块级(Block/Region)

文献[102]借鉴了 Flash(NAND)的损耗均衡思想,针对当前的一些损耗均衡方案需要详细记录每个数据存储区域的写操作次数,从而产生一定的额外开销,以及由于一些不必要的数据迁移而未能充分利用 PCRAM 的写耐久性这些问题,提出了一种基于布隆过滤器(Bloom Filter, BF)的损耗均衡方案。BF 是一种空间效率较高的二进制向量数据结构,能够通过位数组来较为简洁地表示一个集合,因此可以用于快速检测某一个元素是否是某一个数据集合中的成员。因此,该方案与其他传统的基于热冷区域交换的动态方法相比,通过应用 BF 来识别热冷区域,能够达到减少写计数器数量的目的,需要的空间开销相对较少。此外,还通过设计一个存储“冷-热”区域信息的数据表来标识执行写入操作频率不同的区域。当需要对某一数据执行写入操作时,先在“冷-热”数据表中进行查找,如果查找成功,则将

“冷”区域和“热”区域进行地址交换,然后对交换后的地址进行写入操作;如果要操作的地址不在数据表中,则查找不成功,就直接对原始地址进行操作,然后更新 BF 的计数值.同时,采用动态更新“热”区域的阈值的方法,将阈值作为实时更新“冷-热”区域数据表的判定依据.这种思路新颖,新的动态损耗均衡方法,通过基于动态方法来实现冷热存储区域交换,还减少了不必要的数据迁移.

文献[103]在文献[102]的研究基础上,关注到 PCRAM 器件中每个存储单元的写耐久性存储差异,提出了一种基于耐久性差异(Endurance Variations, EV)的动态损耗均衡方案.先是设置一个写操作信息布隆过滤器(Write Information Bloom Filter, WB)来

识别热/冷数据区域,再设置一个耐久性差异布隆过滤器(EV Bloom Filter, EB)来识别每个物理存储单元的写耐久性差异,然后根据每个逻辑数据存储区域的冷热程度和每个物理存储单元写耐久性的强弱程度的不同,依次将较热的数据区域(Hottest Logical Address)映射到写耐久性较强的存储单元(Strongest Physical Address),较冷的数据区域(Coldest Logical Address)映射到写耐久性较差的存储单元(Weakest Physical Address).该方案兼顾了写操作的行为特征和每个物理存储单元的写耐久性差异,实现了损耗均衡,提升了 PCRAM 的使用寿命.基于耐久性差异的 PCRAM 动态损耗均衡方案示例如图 8 所示.

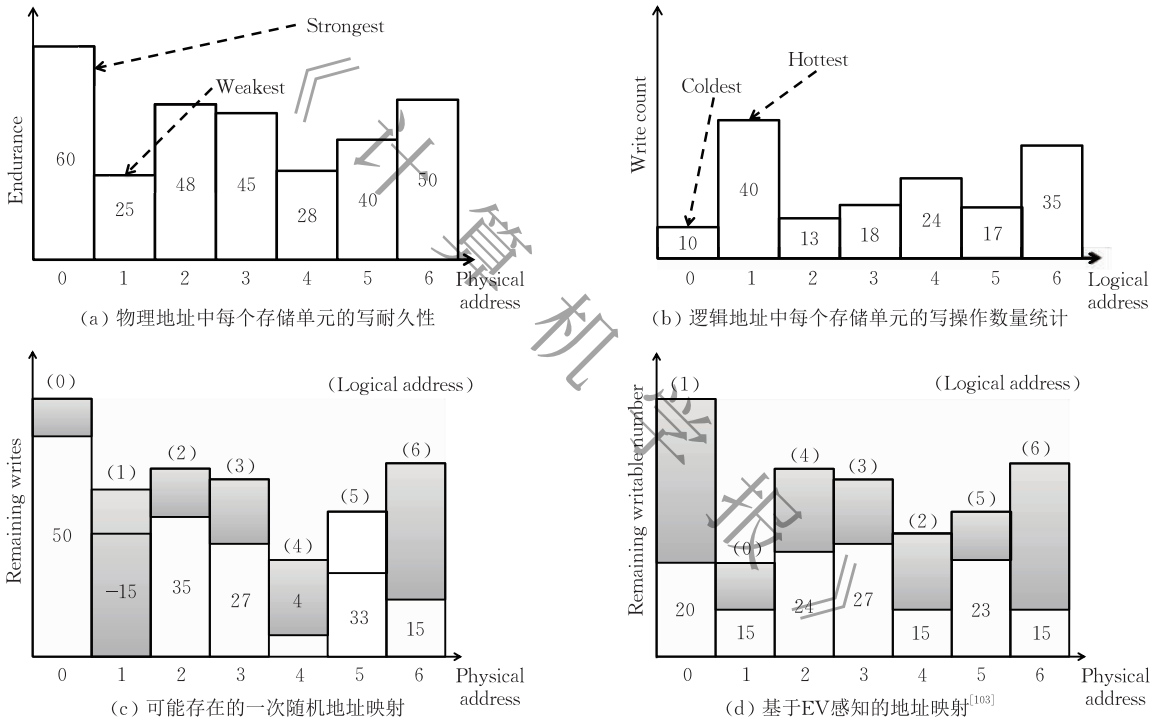


图 8 基于耐久性差异的动态损耗均衡示例

文献[104]针对一些损耗均衡方案中的地址映射关系很容易被攻击者获悉,进而攻击者可以通过恶意的写操作进行攻击,致使 PCRAM 中的部分存储单元由于在较短的时间内就达到写耐久性上限而失效这一问题,提出了一种有效增强 PCRAM 安全性的安全刷新损耗均衡方案(Security Refresh, SR).该方案通过在 PCRAM 上内嵌一个安全刷新控制器(Security Refresh Controller, SRC),在每一轮 SR 操作开始执行之前,先由 SRC 生成一个新的与存储块地址(Memory Address, MA)具有相同位数的随机数(Remapping Key),并将其与上一个随机数一起进行异或运算后参与到下一轮映射中.

PCRAM 的某个 bank 在执行完指定次数的写操作后,就将该 bank 内各个 MA 动态地随机映射至刷新存储地址(Refreshed Memory Address, RMA),完成一次从 MA 到 RMA 的重映射.由于该方案中生成随机数、重映射逻辑等重要过程全部都是由 SRC 来完成的,并且 SRC 是内嵌在 PCRAM 上,因此可以较好地避免攻击者通过探测主存总线来获取存储地址信息,保证了一定的安全性.此外,该方案以基于 SRC 的通信机制来保证数据的完整性,将每个 region 统一划分成若干个 sub-region,先是在每个 sub-region 内部实现较细粒度的一级 SR,然后再在 region 层面实现较粗粒度的二级 SR. region 和

sub-region 两个层面的 SR 协同工作,不仅以相对较小的开销实现了 PCRAM 损耗均衡,还实现了同步

控制的便利性. 基于 Security Refresh 的 PCRAM 损耗均衡策略如图 9 所示.

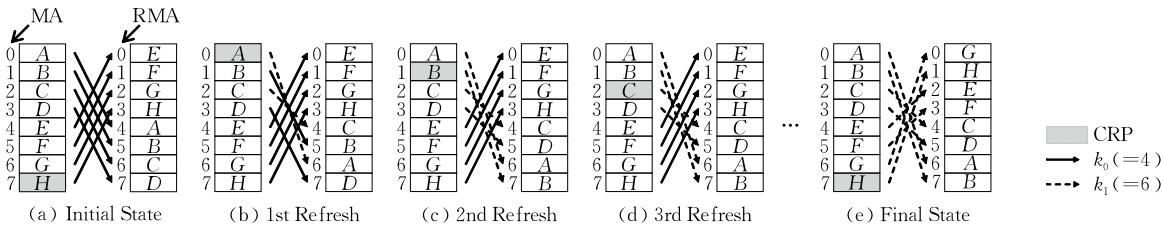


图 9 基于 Security Refresh 的损耗均衡^[104]

文献[105-106]针对一些基于代数地址重映射方法的损耗均衡方案不仅存在着较大的额外写操作开销,而且地址重映射过程还具有一定的规律性容易被外界获悉,PCRAM 因此受到恶意的写操作攻击会导致整个存储器件不可用,提出了一种基于代数映射的地址矩阵重映射损耗均衡方案来提升 PCRAM 的使用寿命. 该方案先是将 PCRAM 中的所有存储块地址以地址序号顺序为排序依据,排列成一个存储块地址矩阵;然后再将存储块矩阵中的地址空间按照行和列两个维度,统一划分为行地址空间和列地址空间两个集合;最后,分别在每一个行地址空间集合和每一个列地址空间集合两个不同的维度分别进行从逻辑地址到物理地址的行地址空间映射 (Row Address Mapping) 和列地址空间映射 (Column Address Mapping). 由于该方案中每一行地址空间和每一列地址空间的规模都处在全存储空间存储块总数的平方根的数量级上,因而能够实现在较低的重映射速率的条件下,实现将各个存储块的逻辑地址通过行和列两个不同维度的地址空间高效快速地映射到任意的物理地址,实现了存储块级的 PCRAM 损耗均衡,能够有效防御地址推测攻击 (Address Inference Attack, AIA)、重复地址攻击 (Repeated Address Attack, RAA) 和生日悖论攻击 (Birthday Paradox Attack, BPA)^[104, 107-109]. 此外,该方案还加快了任意逻辑地址到物理地址的重映射周期,较大幅度地降低了额外的写操作开销. 基于代数映射的地址矩阵重映射 PCRAM 损耗均衡方案如图 10 所示.

文献[110]充分考虑到在嵌入式系统中,挖掘特定应用程序在诸如固定更新频率和访问模式等方面的读写操作特征,设计了一个具有针对性的损耗均衡策略 Full Curling, 先是通过分析应用程序的内存访问特征来获取即将要写入 PCRAM 中的数据和代码的写操作次数,并以此为根据,将执行写操作较多的区域归集到一起称之为热区域,其他区域归集

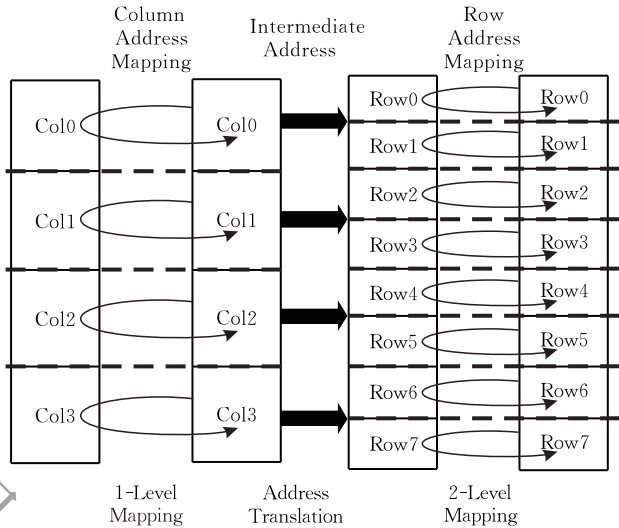


图 10 矩阵损耗均衡方法示意图^[105]

到一起称之为冷区域. 当热区域的写操作次数达到某一个设定阈值时,就将执行迁移操作,将热区域迁移到相邻的冷区域. 通过周期性将热点区域在整个 PCRAM 上进行迁移,实现将写操作均匀地分布到各个存储单元上,提升 PCRAM 的使用寿命. 此外,考虑到某些热区域可能较大,迁移过程中如果有新的读操作或者写操作请求会无法及时响应,从而导致产生较大开销,提出了一种更细粒度的部分损耗均衡策略 Partial Curling. 该策略先是设置三个附加的寄存器负责记录整个热区域的当前的起始物理地址,以确保已迁移或者未迁移的逻辑地址都能被正确地转换为物理地址. 然后,将热区域划分为若干个子区域,每个子区域在响应每个请求后迁移,直至所有子区域都迁移完毕. 这样,就实现了将迁移分若干个小步骤,每一个步骤都可以与读操作或者写操作请求的服务交错.

3.1.3 存储线级 (Line)

文献[111]针对 PCRAM 主存面临的写耐久性不足问题,提出包含一个轻量级的电路和三个策略的方案来提升 PCRAM 的寿命. 该方案中的行移位

策略(Row Shifting)鉴于在执行消除冗余位写入策略(Redundant Bit-writes Removing)后,会导致位更改的局部性在一定程度上地得到增强,提出采用另外附加一个偏移器的方法,在每个 PCRAM 存储线中执行移位机制来实现损耗均衡. 即当某一个存储线上执行的写操作次数达到某一指定阈值时,偏移器就对该存储线执行以字节为单位的进行循环移位,这样可以让需要执行写入操作的存储地址相应地偏移一定距离,从而能够有效地避免对某些存储单元执行过于频繁的写操作,达到平衡每个存储线上写操作次数目的,实现损耗均衡. 该方案中的段交换策略(Segment Swapping)通过在一个比存储线更粗的操作粒度——段上进行移位来实现 PCRAM 损耗均衡. 该策略首先是将整个存储系统划分成若干个段,每个段内又包含若干个存储页,然后由主控制器通过 write_count 来统计每个段上执行写操作的总数量,并且通过 last_swapped 来记录该段上一次被替换的时间,这样可以有效防止该段被频繁地换出.

文献[112]针对基于 PCRAM 的主存系统面临的寿命有限和安全性问题等挑战,提出了一种基于代数映射算法 Start-Gap 的损耗均衡方案. 该方案首先将整个 PCRAM 统一划分成存储容量大小为 256 B 的若干个存储线,然后再将这些存储线按照地址顺序进行排序,构成一个大型存储阵列,最后对这个存储阵列执行写操作均衡算法操作,实现损耗均衡. 为了保持逻辑地址和物理地址之间的映射关系,该方案还包含两个寄存器 Start 和 Gap. 寄存器 Start 用于记录所有逻辑地址移动的次数,即地址重映射轮的轮数,而寄存器 Gap 则用于记录有多少逻辑地址进行了重映射. 每执行一轮地址重映射,所有逻辑地址映射到的物理地址改变一次. 此外,存储阵列中包含一个特别的存储线 Gap Line,该存储线仅供用于简化不同存储线之间的数据交换,并不用于存储有效数据. 当该存储阵列上执行的写操作次数达到某一指定的阈值后,就将存储线 Gap Line 前面一个相邻位置的存储线上存储的数据复制到存储线 Gap Line 上,以此类推,循环重复执行此操作,从而实现 PCRAM 损耗均衡. 考虑到有可能会面临恶意的写操作攻击,为了提高整个存储系统的安全性,该方案还提出增加地址离散化操作随机可逆二元矩阵(Random Invertible Binary Matrix),通过随机产生的可逆位方阵(阶数为逻辑地址的位数)与存储系统的逻辑地址进行位运算,尽可能地让逻辑地

址分散地映射到各个阵列中,这样还可以进一步提升 PCRAM 的损耗均衡效果. 基于代数映射算法 Start-Gap 的 PCRAM 损耗均衡方案如图 11 所示.

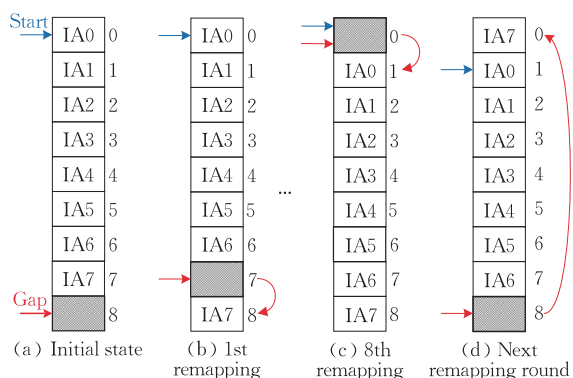
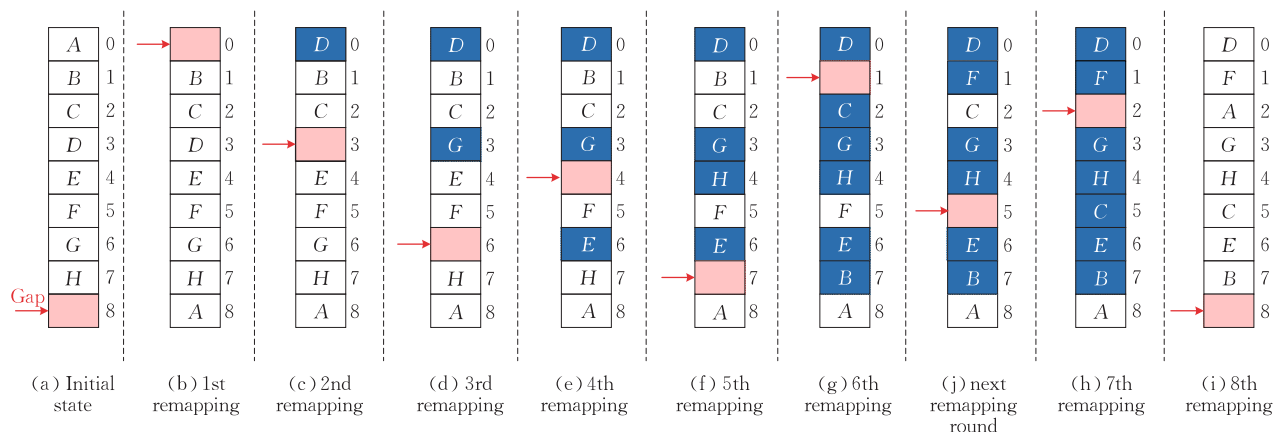


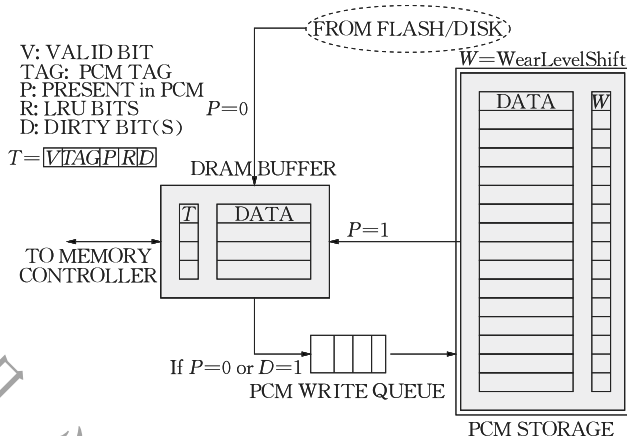
图 11 基于 Start-Gap 的损耗均衡^[112]

文献[113]关注现有 PCRAM 损耗均衡策略所面临的安全威胁问题,介绍了一种现有 PCRAM 损耗均衡策略都无法有效抵御的新型攻击方式——重映射定时攻击(Remapping Timing Attack, RTA). RTA 能够利用 PCRAM 写操作时间不对称这一现象,通过恶意的攻击,可以使部分 PCRAM 存储单元在较短时间内达到写耐久性极限而失效,从而导致整个 PCRAM 存储系统不可用. 针对 RTA 给 PCRAM 带来的安全威胁,提出一种新颖的安全级别可调的损耗均衡策略(Security Region Based Start-Gap, Security RBSG). Security RBSG 采用两级动态映射来实现安全感知损耗均衡. 先是执行第一级安全级别可调整的动态映射,采用动态 Feistel 网络将来自 DRAM 缓存数据的逻辑地址转换为中间地址. Feistel 网络是密码学领域中广泛应用一对一映射方法. 进而为了防御 RTA 和提高损耗均衡效率,利用静态 Feistel 网络来实现地址空间随机化,中间地址空间接下来被划分为若干个大小相等的子区域,然后在每个子区域内对中间地址执行 Start-Gap 映射策略,分别将中间地址转换为物理地址. Security RBSG 提出的安全感知损耗均衡方案在内存控制器中实现,并将 bank 进行分开管理,能够有效避免 bank 并行攻击. Security RBSG 采用安全级别可调动态映射,避免有用的信息通过定时攻击泄漏,通过动态地改变 Feistel 网络映射函数,调整安全级别来增强 RBSG,不仅能够有效抵御 RTA,能够在安全保证与开销之间取得平衡,还具备在面临 RAA、BPA、RTA 时比现有其他损耗均衡策略更具鲁棒性. 一轮完整的动态 Feistel 网络重映射如图 12 所示.

图 12 一轮完整的动态 Feistel 网络重映射示例^[113]

文献[114]针对文献[112]中损耗均衡策略初始的随机映射相对固定,攻击者进入操作系统后可以轻易地获取逻辑地址和物理地址之间的映射关系,然后对部分存储单元进行密集的恶意写操作,致使 PCRAM 快速失效,提出了一种基于多向 Start-Gap 策略(Multi-direction Start-Gap, MSG)的损耗均衡方案.该方案对 Start-Gap 策略进行了改进,其一是通过将辑地址空间到物理地址空间映射方式由静态映射改为动态映射,有效提高了安全性;其二基于 MSG 策略将逻辑分区地址到物理分区地址的映射调整为逻辑分区地址到物理全局地址空间的映射,不仅进一步提升了安全性,更重要的是还增强了损耗均衡效果,提升了 PCRAM 的使用寿命.

文献[101]提出了三个策略来提升 PCRAM 的使用寿命,其中, LWO 策略的操作粒度是存储页,而存储线级写回策略(Line-level Write Back, LWB)和细粒度的损耗均衡策略(Fine-grained Wear Leveling, FWL)的操作粒度都是存储线.该方案中的 LWB 策略针对 PCRAM 作为主存时,如果仍然是沿用 DRAM 的传统方法以存储页为操作粒度(在一般情况下,一个存储页中的数据只有很少一部分需要修改),将很可能导致 PCRAM 快速失效,提出在 DRAM 中为每一个 Cache Line 设置一个标记位 D 表示 Dirty Bit(s),来标记存储页中存储线的更新状态,从而可以仅将修改过的行写回到 PCRAM 中,达到细化写操作粒度,减少执行写操作的目的.该方案中的 FWL 策略以存储线为操作粒度,为避免同一个存储页内各个存储线的写入操作量不平衡,通过每个存储页内的存储线的循环移位存储,实现逻辑区域到物理区域之间的细粒度映射,均衡存储页中各个存储线的写操作数量,达到损耗均衡的目的. Lazy-Write 策略组织结构如图 13 所示.

图 13 Lazy-Write 策略组织结构图^[101]

文献[115]针对当前一些粗粒度的损耗均衡策略无法很好的提升 PCRAM 的写耐久性,提出了一种近乎零成本的数据位级的损耗均衡策略——存储线内部数据位翻转(Intra-line Flipping, ILF).该策略利用运行时信息识别出“年迈”和“年轻”存储线,并在存储线内部进行周期性翻转,即通过将第 i 位比特值和第 $n-i$ 位比特值进行交换来实现热数据位与冷数据位之间的互换,以达到更细粒度的 PCRAM 损耗均衡.由于该策略中的映射是一个规则性的方式翻转,不需要增加额外的计数器或地址映射表,因而具有较高的效率,并且可以与其他粗粒度的损耗均衡策略相兼容.

文献[116]关注到不同 PCRAM 存储单元制造过程和编程模式差异,写耐久性也不完全相同,传统的损耗均衡方法只是将写操作均匀地分布到各个存储单元,写耐久性较差的存储单元会提前到达自身的写耐久性极限,引起整个 PCRAM 失效,提出了一种基于加权的代数损耗均衡策略(Weight-based Algebraic Wear Leveling, WAWL).该策略先是将整个 PCRAM 存储空间划分为若干个存储线,当某

个存储线中的写操作次数达到一定阈值时,将其与另外一个随机存储线进行交换. 某个存储线交换的时间间隔和每个存储线被选中的概率都根据该存储线的写耐久性来确定,并且存储线之间的交换都是在硬件层面实现的,这样不仅用较小的开销提升了 PCRAM 的寿命,还具备一定的安全性,能有效地抵御 BPA、AIA 等恶意的写操作攻击.

3.2 软件辅助的损耗均衡技术

硬件辅助的损耗均衡技术可以在不改变总的写操作次数的情况下提升了 PCRAM 的使用寿命,但是这些方法却在一定程度上增加了硬件的复杂性,增加了不可忽视的额外开销. 而且,由于缺乏应用程序的访问特征,在效果上也有所不足. 因此,一些研究者提出从软件辅助的角度来提升 PCRAM 的使用寿命.

3.2.1 操作系统层面

文献[117]基于 PCRAM 和 DRAM 的混合主存架构,提出一种基于操作系统层面的损耗均衡方案. 该方案提出区分“年迈”的存储页队列和“年轻”的存储页队列,在发生页面请求时,优先从“年轻”的队列选择存储页来满足请求. 该方案提出的 Book Keeping 技术用于存储 PCRAM 在存储页级别的写操作频率,还设计了主存分配器和页交换器两个管理子构件,PCRAM 和 DRAM 分别拥有各自的分配器. 由于当前新分配的物理页可能是写频繁的页,所以当分配新的物理页时,首先会从 DRAM 部分分配以减少迁移代价. 同时在软件辅助的损耗均衡策略方面,系统主存控制器为 PCRAM 配置了一个用于记录写操作次数的 map 表,详细记录由 Book Keeping 技术提供的 PCRAM 写操作基本信息,当某个存储页上执行的写操作数量达到 PCRAM 的主存分配器中设定阈值时,则发起中断,存储页交换器就会将当前的这个物理页交换至 DRAM 区域.

文献[118]针对 PCRAM 主存架构提出了一种完全基于操作系统层面的损耗均衡方案. 该方案进一步考虑了逻辑页面的访问特征,在不需要额外硬件支持的前提下,通过周期性存储页交换策略(Periodical Page Swapping, PPS)、基于重排不等式的存储页分配策略(Rearrangement Inequality Based Page Allocation, RIPA)、基于写强度的进程调度策略(Write Intensity Based Process Scheduling, WIPS)三者协同,优先将写操作分配到“年轻”存储页,给予“年迈”存储页更多空闲时间,逐渐使各物理存储页

承受的写入次数差异变小,实现了操作系统层面的损耗均衡. PPS 策略通过周期性的存储页交换,释放“年轻”物理存储页,用于准备写操作分配. RIPA 策略将写操作密集的逻辑地址合理地分配到 PPS 提供的“年轻”物理存储页. WIPS 策略则考虑整个过程中逻辑页面的写操作密度和物理存储页的写操作次数,在获得更好损耗均衡效果与确保合理性之间取得较好的平衡. PPS、WIPS 和 RIPA 之间的内在联系如图 14 所示.

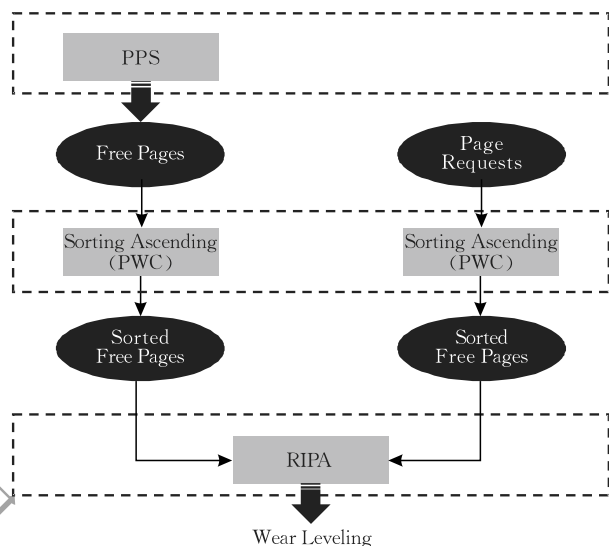


图 14 PPS、WIPS 和 RIPA 之间的内在联系^[118]

文献[119]在减少 PCRAM 写操作数据量的同时也考虑到了损耗均衡. 由于 PCRAM 的读操作具有非破坏性、写操作具有较长延时的特性,一些研究人员为了减少数据位翻转而采用 RBW 机制来屏蔽写操作过程中未改变的数据位. 但是,数据位翻转中存在着不均匀性,一些存储块中的特定区域(即热区域)却因此而承担了大部分的数据位翻转,会导致 PCRAM 快速失效. 为了减少热区域上的数据位翻转压力,提出了一个称之为 Captopril 的能效改善架构,通过观察一个应用程序中的写操作行为来确定存储块中的热区域. 确定这些热区域后,内存控制器合理地决定是将数据正常写入还是翻转后写入到热区域. 同时还扩展了 RBW,进一步减少每次写操作中的数据位的翻转数量. Captopril 机制如图 15 所示.

文献[120]进一步考虑了逻辑存储页的访问特征,提出一个融合软硬件的 PCRAM 损耗均衡框架,通过一个简单的硬件辅助,将虚拟内在空间分割为若干个区域,然后合并同一区域的写操作,让操作系统能够较为准确地预测进程中不同内在区域的写

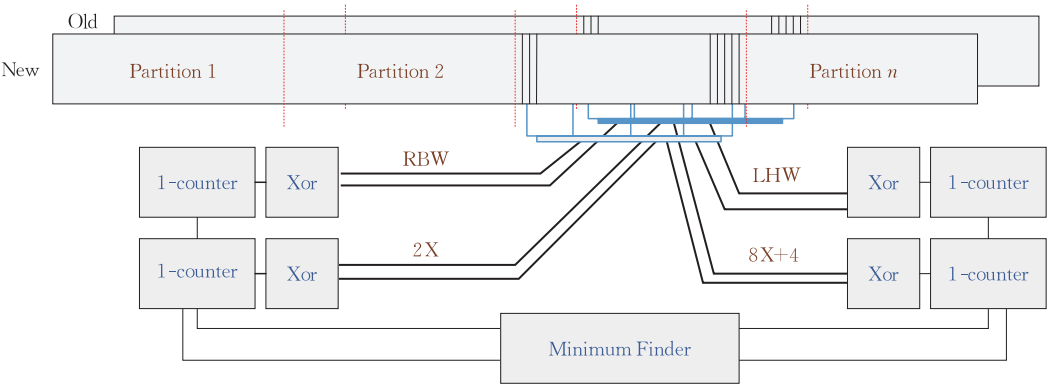


图 15 Captopril 机制示例^[119]

操作行为特征,然后尽量将写操作比较频繁的逻辑页面分配到“年轻”的物理存储页来实现损耗均衡.该策略通过在进行物理存储页分配时实现页面之间的损耗均衡,不需要引入额外的写操作,从而降低了开销.融合软硬件的 PCRAM 损耗均衡框架如图 16 所示.

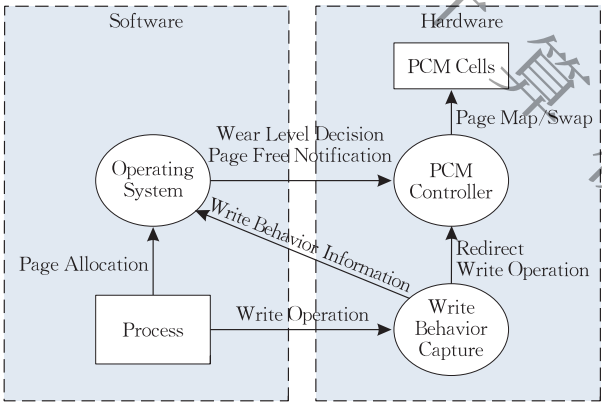


图 16 一个融合软硬件的损耗均衡框架^[120]

文献[121]针对不断地重映射热区域来可以在克服 PCRAM 写耐久性不足,但是周期性地冷热区域交换不可避免地会引起大量不必要的额外写操作和功耗,提出了一种基于物理存储页损耗程度感知的 PCRAM 损耗均衡策略.存储不同内容的段所承受读写操作的特性各异,文本段通常以读操作为主,而数据和堆栈段通常以写操作为主.根据这一特性,该策略在分配存储页时,在操作系统层面将“年迈”存储页分配给文本段,而“年轻”存储页分别分配给数据和堆栈段.在释放存储页时,根据存储页的承受写操作的强度信息,优先释放“年迈”存储页.分配存储页和释放存储页两种策略与现有的虚拟内存管理方法相兼容,因此软件和硬件改动相对较小.基于物理存储页损耗程度感知的 PCRAM 损耗均衡策略如图 17 所示.

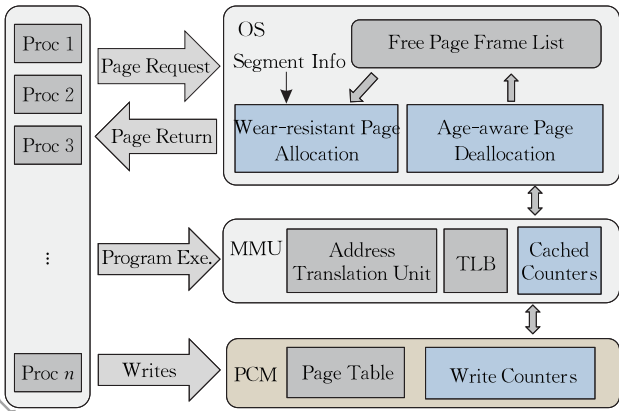
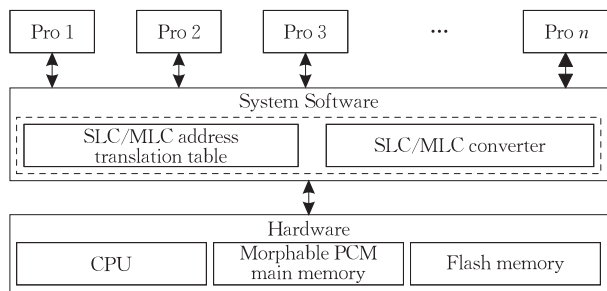


图 17 损耗程度感知的 PCRAM 损耗均衡^[121]

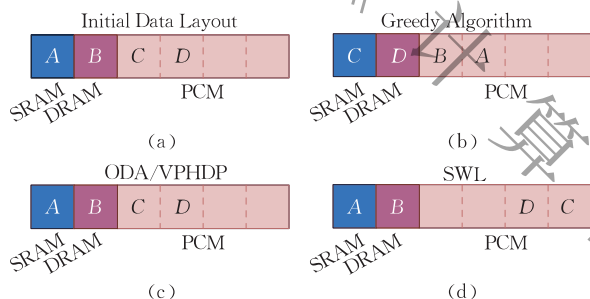
3.2.2 编译层面

文献[122]针对形变 PCRAM 提出了一种基于编译的简单有效的损耗均衡方案来提升形变 PCRAM 的使用寿命.该方案充分考虑到程序的具体特征,以及 SLC 存储单元和 MLC 存储单元之间的写耐久性差异,提出根据每个区域程序的不同工作流来动态确定形变 PCRAM 中 SLC/MLC 空间的大小,在软件编译层面实现 SLC/MLC 存储单元之间的数据分配,将读写频繁的变量分配到 SLC 存储单元,将读写相对不太频繁的变量分配到 MLC 存储单元.针对一个具体的程序,先是在每个区域程序运行之前建立一个整数线性规划(Integer Linear Programming, ILP)用于配置最优 SLC/MLC 分区.然后,ILP 为每个变量分配一个最佳的地址空间以实现形变 PCRAM 中的写操作均衡分布.基于形变 PCRAM 的嵌入式系统架构如图 18 所示.

文献[123]针对大部分软件辅助的 PCRAM 损耗均衡研究重点聚焦于减少写操作总量,但是没有考虑彻底将写操作均匀分布到 PCRAM,提出了一种基于编译的完全不增加硬件开销的 PCRAM 损耗均衡方案.该方案考虑到给定程序的数据分配和

图 18 基于形变 PCRAM 的嵌入式系统架构^[122]

损耗均衡,先提出一个 ILP 来获得 PCRAM 损耗均衡的最小开销,确保数据分配是每个区域的最优选择,然后从这个 ILP 获取全局最优的存取开销,针对大型程序提出基于软件的损耗均衡策略(Software Wear-Leveling, SWL)以达到最佳结果。基于编译的完全不增加硬件开销的 PCRAM 损耗均衡方案如图 19 所示。

图 19 数据分配和损耗均衡示例^[123]

此外,文献[124]提出了基于编译技术的损耗方案。该方案在每个代码区域(比如循环、函数)的入口处,根据数据的访问特征为数据重新分配地址以实现更细粒度的损耗均衡。文献[125]针对大部分 PCRAM 损耗均衡研究仅聚焦于交换地址空间,没有充分考虑程序中变量的存取模式,提出了一种基于编译的损耗均衡方案。其基本思路是将数据结构中频繁写的变量或对象转换成数据,这样,某一个的主存区域大量的写操作相被分解为多个写操作,然后均匀分布到多个主存区域。文献[126]提出了一种基于编译的损耗均衡方案。根据代价收益模型评估对比一个数据重新计算的代价和先写回 PCRAM 再读取的代价,如果前者小于后者,就节省写回操作,然后在下次访问该值之前根据寄存器中的操作数重新计算出该值。

4 总结和展望

4.1 总结

硬件辅助的 PCRAM 损耗均衡技术的优势在

于,能够通过硬件计数器可以精确地监视主存区域的损耗程度,从而可以及时地对损耗较为严重的 PCRAM 存储单元进行调整,以避免其因进一步损耗而过早地损坏。

硬件辅助的 PCRAM 损耗均衡技术的局限在于,其一,由于缺乏应用信息,现有的硬件辅助的损耗均衡技术不能很好地识别数据对象的冷热程度,从而影响了损耗均衡技术的效果。现有的硬件辅助损耗均衡方法主要根据程序运行的历史情况来预测数据对象的冷热程度。其预测准确性因应用程序的特征而异。如果应用程序的某些数据对象在运行前期是热数据,在后期变成冷数据,就会发生严重的预测失误,这种情况反而会误导硬件的行为,并由此产生高昂的代价。其二,现有的硬件方法采用冷热数据之间的交换来改善损耗均衡的目的,主要通过两种途径。第一种途径是以一种固定的方式周期性地交换数据。第二种途径是通过硬件计数器统计 PCRAM 各主存区域的访问频率,根据访问频率来区分冷热区域,当检测到访问不均衡问题比较突出时,再进行数据交换。前者基于数据访问在主存随机分布的假设,没有考虑当前的主存损耗情况,当数据访问在主存不满足随机分布时效果不明显,甚至有可能加剧损耗不均衡。后者虽然考虑了当前的主存损耗情况,但是为了统计各主存区域的访问频率,导致了额外的硬件和能耗方面的开销。统计的粒度越精细,损耗均衡效果越好,但是开销也越大。其三,这些损耗均衡技术所依赖的数据交换本身会产生不可忽视的额外写操作,因而不可避免地导致额外的性能和能耗方面的开销。

软件辅助的 PCRAM 损耗均衡技术的优势在于,不需要对硬件进行修改或者是增加额外的硬件,可以对应用程序的代码结构以及数据访问特征进行细致地分析,可以较为精准地识别冷热数据。

软件辅助的 PCRAM 损耗均衡技术的局限在于,其一,当前的一些研究成果^[117-121]只考虑了页面之间的损耗均衡,没有考虑页面内更细粒度的损耗均衡。如果页面内部存在冷热不均的情况,那么一个统计结果呈现为冷的页面也可能因局部过热而过度损耗。此外,这些方案对于逻辑页面的访问特征的识别也存在局限性。一些研究成果^[117-118]依赖于程序运行的历史情况来预测逻辑页面的访问特征,预测的准确性因应用程序的特征而异,如果发生严重的预测失误,反而会误导硬件的行为,并由此产生高昂的代价。一些研究成果^[119,121]只是定性地区分代码

段、栈、堆等区域对应的逻辑页面的访问特征,总的来说比较粗略.其二,当前的基于编译的 PCRAM 损耗均衡技术^[122-126]能够处理更细粒度的损耗均衡.但是该技术是在编译时实现的,难以在运行时根据具体情况进行实时动态调整,而且该技术假设数据对象的详细访问特征是已知的,限制了该方法的通用性.此外,该技术只能处理静态分配的数据对象,而不能处理动态分配的数据对象,而且不能保证各 PCRAM 存储单元上的损耗是完全均衡的.

在 PCRAM 即将走向大规模商业化应用的今天,安全问题日益突出.当前的一些研究成果^[104-106,109,112-114,116]在关注通过损耗均衡提升 PCRAM 寿命时,还考虑到了恶意的写操作攻击,提出了一些针对性的应对措施,在一定程度上增强了 PCRAM 的安全性.此外,部分研究人员提出损耗均衡方案中考虑到了 PCRAM 器件存在的工艺偏差和写耐久性差异问题^[99,102-103,116].PCRAM 中的各存储单元上的写操作所需的电流是不一样的.为了确保写操作的成功,通常的设计方法采用所需的最大电流作为统一的编程电流.这样,导致了大量 PCRAM 单元被过度编程,从而大大降低使用寿命.有研究人员^[99]提出为 PCRAM 的不同存储区域提供不同的编程电流,从而缓解过度编程的问题.因制造过程和编程模式差异,每个 PCRAM 存储单元的写耐久性也存在差异,有研究人员^[102-103,116]提出避免少数写耐久性较弱的存储单元提前损耗引起 PCRAM 失效,不是简单地将写操作平均地分配到各个存储区域,而是根据存储单元的写耐久性差异来差别化、有针对性地分配写操作,充分利用各个存储单元的写耐久性.

4.2 展 望

研究人员在 PCRAM 损耗均衡研究领域分别从硬件、操作系统和编译等三个不同层次,以及各自不同的关注角度开展了大量卓有成效的研究工作,并取得了一些激动人心的研究进展.但是,这些不同层次、不同粒度的 PCRAM 损耗均衡方案具有不同的针对性、开销、效率和安全性,具体需要在哪个层次上实现或者在哪些粒度上实现损耗均衡,需要考虑 PCRAM 的实际应用规模、应用场景和特定的需求,需要在 PCRAM 使用寿命和存取效率之间找到适当的平衡点.此外,当前的大部分研究工作都是在某一个层次独立进行的,较少考虑同时从多个角度出发,融合三个层次的技术来更好地解决 PCRAM

损耗均衡问题.实际上,硬件、操作系统和编译这三个层次的 PCRAM 损耗均衡技术之间具有较强的互补性.其一,硬件层次的损耗均衡技术可以通过精确地监控 PCRAM 的损耗程度,然后根据监控结果及时地对损耗相对严重的 PCRAM 存储单元进行调整,在避免 PCRAM 因局部区域因过早达到写耐久性上限而失效的同时,也有利于进一步改善操作系统层次和编译次的损耗均衡效果.其二,操作系统层次的损耗均衡技术可以在一定程度上将写操作均匀地分布到各个 PCRAM 存储单元上,或者是降低 PCRAM 的平均写操作次数,也有利于进一步改善硬件层次和编译次的损耗均衡效果.其三,编译层次的损耗均衡技术可以为硬件层次的损耗技术提供更有效的数据访问特征信息,从而改善硬损耗均衡效果.编译层次的损耗均衡技术在一定程度上改善了损耗均衡效果后,应用硬件层次的损耗均衡技术时,所需要的调整操作也会相应减少,面对调整粒度的要求也可以放松,从而可以降低硬件、性能和能耗方面的开销,可以进一步改善应用硬件层次和操作系统层次损耗均衡技术的效果.

因此,未来的 PCRAM 损耗均衡研究工作,既要避免硬件辅助的损耗均衡技术的在硬件、性能和能耗等方面的开销问题,同时还要改善现有软件辅助的损耗均衡技术的局限性.可以在不明显增加器件复杂度和影响器件性能,充分考虑安全性和各存储单元的写耐久性差异,通过融合硬件、操作系统和编译三个层次的 PCRAM 损耗均衡技术,从多个角度协同工作,实现全部程序数据的、细粒度的存取均衡,以更好地解决 PCRAM 损耗均衡这一难题.

参 考 文 献

- [1] Choi Y, Latifi S. Future prospects of DRAM: Emerging alternatives. *International Journal of High Performance Systems Architecture*, 2012, 4(1): 1-12
- [2] Lefurgy C, Rajamani K, Rawson F, et al. Energy management for commercial servers. *Computer*, 2003, 36(12): 39-48
- [3] Lim K, Ranganathan P, Chang J, et al. Understanding and designing new server architectures for emerging warehouse-computing environments. *International Symposium on Computer Architecture*, 2008, 36(3): 315-326
- [4] Udipi A N, Muralimanohar N, Chatterjee N, et al. Rethinking DRAM design and organization for energy-constrained multi-cores. *ACM SIGARCH Computer Architecture News*, 2010, 38(3): 175-186

- [5] Chang L P, Kuo T W. Efficient management for large-scale flash memory storage with resource conservation. *IEEE Transactions on Storage*, 2005, 1(4): 381-418
- [6] Wu Chin-Hsien, Kuo Tei-Wei. An adaptive two-level management for the flash translation layer in embedded systems//*Proceedings of the 2006 IEEE/ACM International Conference on Computer Aided Design*. San Jose, USA, 2006: 601-606
- [7] Wang Jiang-Tao, Lai Wen-Yu, Meng Xiao-Feng. Flash-based database: Studies, techniques and forecast. *Chinese Journal of Computers*, 2013, 36(8): 1549-1567(in Chinese)
(王江涛, 赖文豫, 孟小峰. 闪存数据库: 现状、技术与展望. *计算机学报*, 2013, 36(8): 1549-1567)
- [8] Mukherjee S, Chang T, Pang R, et al. A single transistor EEPROM cell and its implementation in a 512K CMOS EEPROM//*Proceedings of the International Electron Devices Meeting*. Washington, USA, 1985: 616-619
- [9] Zheng Wen-Jing, Li Ming-Qiang, Shu Ji-Wu. Flash storage technology. *Journal of Computer Research and Development*, 2010, 47(4): 716-726(in Chinese)
(郑文静, 李明强, 舒继武. 闪存存储技术. *计算机研究与发展*. 2010, 47(4): 716-726)
- [10] Strukov D B, Kohlstedt H. Resistive switching phenomena in thin films: Materials, devices, and applications. *MRS Bulletin*, 2012, 37(2): 108-117
- [11] Burr G W, Kurdi B N, Scott J C, et al. Overview of candidate device technologies for storage-class memory. *IBM Journal of Research and Development*, 2008, 52(4): 449-464
- [12] Shen Zhi-Rong, Xue Wei, Shu Ji-Wu. Research on new non-volatile storage. *Journal of Computer Research and Development*, 2014, 51(2): 445-453(in Chinese)
(沈志荣, 薛巍, 舒继武. 新型非易失性存储研究. *计算机研究与发展*, 2014, 51(2): 445-453)
- [13] Burr G W, Breitwisch M J, Franceschini M, et al. Phase change memory technology. *Journal of Vacuum Science & Technology B*, 2010, 28(2): 223-262
- [14] Moodera J S, Kinder L R, Wong T M, et al. Large magnetoresistance at room temperature in ferromagnetic thin film tunnel junctions. *Physical Review Letters*, 1995, 74(16): 3273-3276
- [15] Prince B. Trends in scaled and nanotechnology memories//*Proceedings of the 6th Annual Non Volatile Memory Technology Symposium*. Dallas, Texas, USA, 2005: 55-61
- [16] Service R F. Molecular electronics: Next-generation technology hits an early midlife crisis. *Science*, 2003, 302(5645): 556-559
- [17] Liu Z, Yasserli A A, Lindsey J S, et al. Molecular memories that survive silicon device processing and real-world operation. *Science*, 2003, 302(5650): 1543-1545
- [18] Yoo M J. Scanning single-electron transistor microscopy: Imaging individual charges. *Science*, 1997, 276: 579-582
- [19] Arimoto Y, Ishiwara H. Current status of ferroelectric random-access memory. *MRS Bulletin*, 2004, 29(11): 823-828
- [20] Scott J F, de Araujo C A P. Erratum: Ferroelectric memories. *Science*, 1989, 246(4937): 1549-1549
- [21] Ha S D, Ramanathan S. Adaptive oxide electronics: A review. *Journal of Applied Physics*, 2011, 110(7): 71101
- [22] Kotani K, Koshimoto Y, Ito T. Stable readout circuit for ferroelectric random access memory using complementary metal-oxide-semiconductor-inverter-based capacitive-feedback charge-integration scheme. *Japanese Journal of Applied Physics*, 2010, 49: DE410
- [23] Qazi M, Clinton M, Bartling S. A low-voltage 1Mb FRAM in 0.13 μm CMOS featuring time-to-digital sensing for expanded operating margin. *IEEE Journal of Solid-State Circuits*, 2012, 47(47): 141-150
- [24] Nakamoto H, Yamazaki D, Yamamoto T, et al. A passive UHF RF identification CMOS tag IC using ferroelectric RAM in 0.35- μm technology. *IEEE Journal of Solid-State Circuits*, 2007, 42(1): 101-110
- [25] Ng T N, Russo B, Arias A C. Degradation mechanisms of organic ferroelectric field-effect transistors used as nonvolatile memory. *Journal of Applied Physics*, 2009, 106(9): 094504-094504-5
- [26] Baibich M N, Broto J M, Fert A, et al. Giant magnetoresistance of (001)Fe/(001)Cr magnetic superlattices. *Physical Review Letters*, 1988, 61(21): 2472-2475
- [27] Miyazaki T, Yaoi T, Ishio S. Large magnetoresistance effect in 82Ni-Fe/Al-Al₂O₃/Co magnetic tunneling junction. *Journal of Magnetism and Magnetic Materials*, 1991, 98(1-2): L7-L9
- [28] Tehrani S, Slaughter J M, Chen E, et al. Recent developments in magnetic tunnel junction MRAM. *IEEE Transactions on Magnetics*, 2000, 36(5): 2752-2757
- [29] Chen Chao. Novel Materials and Their Switching Mechanisms of Resistive Random Access Memory [Ph. D. dissertation]. Tsinghua University, Beijing, 2013(in Chinese)
(陈超. 新型阻变存储器材料及其电阻转变机理研究[博士学位论文]. 清华大学, 北京, 2013)
- [30] Huai Yiming. Spin-transfer torque MRAM (STT-MRAM): Challenges and prospects. *AAPPS Bulletin*, 2008, 18(6): 33-40
- [31] Kishi T, Yoda H, Kai T, et al. Lower-current and fast switching of a perpendicular TMR for high speed and high density spin-transfer-torque MRAM//*Proceedings of the 2008 IEEE International Electron Devices Meeting*. San Francisco, USA, 2008: 1-4
- [32] Pan Feng, Chen Chao. Resistive Random Access Memory Materials and Devices. Beijing: Science Press, 2014(in Chinese)
(潘峰, 陈超. 阻变存储器材料与器件. 北京: 科学出版社, 2014)

- [33] Lee M J, Han S, Jeon S H, et al. Electrical manipulation of nanofilaments in transition-metal oxides for resistance-based memory. *Nano Letters*, 2009, 9(4): 1476-1481
- [34] Zhao Jian-Wei, Sun Jian, Huang Hai-Qin, et al. Effects of ZnO buffer layer on GZO RRAM devices. *Applied Surface Science*, 2012, 258: 4588-4591
- [35] Simmons J G, Verderber R R. New conduction and reversible memory phenomena in thin insulating films. *Proceedings of the Royal Society A*, 1967, 301(1464): 77-102
- [36] Zhuang W W, Pan W, Ulrich B D, et al. Novel colossal magnetoresistive thin film nonvolatile resistance random access memory (RRAM)//*Proceedings of the 2002 International Electron Devices Meeting*. San Francisco, USA, 2002: 193-196
- [37] Liu C Y, Wu P H, Wang A, et al. Bistable resistive switching of a sputter-deposited Cr-doped SrZrO₃ memory film. *IEEE Electron Device Letters*, 2005, 26: 351-353
- [38] Fujii T, Kawasaki M, Sawa A, et al. Hysteretic current-voltage characteristics and resistance switching at an epitaxial oxide Schottky junction SrRuO₃/SrTi_{0.99}Nb_{0.01}O₃. *Applied Physics Letters*, 2004, 86(1): 012107
- [39] Li Ying-Tao, Long Shi-Bing, Liu Qi, et al. An overview of resistive random access memory devices. *Chinese Science Bulletin*, 2011, 56(28): 3072-3078
- [40] Lai S. Current status of the phase change memory and its future//*Proceedings of the International Electron Devices Meeting Technical Digest*. Washington, USA, 2003: 10.1.1.10.1.4
- [41] Merget F, Kim D H, Bolivar P H, et al. Lateral design for phase change random access memory cells with low-current consumption. *Microsystem Technologies*, 2007, 13(2): 169-172
- [42] Lencer D, Salanga M, Grabowski B, et al. A map for phase-change materials. *Nature Materials*, 2008, 7: 972-977
- [43] Song Zhi-Tang. *Phase Change Memory and Application Basis*. Beijing: Science Press, 2013(in Chinese)
(宋志棠. 相变存储器与应用基础. 北京: 科学出版社, 2013)
- [44] Zhao Peng, Zhu Long-Yun. A scheme for protecting confidentiality of non-volatile main memory based on phase-change memory. *Chinese Journal of Computers*, 2011, 34(11): 2114-2120(in Chinese)
(赵鹏, 朱龙云. 基于相变存储器的非易失内存数据机密性保护. 计算机学报, 2011, 34(11): 2114-2120)
- [45] Li Qing-An. *Compilation for Embedded System with Non-Volatile On-Chip Memory*[Ph. D. dissertation]. Wuhan University, Wuhan, 2013(in Chinese)
(李清安. 面向非易失性片上存储的编译技术研究[博士学位论文]. 武汉大学, 武汉, 2013)
- [46] Cai Xiao-Jun. *Research on Energy-Efficient Hybrid Main Memory Based on Non-Volatile Memory*[Ph. D. dissertation]. Shandong University, Jinan, 2016(in Chinese)
(蔡晓军. 基于非易失性存储的高能效混合主存关键技术研究[博士学位论文]. 山东大学, 济南, 2016)
- [47] Eilert S, Leinwander M, Crisenza G. Phase change memory: A new memory enables new memory usage models//*Proceedings of the 2009 IEEE International Memory Workshop*. Monterey, USA, 2009: 1-2
- [48] Lee B C, Ipek E, Mutlu O, et al. Phase change memory architecture and the quest for scalability. *Communications of the ACM*, 2010, 53(7): 99-106
- [49] Xue C J, Zhang Y, Chen Y, et al. Emerging non-volatile memories: opportunities and challenges//*Proceedings of the 9th International Conference on Hardware/Software Codesign and System Synthesis*. Taipei, China, 2011: 325-334
- [50] Lee B C, Zhou P, Yang J, et al. Phase-change technology and the future of main memory. *IEEE Micro*, 2010, 30(1): 143-143
- [51] Yang Tae-Youl, Park Il-Mok, You Ha-Young, et al. Change of damage mechanism by the frequency of applied pulsed DC in the Ge₂Sb₂Te₅ line. *Journal of the Electrochemical Society*, 2009, 156(8): H617-H620
- [52] Waterman A T. Positive ionisation of certain hot salts, together with some observations on the electrical properties of molybdenite at high temperatures. *Philosophical Magazine*, 1917, 1976, (195): 225-247
- [53] Waterman A T. The electrical conductivity of molybdenite. *Physical Review*, 1923, 21: 540-549
- [54] Liu Jie. *Multiscale Simulation of Phase Change Memory*[Ph. D. dissertation]. University of Washington, Washington, USA, 2013
- [55] Pearson A D, Northover W R, Dewald J F. Chemical physical and electrical properties of some unusual inorganic glasses. *Advances in Glass Technology*. New York, USA: Plenum Press, 1962: 357-365
- [56] Ovshinsky S R. Reversible electrical switching phenomena in disordered structures. *Physical Review Letters*, 1968, 21(20): 1450-1453
- [57] Neale R G, Nelson D L, Moore G E. Nonvolatile and reprogrammable, the read mostly memory is here. *Electronics*, 1970, 30: 56-60
- [58] Wuttig M, Yamada N. Phase-change materials for rewriteable data storage. *Nature Materials*, 2007, 6(11): 824-832
- [59] Kojima R, Okabayashi S, Kashihara T, et al. Nitrogen doping effect on phase change optical disks. *Japanese Journal of Applied Physics*, 1998, 37(4): 2098-2103
- [60] Kojima R, Yamada N. Acceleration of crystallization speed by Sn addition to Ge-Sb-Te phase-change recording material. *Japanese Journal of Applied Physics*, 2001, 40(10): 5930-5937
- [61] Lee C M, Chin T S. New optical media based on Ge₄Sb_{1-x}Bi_xTe₅. *Japanese Journal of Applied Physics*, 2000, 39(S1): 513-514
- [62] Wang K, Steimer C, Wamwangi D, et al. Effect of indium doping on Ge₂Sb₂Te₅ thin films for phase-change optical storage. *Applied Physics A*, 2005, 80(8): 1611-1616

- [63] Zhou X, Wu L, Song Z, et al. Carbon-doped $\text{Ge}_2\text{Sb}_2\text{Te}_5$ phase change material: A candidate for high-density phase change memory application. *Applied Physics Letters*, 2012, 101(14): 202
- [64] Shao Z, Chang N, Dutt N. PTL: PCM translation layer// *Proceedings of the IEEE Computer Society Annual Symposium on VLSI*. Amherst, USA, 2012: 380-385
- [65] Jeong C W, Kang D H, Ha D W, et al. Writing current reduction and total set resistance analysis in PRAM. *Solid-State Electronics*, 2008, 52(4): 591-595
- [66] Lacaita A L, Ielmini D, Mantegazza D. Status and challenges of phase change memory modeling. *Solid-State Electronics*, 2008, 52(9): 1443-1451
- [67] Youm M, Kim Y T, Sung M Y. Effects of bottom electrode and environmental insulator on thermal distribution of edge contact-type PRAM cell. *Microelectronics Journal*, 2007, 38(10-11): 1034-1037
- [68] Lankhorst M H, Ketelaars B W, Wolters R A. Low-cost and nanoscale non-volatile memory concept for future silicon chips. *Nature Materials*, 2005, 4(4): 347-352
- [69] Shao Zili, Liu Yongpan, Chen Yiran, et al. Utilizing PCM for energy optimization in embedded systems//*Proceedings of the IEEE Computer Society Annual Symposium on Very Large Scale Integration*. Amherst, USA, 2012: 398-403
- [70] Wang Rujia, Jiang Lei, Zhang Youtao, et al. SD-PCM: Constructing reliable super dense phase change memory under write disturbance//*Proceedings of the 20th International Conference on Architectural Support for Programming Languages and Operating Systems*. Istanbul, Turkey, 2015: 19-31
- [71] Tong Hao. Study on Phase Change Material with Superlattice Structure [Ph. D. dissertation]. Huazhong University of Science and Technology, Wuhan, 2011(in Chinese)
(童浩. 超晶格相变材料研究[博士学位论文]. 华中科技大学, 武汉, 2011)
- [72] Li Run. Investigations on the Memory Properties of Binary Telluride Phase-Change Materials [Ph. D. dissertation]. Nanjing University, Nanjing, 2013(in Chinese)
(李润. 二元碲化物相变材料存储特性的研究[博士学位论文]. 南京大学, 南京, 2013)
- [73] Iwasaki H, Ide Y, Harigaya M, et al. Completely erasable phase change optical disk; Media. *Japanese Journal of Applied Physics*, 1992, 31(2): 461-465
- [74] Li Y, Chen Y, Jones A K. A software approach for combating asymmetries of non-volatile memories//*Proceedings of the 2012 ACM/IEEE International Symposium on Low Power Electronics and Design*. Redondo Beach, USA, 2012: 191-196
- [75] Huo Ruru, Cai Daolin, Chen Bomy, et al. Endurance characteristics of phase change memory cells. *Journal of Semiconductors*, 2016, 37(5): 65-68
- [76] Raoux S, Rettner C T, Jordansweet J L, et al. Direct observation of amorphous to crystalline phase transitions in nanoparticle arrays of phase change materials. *Journal of Applied Physics*, 2007, 102(9): 94305
- [77] Welic W, Botti S, Reining L, et al. Origin of the optical contrast in phase-change materials. *Physical Review Letters*, 2007, 98(23): 236403
- [78] Pozidis H, Papandreou N, Sebastian A, et al. A framework for reliability assessment in multilevel phase-change memory //*Proceedings of the 2012 4th IEEE International Memory Workshop*. Milano, Italy, 2012: 145-149
- [79] Endoh T, Koike H, Ikeda S, et al. An overview of nonvolatile emerging memories — Spintronics for working memories. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 2016, 6(2): 109-119
- [80] Dong X, Xie Y. AdaMS: Adaptive MLC/SLC phase-change memory design for file storage//*Proceedings of the 16th Asia and South Pacific Design Automation Conference*. Yokohama, Japan, 2011: 31-36
- [81] Joshi M, Zhang Wangyuan, Li Tao. Mercury: A fast and energy-efficient multi-level cell based phase change memory system//*Proceedings of the 2011 IEEE 17th International Symposium on High Performance Computer Architecture*. San Antonio, Texas, USA, 2011: 345-356
- [82] Long Lin-Bo. Exploring Wear Leveling and Optimization Techniques of Non-Volatile Memory [Ph. D. dissertation]. Chongqing University, Chongqing, 2016(in Chinese)
(龙林波. 非易失性内存的磨损均衡与管理优化研究[博士学位论文]. 重庆大学, 重庆, 2016)
- [83] Raoux S, Burr G W, Breitwisch M J, et al. Phase-change random access memory: A scalable technology. *IBM Journal of Research and Development*, 2008, 52(4.5): 465-479
- [84] Mao Wei, Liu Jing-Ning, Tong Wei, et al. A review of storage technology research based on phase change memory. *Chinese Journal of Computers*, 2015, 38(5): 944-960(in Chinese)
(冒伟, 刘景宁, 童薇等. 基于相变存储器的存储技术研究综述. *计算机学报*, 2015, 38(5): 944-960)
- [85] Wu Zhang-Ling, Jin Pei-Quan, Yue Li-Hua, et al. A survey on PCM-based big data storage and management. *Journal of Computer Research and Development*, 2015, 52(2): 343-361 (in Chinese)
(吴章玲, 金培权, 岳丽华等. 基于 PCM 的大数据存储与管理研究综述. *计算机研究与发展*, 2015, 52(2): 343-361)
- [86] Xia Fei, Jiang De-Jun, Xiong Jin, et al. A survey of phase change memory systems. *Journal of Computer Science and Technology*, 2015, 30(1): 121-144
- [87] Choi Y, Song I, Park M H, et al. A 20nm 1.8V 8Gb PRAM with 40MB/s program bandwidth//*Proceedings of the 2012 IEEE International Solid-State Circuits Conference*. San Francisco, USA. 2012: 46-48
- [88] Wu Liang-Cai, Song Zhi-Tang, Zhou Xi-Lin, et al. Study of phase change materials for phase change random access memory. *Scientia Sinica (Physica, Mechanica & Astronomica)*, 2016, 46: 107309(in Chinese)
(吴良才, 宋志棠, 周夕淋等. 相变存储器材料研究. *中国科学: 物理学 力学 天文学*, 2016, 46: 107309)

- [89] Athmanathan A, Stanisavljevic M, Papandreou N, et al. Multilevel-cell phase-change memory: A viable technology. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 2016, 6(1): 87-100
- [90] Burr G W, Brightsky M J, Sebastian A, et al. Recent progress in phase-change memory technology. *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, 2016, 6(2): 146-162
- [91] Stanisavljevic M, Pozidis H, Athmanathan A, et al. Demonstration of reliable triple-level-cell (TLC) phase-change memory//*Proceedings of the 2016 IEEE 8th International Memory Workshop*. Paris, France, 2016: 1-4
- [92] Hong S, Auciello O, Wouters D. *Emerging Non-Volatile Memories*. Springer US, New York, USA, 2014: 103-166
- [93] Dong X, Jouppi N P, Xie Y. PCRAMsim: System-level performance, energy, and area modeling for phase-change ram//*Proceedings of the 2009 International Conference on Computer-Aided Design*. New York, USA, 2009: 269-275
- [94] Villa C, Mills D, Barkley G, et al. A 45 nm 1 Gb 1.8 V phase-change memory//*Proceedings of the 2010 IEEE International Solid-State Circuits Conference*. San Francisco, USA, 2010: 270-271
- [95] De Sandre G, Bettini L, Pirola A, et al. A 90 nm 4-Mb embedded phase-change memory with 1.2 V 12 ns read access time and 1 MB/s write throughput//*Proceedings of the 2010 IEEE International Solid-State Circuits Conference*. San Francisco, USA, 2010: 268-269
- [96] Cho B H, Shin J, Kim J, et al. A 58 nm 1.8 V 1 Gb PRAM with 6.4 MB/s program BW//*Proceedings of the 2011 IEEE International Solid-State Circuits Conference*. San Francisco, USA, 2011: 500-502
- [97] Liu Jin-Lei, Li Qiong. Application research on new non-volatile phase change memory PCM. *Journal of Computer Research and Development*, 2012, 49(S1): 90-93(in Chinese)
(刘金垒, 李琼. 新型非易失相变存储器 PCM 应用研究. *计算机研究与发展*, 2012, 49(S1): 90-93)
- [98] Ferreira A P, Zhou M, Bock S, et al. Increasing PCM main memory lifetime//*Proceedings of the 2010 Design, Automation & Test in Europe Conference & Exhibition*. Dresden, Germany, 2010: 914-919
- [99] Zhao Mengying, Jiang Lei, Zhang Youtao, et al. SLC-enabled wear leveling for MLC PCM considering process variation//*Proceedings of the 51st ACM/IEEE Design Automation Conference*. San Francisco, USA, 2014: 1-6
- [100] Chen Chi-Hao, Hsiu Pi-Cheng, Kuo Tei-Wei, et al. Age-based PCM wear leveling with nearly zero search cost//*Proceedings of the 49th ACM/EDAC/IEEE Design Automation Conference*. San Francisco, USA, 2012: 453-458
- [101] Qureshi M K, Srinivasan V, Rivers J A. Scalable high performance main memory system using phase-change memory technology. *ACM SIGARCH Computer Architecture News*, 2009, 37(3): 24-33
- [102] Yun J, Lee S, Yoo S. Bloom filter-based dynamic wear leveling for phase-change ram//*Proceedings of the Conference on Design, Automation and Test in Europe*. Dresden, Germany, 2012: 1513-1518
- [103] Yun J, Lee S, Yoo S. Dynamic wear leveling for phase-change memories with endurance variations. *IEEE Transactions on Very Large Scale Integration Systems*, 2015, 23(9): 1604-1615
- [104] Seong N H, Woo D H, Lee H H S. Security refresh: Prevent malicious wear-out and increase durability for phase-change memory with dynamically randomized address mapping//*Proceedings of the 37th International Symposium on Computer Architecture*. Saint-Malo, France, 2010: 383-394
- [105] Du Yu-Yang, Yu Hong-Liang, Zheng Wei-Min. An algebraic-mapping-based phase-change memory matrix wear-leveling method. *Journal of Computer Research and Development*, 2012, 49(12): 2713-2720(in Chinese)
(杜雨阳, 余宏亮, 郑纬民. 一种基于代数映射的相变内存矩阵磨损均衡方法. *计算机研究与发展*, 2012, 49(12): 2713-2720)
- [106] Yu Hongliang, Du Yuyang. Increasing endurance and security of phase-change memory with multi-way wear-leveling. *IEEE Transactions on Computers*, 2014, 63(5): 1157-1168
- [107] Qureshi M K, Seznec A, Lastras L A, et al. Practical and secure PCM systems by online detection of malicious write streams//*Proceedings of the 2011 IEEE 17th International Symposium on High Performance Computer Architecture*. San Antonio, USA, 2011: 478-489
- [108] Seznec A. A phase change memory as a secure main memory. *IEEE Computer Architecture Letters*, 2010, 9(1): 5-8
- [109] Du Yu-Yang. Research on Virtual Machine State Migration and Phase-Change Memory Wear-Leveling Method [Ph. D. dissertation]. Tsinghua University, Beijing, 2011(in Chinese)
(杜雨阳. 虚拟机状态迁移和相变存储磨损均衡方法研究 [博士学位论文]. 清华大学, 北京, 2011)
- [110] Liu Duo, Wang Tianzheng, Wang Yi, et al. Curling-PCM: Application-specific wear leveling for phase change memory based embedded systems//*Proceedings of the 18th Asia and South Pacific Design Automation Conference*. Yokohama, Japan, 2013: 279-284
- [111] Zhou Ping, Zhao Bo, Yang Jun, et al. A durable and energy efficient main memory using phase change memory technology//*Proceedings of the 36th Annual International Symposium on Computer Architecture*. New York, USA, 2009: 14-23
- [112] Qureshi M K, Karidis J, Franceschini M, et al. Enhancing lifetime and security of PCM-based main memory with start-gap wear leveling//*Proceedings of the 42nd Annual IEEE/ACM International Symposium on Microarchitecture*. New York, USA, 2009: 14-23

- [113] Huang Fangting, Feng Dan, Xia Wei, et al. Security RBSG: Protecting phase change memory with security-level adjustable dynamic mapping//Proceedings of the 2016 IEEE International Parallel and Distributed Processing Symposium (IPDPS). Chicago, USA, 2016: 1081-1090
- [114] Zhu Peng, Huang Lian-Jun, He Zai-Hong, et al. Design and implement of PCM multi-direction Start-Gap algorithm. Journal of Chinese Computer System, 2016, 37(3): 627-631(in Chinese)
(朱鹏, 黄炼军, 贺再红等. PCM 多向 Start-Gap 算法设计与实现. 小型微型计算机系统, 2016, 37(3): 627-631)
- [115] Zhao M, Shi L, Yang C, Xue C J. Leveling to the last mile: Near-zero-cost bit level wear leveling for PCM-based main memory//Proceedings of the 32nd IEEE International Conference on Computer Design. Seoul, Korea, 2014: 16-21
- [116] Zhou Wen, Feng Dan, Hua Yu, et al. Increasing lifetime and security of phase-change memory with endurance variation //Proceedings of the 2016 IEEE 22nd International Conference on Parallel and Distributed Systems. Wuhan, China, 2016: 861-868
- [117] Dhiman G, Ayoub R, Rosing T. PDRAM: A hybrid PRAM and DRAM main memory system//Proceedings of the 46th Design Automation Conference. New York, USA, 2009: 664-669
- [118] Pan Chen, Xie Mimi, Hu Jingtong, et al. Wear-leveling for PCM main memory on embedded system via page management and process scheduling//Proceedings of the 2014 IEEE 20th International Conference on Embedded and Real-Time Computing Systems and Applications. Chongqing, China, 2014, (014): 1-9
- [119] Jalili M, Sarbazi-Azad H. Captopril: Reducing the pressure of bit flips on hot locations in non-volatile main memories//Proceedings of the 2016 Design, Automation & Test in Europe Conference & Exhibition. Dresden, Germany, 2016: 1116-1119
- [120] Yu Licheng, Chen Tianzhou, Wu Jianzhong. A software-hardware collaborating framework for wear leveling on phase change memory//Proceedings of the 2012 IEEE 14th International Conference on High Performance Computing and Communication & 2012 IEEE 9th International Conference on Embedded Software and Systems. Washington, USA, 2012: 1360-1367
- [121] Khouzani H A, Xue Y, Yang C, et al. Prolonging PCM lifetime through energy-efficient, segment-aware, and wear-resistant page allocation//Proceedings of the 2014 International Symposium on Low Power Electronics and Design. La Jolla, USA, 2014: 327-330
- [122] Sha H M, Long L, Liu D, et al. A compiler assisted wear leveling for morphable PCM in embedded systems. Journal of Systems Architecture, 2016, 71(C): 32-43
- [123] Jingtong Hu, Mimi Xie, Chen Pan, et al. Low overhead software wear leveling for hybrid PCM+DRAM main memory on embedded systems. IEEE Transactions on Very Large Scale Integration Systems, 2015, 23(4): 654-663
- [124] Hu J, Zhuge Q, Xue C J, et al. Software enabled wear-leveling for hybrid PCM main memory on embedded systems//Proceedings of the Design, Automation & Test in Europe Conference & Exhibition. Grenoble, France, 2013: 599-602
- [125] Long Linbo, Liu Dou, Hu Jingtong, et al. A space-based wear leveling for PCM-based embedded systems//Proceedings of the 2013 IEEE 19th International Conference on Embedded and Real-Time Computing Systems and Applications. Taipei, China, 2013: 145-148
- [126] Hu Jingtong, Xue Chun Jason, Zhuge Qingfeng, et al. Write activity reduction on non-volatile main memories for embedded chip multiprocessors. ACM Transactions on Embedded Computing Systems, 2013, 12(3): 1-27



HE Yan-Xiang, born in 1952, Ph.D., professor, Ph.D. supervisor. His research interests include trusted software, distributed parallel processing and high performance computing.

CHEN Mu-Chao, born in 1980, Ph.D. candidate, senior experimentalist. His research interests include trusted software, compilation optimization and embedded system.

LI Qing-An, born in 1986, Ph.D., associate professor. His research interests include compilation optimization and embedded system.

HE Jing (Selena), born in 1977, Ph.D., assistant professor. Her research interests include wireless networking and mobile computing, social network analysis and big data analysis on clouds.

SHEN Fan-Fan, born in 1987, Ph.D. candidate. His research interests include trusted software, computer architecture and storage system.

SHUAI Zi-Qi, born in 1994, M.S. candidate. His research interests include compilation optimization and embedded system.

XU Chao, born in 1980, Ph.D., associate professor. His research interests include trusted software, embedded system and computer audit.

Background

Over the past few decades, memory technology scaling has provided many benefits, including increased density and capacity and reduced cost. Scaling has provided these benefits for conventional technologies, such as DRAM, but now scaling is in jeopardy. Various non-volatile memory technologies have been emerged to replace it in memory hierarchy. Among these technologies, Phase Change Random Access Memory (PCRAM) is a promising technology for main memory due to its near-zero leakage power, higher density and non-volatility. However, its major drawbacks, including limited write durance, have prevented its usage as a drop-in replacement of DRAM technology. Because of uneven write distribution, PCRAM is highly likely to have early failures, which can spread over the chip space and leave the entire chip unusable. To address these critical issues, some representative PCRAM wear leveling techniques are proposed by researchers, from both hardware layer and software layer, respectively. The hardware assisted wear leveling techniques can be divided into three categories according to the granularity: memory page level, memory block/region level and storage line level. On the other hand, the software assisted wear leveling techniques do not need to be modify the hardware. The software assisted wear leveling techniques can be divided into two levels: operating system level and compiler level. On the basis of analyzing and summarizing the current research situation, we discussed advantages and disadvantages of these techniques and briefly discussed the directions of further research, and thus could be reference work for the next step of this field.

This research is funded by the NSFC project “Wear Leveling Method for Phase-change Memory Based on Compiler Technology” under Grant No. 61502346 which mainly solves the issues on calling transformation and dispersion transformation of spilling code to ease the uneven writes on stack. This paper is supported by the NSFC project “Key Techniques of High Throughput Many-Core Microarchitecture for Big Data Computing” under Grant No. 61462004 which as well focuses on several issues of the storage system and on-chip network on many-core processor. This paper is supported by the National Natural Science Foundation of China (NSFC) project “Research on Theory and Methods of Green Compiler for Green Embedded Systems” under Grant No. 61373039 which aims at power optimization of embedded systems via a special green compiler framework. This paper is supported by the NSFC project “Research on Embedded Software Reliability Strengthening Method Based on Compiler Technology” under Grant No. 61640220 which mainly solves the issues on software reliability strengthening method in embedded systems. In addition, this research is also supported by the National Natural Science Foundation of China project “Performance Optimization Methods Research on General-Purpose Graphic Processing Unit Based on Thread Scheduling” under Grant No. 61662002 and the Science & Technology Project of the Education Department in Jiangxi Province “Study on Thread Scheduling Optimization Methods of GPGPU” under Grant No. GJJ150605, which aim at the system performance optimization of GPGPU including its memory subsystem via thread scheduling.