

基于差错传播概率矩阵的时序电路

软错误可靠性评估

蔡烁^{1),2)} 邝继顺¹⁾ 张亮¹⁾ 刘铁桥¹⁾ 王伟征²⁾

¹⁾(湖南大学 信息科学与工程学院, 长沙 410082)

²⁾(长沙理工大学 计算机与通信工程学院, 长沙 410004)

摘要: 在深亚微米及纳米级集成电路设计过程中, 电路的可靠性评估是非常重要的一个环节。本文提出了一种基于差错传播概率矩阵 (Error Propagation Probability Matrix, EPPM) 的时序电路软错误可靠性评估方法, 先将逻辑门和触发器在当前时钟周期对差错的传播概率用四种 EPPM 表示, 再利用自定义的矩阵并积运算计算多周期情况下的差错传播概率, 最后结合二项分布的特点计算时序电路的可靠性。用 ISCAS'89 基准电路为对象进行实验, 结果表明所提方法是准确和有效的。

关键字: 软错误; 时序电路; 差错传播概率矩阵; 并积运算; 二项分布

中图分类号: TN406

Reliability Estimation for Soft Error of Sequential Circuit Based on Error Propagation Probability Matrix

CAI Shuo^{1),2)}, KUANG Ji-shun¹⁾, Zhang Liang¹⁾, LIU Tie-qiao¹⁾, WANG Wei-zheng²⁾

¹⁾(Department of Information Science and Engineering, Hunan University, Changsha 410082)

²⁾(Department of Computer and Communication Engineering, Changsha University of Science and Technology, Changsha 410004)

Abstract: Reliability estimation of logical circuit is becoming an important feature in the design process of deep submicron and nanoscale systems. In this paper, a reliability estimation method for soft error of sequential circuit based on EPPM is proposed. The error propagation probability of logic gates and flip-flops in current clock cycle is represented with four EPPMs, then the error propagation probability in multicycle is calculated by customized matrix union operation. Considering the characteristics of the binomial distribution, the reliability of sequential circuit is estimated. Experimental results on ISCAS'89 benchmark circuits show that our method is accurate and efficient.

Key words: Soft Error; Sequential Circuit; Error Propagation Probability Matrix; Union Operation; Binomial Distribution

1 引言

随着半导体技术的不断发展, 超大规模集成电路 (VLSI) 的密度越来越大, 软错误对电路的影响也日趋严重。集成电路软错误是一种对电路硬件本身没有破坏性的瞬态逻辑错误, 由于芯片的阈值电

压降低, 晶体管数量呈指数增长, 导致设计对辐射变得敏感, 软错误率也随之急剧上升^[1,2]。准确评估软错误影响下逻辑电路的可靠性可辅助容错设计, 是可靠性研究亟需解决的一个重要问题。

本课题得到国家自然科学基金 (No.61303042; 60773207)、湖南省教育厅科研基金 (No.14C0028) 资助。蔡烁, 男, 1982 年生, 博士研究生, 讲师, 主要研究领域为电路可靠性评估、容错计算, E-mail: csustcs4002@163.com。邝继顺, 男, 1959 年生, 博士, 教授, 博士生导师, CCF 会员 (E200005331S), 主要研究领域为容错计算、嵌入式系统, E-mail: jshkuang@hotmail.com。张亮, 男, 1989 年生, 硕士研究生, CCF 会员 (E200036638G), 主要研究领域为容错计算、数字电路测试, E-mail: zldry@qq.com。刘铁桥, 男, 1983 年生, 博士, 主要研究领域为容错计算、数字电路测试, CCF 会员 (E200036625G) E-mail: tieqiao120@163.com。王伟征, 男, 1984 年生, 博士, 讲师, 主要研究领域为容错计算、低功耗测试, E-mail: greaquer_w@yeah.net

对数字 VLSI 进行模型化描述,按抽象级别由高到低可分为行为级、寄存器传输级(RTL)、逻辑级和晶体管级等。目前,人们研究可靠性评估方法主要集中在电路逻辑级或更高的级别,通过模拟或故障注入的方法分析信号或电路的可靠性。由于逻辑电路在某些情况下对故障具有屏蔽作用,作为瞬时故障的软错误并非一定会导致电路输出错误结果,因此,合理的方法是通过建立概率模型评估逻辑电路的可靠性。

对于组合电路,人们提出的概率转移矩阵(Probabilistic Transfer Matrix, PTM)方法能够在门级精确计算软错误对电路可靠性的影响,但由于时空开销太大,该方法又适合于中小规模电路^[3,4];在 PTM 方法的基础上,文献[5~7]引入了电路划分的思想,采用近似算法,计算规模更大的电路,在降低计算复杂度的同时也损失了准确性。在时序电路可靠性评估方面, Mahdavi 和 Mohammadi 使用时序电路多阶段(Multiple-Pass, MP)计算方法,通过迭代方式评估电路的可靠度,该方法由于人为假设反馈信号对电路的影响因子而损失了评估结果的精度^[8];文献[9,10]提出基于马尔科夫链理论和基于二元决策图的符号模型方法评估时序电路可靠性,但对模拟的时钟周期数有限制;文献[11,12]提出了时序电路的概率差错模型,利用动态贝叶斯网络计算电路输出端的平均出错概率,该方法假设触发器为理想部件,在一定程度上影响了评估结果的准确性;文献[13]说明了评估组合电路时常用的 PTM 方法不能直接用于时序电路的可靠性评估,并提出将时序电路转化为组合电路,采用迭代计算的方法评估其可靠性;文献[14]将待评估时序电路划分为输出逻辑模块和次态逻辑模块,再利用时序电路 PTM 计算模型得到整个电路的 PTM,最后根据输入信号的概率分布计算出时序电路的可靠度,但该方法也难以评估规模较大的电路。文献[15]提出了一种基于立方运算的差错传播概率(cube-based EPP)分析方法,通过前向和后向两次遍历电路,即可计算出组合逻辑部分的 EPP,再将扩展内涵的 EPP 通过矩阵自乘运算后作为时序电路的 EPP,并用于指导 FPGA 的布局布线过程,该方法显著缩短了时序电路 EPP 的计算时间,不足之处是计算组合逻辑部分 EPP 时没有充分考虑到信号相关性的影响,且概率矩阵的自乘运算不能准确描述时序电路中存在的反馈特征。

本文提出一种基于 EPPM 的时序电路软错误可

靠性评估方法。该方法同时考虑了逻辑门和触发器受软错误的影响,将它们对差错的传播概率分别用四种 EPPM 表示,利用自定义的矩阵并积运算计算时序电路 EPP,再结合二项分布特点评估时序电路工作在多个时钟周期下的可靠性。相比其他方法,本方法的计算结果更准确,且能适用于更大规模的电路。

本文第 2 节介绍用到的基本定义和 EPPM 的并积运算;第 3 节提出基于 EPPM 的时序电路可靠性评估方法;第 4 节是实验及分析;最后得出结论。

2 相关研究

2.1 时序电路可靠度

图 1 是一个典型的同步时序电路框图,它由组合逻辑电路和存储电路(触发器组)构成。原始输入(PIs)和触发器组的输出(也称为伪原始输入 PPIs)作为组合逻辑部分的输入;原始输出(POs)和触发器组的输入(也称为伪原始输出 PPOs)作为组合逻辑部分的输出。

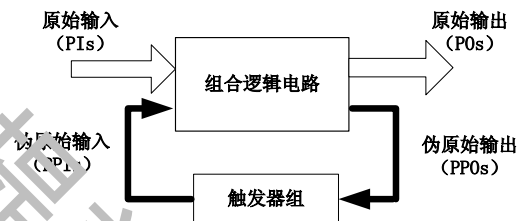


图 1 典型同步时序电路框图

软错误可能导致电路单元(逻辑门或触发器)的输出逻辑值发生跳变,将这样的跳变称为差错。时序电路的可靠性可用时序电路可靠度 $R(SC)$ 度量, $R(SC)$ 定义为在 PIs 和 PPIs 的激励下, POs 为正确逻辑值的概率。由于时序电路中的差错有可能需经过若干个时钟周期才传到 POs,所以需考虑多时钟周期的情况。

2.2 差错传播概率矩阵

以下定义都是针对包含 m 个逻辑门和 n 个触发器的同步时序逻辑电路。

定义 1 设时序电路的逻辑门 GT_i 发生差错且在当前时钟周期将该差错传到任一 PO (或多个 POs) 的条件概率为 $P(PO|GT_i)$, 则 $EPPM_{GT-PO}$ 定义为 $m \times 1$ 的列向量 $[P(PO|GT_1) \quad P(PO|GT_2) \quad \cdots \quad P(PO|GT_m)]^T$;

定义 2 设时序电路的逻辑门 GT_i 发生差错且在当前时钟周期将该差错传到触发器 FF_j 输入端的

条件概率为 $P(\text{FF}_j|\text{GT}_i)$ ，则 $EPPM_{\text{GT-FF}}$ 定义为 $m \times n$ 的矩阵

$$\begin{bmatrix} P(\text{FF}_1|\text{GT}_1) & P(\text{FF}_2|\text{GT}_1) & \dots & P(\text{FF}_n|\text{GT}_1) \\ P(\text{FF}_1|\text{GT}_2) & P(\text{FF}_2|\text{GT}_2) & \dots & P(\text{FF}_n|\text{GT}_2) \\ \dots & \dots & \dots & \dots \\ P(\text{FF}_1|\text{GT}_m) & P(\text{FF}_2|\text{GT}_m) & \dots & P(\text{FF}_n|\text{GT}_m) \end{bmatrix};$$

定义 3 设时序电路的触发器 FF_i 发生差错且在当前时钟周期将该差错传到触发器 FF_j 输入端的条件概率为 $P(\text{FF}_j|\text{FF}_i)$ ，则 $EPPM_{\text{FF-FF}}$ 定义为 $n \times n$ 的方阵

$$\begin{bmatrix} P(\text{FF}_1|\text{FF}_1) & P(\text{FF}_2|\text{FF}_1) & \dots & P(\text{FF}_n|\text{FF}_1) \\ P(\text{FF}_1|\text{FF}_2) & P(\text{FF}_2|\text{FF}_2) & \dots & P(\text{FF}_n|\text{FF}_2) \\ \dots & \dots & \dots & \dots \\ P(\text{FF}_1|\text{FF}_n) & P(\text{FF}_2|\text{FF}_n) & \dots & P(\text{FF}_n|\text{FF}_n) \end{bmatrix};$$

定义 4 设时序电路的触发器 FF_i 发生差错且在当前时钟周期将该差错传到任一 PO（或多个 POs）的条件概率为 $P(\text{PO}|\text{FF}_i)$ ，则 $EPPM_{\text{FF-PO}}$ 定义为 $n \times 1$ 的列向量 $[P(\text{PO}|\text{FF}_1) \quad P(\text{PO}|\text{FF}_2) \quad \dots \quad P(\text{PO}|\text{FF}_n)]^T$ 。

对给定的时序电路，以上 EPPM 中的每个元素都可以看成是组合逻辑部分的 EPP，它们可通过多种方法计算得到。本文采用的方法是对每个电路单元分别注入差错并随机加载多个激励向量，然后模拟电路的运行，并将 POs 的逻辑值与该输入向量作用时的正常输出值比较，统计出四个 EPPM 中的所有元素值。该方法的优点是：简单易行；采用并行模拟的方式耗时少；且由于逻辑模拟充分考虑了电路中的扇出重汇聚结构所引发的信号相关性以及 POs 之间的相关性影响，计算结果相比其他方法所得结果更准确。另外，为了描述时序电路中信号的反馈特性，本文利用自定义的矩阵并积运算将组合部分 EPP 转化为时序电路的 EPP。

2.3 矩阵的并积运算

定义 5 定义矩阵的并积运算符为 ‘ \cup ’，若矩阵 M 与 N 进行并积运算，则要求 M 的列数等于 N 的行数，且 M 和 N 的所有元素 m_{ij} 和 n_{ij} 都是概率值，满足 $0 \leq m_{ij}, n_{ij} \leq 1$ 。运算规则描述为：若

$$M_{r \times s} = \begin{bmatrix} m_{11} & m_{12} & \dots & m_{1j} & \dots & m_{1s} \\ m_{21} & m_{22} & \dots & m_{2j} & \dots & m_{2s} \\ \dots & \dots & \dots & \dots & \dots & \dots \\ m_{i1} & m_{i2} & \dots & m_{ij} & \dots & m_{is} \\ \dots & \dots & \dots & \dots & \dots & \dots \\ m_{r1} & m_{r2} & \dots & m_{rj} & \dots & m_{rs} \end{bmatrix},$$

$$N_{s \times t} = \begin{bmatrix} n_{11} & n_{12} & \dots & n_{1j} & \dots & n_{1t} \\ n_{21} & n_{22} & \dots & n_{2j} & \dots & n_{2t} \\ \dots & \dots & \dots & \dots & \dots & \dots \\ n_{i1} & n_{i2} & \dots & n_{ij} & \dots & n_{it} \\ \dots & \dots & \dots & \dots & \dots & \dots \\ n_{s1} & n_{s2} & \dots & n_{sj} & \dots & n_{st} \end{bmatrix},$$

则 $M_{r \times s} \cup N_{s \times t} =$

$$L_{r \times t} = \begin{bmatrix} l_{11} & l_{12} & \dots & l_{1j} & \dots & l_{1t} \\ l_{21} & l_{22} & \dots & l_{2j} & \dots & l_{2t} \\ \dots & \dots & \dots & \dots & \dots & \dots \\ l_{i1} & l_{i2} & \dots & l_{ij} & \dots & l_{it} \\ \dots & \dots & \dots & \dots & \dots & \dots \\ l_{r1} & l_{r2} & \dots & l_{rj} & \dots & l_{rt} \end{bmatrix},$$

且

$$\begin{aligned} l_{ij} &= 1 - (1 - m_{i1}n_{1j})(1 - m_{i2}n_{2j}) \dots (1 - m_{is}n_{sj}) \\ &= 1 - \prod_{k=1}^s (1 - m_{ik}n_{kj}) = \sum_{u=1}^s m_{iu}n_{uj} - \sum_{1 \leq u < v \leq s} (m_{iu}n_{uj})(m_{iv}n_{vj}) + \\ &\quad \sum_{1 \leq u < v < w \leq s} (m_{iu}n_{uj})(m_{iv}n_{vj})(m_{iw}n_{wj}) + \dots + \\ &\quad (-1)^{s-1} (m_{i1}n_{1j})(m_{i2}n_{2j}) \dots (m_{is}n_{sj}), \quad (1 \leq i \leq r, 1 \leq j \leq t). \end{aligned}$$

定义 6 类似于矩阵的幂运算，若 M 为方阵，则定义基于并积的幂运算为：

$$M^{\bar{k}} = M \cup M \cup \dots \cup M \quad (\text{共 } k \text{ 个 } M).$$

3 时序电路可靠度评估方法

3.1 逻辑门的差错分析

定理 1 在软错误的影下，若时序电路的第 i 个逻辑门发生差错，该差错在 c 个时钟周期后（以发生差错的时刻为当前时钟周期，或第 0 个时钟周期）传播到 POs 而引起电路故障的概率为 $P^c(\text{PO}|\text{GT}_i)$ ，则 $P^c(\text{PO}|\text{GT}_i)$ 为

$$EPPM_{\text{GT-FF}} \cup (EPPM_{\text{FF-FF}})^{c-1} \cup EPPM_{\text{FF-PO}} \text{ 的第 } i \text{ 行元素。}$$

证明：若电路的第 i 个逻辑门在 0 时刻发生差

错，该差错可在当前时钟周期内传到任一触发器 FF_j ，并在下一个时钟周期由 FF_j 将该差错传到 POs，即：

$P^1(\text{PO}|\text{GT}_i) = P(\text{GT}_i \text{ 的差错经 } \text{FF}_1 \text{ 传至 } \text{POs} \cup \text{GT}_i \text{ 的差错经 } \text{FF}_2 \text{ 传至 } \text{POs} \cup \dots \cup \text{GT}_i \text{ 的差错经 } \text{FF}_n \text{ 传至}$

$$POs) = 1 - [1 - P(\text{FF}_1 | \text{GT}_i)P(\text{PO} | \text{FF}_1)] \times$$

$$[1 - P(\text{FF}_2 | \text{GT}_i)P(\text{PO} | \text{FF}_2)] \times \dots \times$$

$$[1 - P(\text{FF}_n | \text{GT}_i)P(\text{PO} | \text{FF}_n)]$$

$$= 1 - \prod_{j=1}^n [1 - P(\text{FF}_j | \text{GT}_i)P(\text{PO} | \text{FF}_j)]$$

$$= EPPM_{\text{GT-FF}} \cup EPPM_{\text{FF-PO}} \text{ 的第 } i \text{ 行元素；}$$

该差错还可当前时钟周期内传到任一触发器 FF_j ，在一个时钟周期后由 FF_j 传到 FF_k ，并在第 2 个时钟周期后由 FF_k 传至 POs ，用 $P^1(\text{FF}_1 | \text{GT}_i)$ ， $P^1(\text{FF}_2 | \text{GT}_i)$ ， \dots ， $P^1(\text{FF}_n | \text{GT}_i)$ 分别表示在 GT_i 发生差错的一个时钟周期后，该差错传至 FF_1 ， FF_2 ， \dots ， FF_n 的概率，则 $P^1(\text{FF}_j | \text{GT}_i)$ 正好是

$EPPM_{\text{GT-FF}} \cup EPPM_{\text{FF-FF}}$ 的第 i 行，第 j 列元素；而

$$P^2(\text{PO} | \text{GT}_i) = 1 - [1 - P^1(\text{FF}_1 | \text{GT}_i)P(\text{PO} | \text{FF}_1)] \times$$

$$[1 - P^1(\text{FF}_2 | \text{GT}_i)P(\text{PO} | \text{FF}_2)] \times \dots \times$$

$$[1 - P^1(\text{FF}_n | \text{GT}_i)P(\text{PO} | \text{FF}_n)]$$

$$= 1 - \prod_{j=1}^n [1 - P^1(\text{FF}_j | \text{GT}_i)P(\text{PO} | \text{FF}_j)]$$

$$= EPPM_{\text{GT-FF}} \cup EPPM_{\text{FF-FF}} \cup EPPM_{\text{FF-PO}} \text{ 的第 } i \text{ 行元}$$

素；

同理，可用 $P^2(\text{FF}_1 | \text{GT}_i)$ ， $P^2(\text{FF}_2 | \text{GT}_i)$ ， \dots ， $P^2(\text{FF}_n | \text{GT}_i)$ 分别表示在 GT_i 发生差错的两个时钟周期后，该差错传至 FF_1 ， FF_2 ， \dots ， FF_n 的概率，由归纳法可知，

$P^c(\text{PO} | \text{GT}_i)$ 为 $EPPM_{\text{GT-FF}} \cup EPPM_{\text{FF-FF}}^{c-1} \cup EPPM_{\text{FF-PO}}$ 的第 i 行元素，证毕。

3.2 触发器的差错分析

定理 2 在软错误的影响下，若时序电路的第 i 个触发器发生差错，该差错在 c 个时钟周期后传播到 POs 而引起电路故障的概率为 $P^c(\text{PO} | \text{FF}_i)$ ，则

$P^c(\text{PO} | \text{FF}_i)$ 为 $(EPPM_{\text{FF-FF}})^c \cup EPPM_{\text{FF-PO}}$ 的第 i 行元素。

证明：若电路的第 i 个触发器在 0 时刻发生差

错，该差错可在当前时钟周期内传到任一触发器 FF_j ，并在下一个时钟周期由 FF_j 将该差错传到 POs ，即： $P^1(\text{PO} | \text{FF}_i) = P(\text{FF}_i \text{ 的差错经 } \text{FF}_1 \text{ 传至 } \text{POs} \cup \text{FF}_i \text{ 的差错经 } \text{FF}_2 \text{ 传至 } \text{POs} \cup \dots \cup \text{FF}_i \text{ 的差错经 } \text{FF}_n \text{ 传至 } \text{POs})$

$$= 1 - [1 - P(\text{FF}_1 | \text{FF}_i)P(\text{PO} | \text{FF}_1)] \times$$

$$[1 - P(\text{FF}_2 | \text{FF}_i)P(\text{PO} | \text{FF}_2)] \times \dots \times$$

$$[1 - P(\text{FF}_n | \text{FF}_i)P(\text{PO} | \text{FF}_n)]$$

$$= 1 - \prod_{j=1}^n [1 - P(\text{FF}_j | \text{FF}_i)P(\text{PO} | \text{FF}_j)]$$

$$= EPPM_{\text{FF-FF}} \cup EPPM_{\text{FF-PO}} \text{ 的第 } i \text{ 行元素；}$$

该差错还可当前时钟周期内传到任一触发器 FF_j ，在一个时钟周期后由 FF_j 传到 FF_k ，并在第 2 个时钟周期后由 FF_k 传至 POs ，用 $P^1(\text{FF}_1 | \text{FF}_i)$ ， $P^1(\text{FF}_2 | \text{FF}_i)$ ， \dots ， $P^1(\text{FF}_n | \text{FF}_i)$ 分别表示在 FF_i 发生差错的一个时钟周期后，该差错传至 FF_1 ， FF_2 ， \dots ， FF_n 的概率，则 $P^1(\text{FF}_j | \text{FF}_i)$ 正好是 $(EPPM_{\text{FF-FF}})^2$ 的第 i 行，第 j 列元素；而

$$P^2(\text{PO} | \text{FF}_i) = 1 - [1 - P^1(\text{FF}_1 | \text{FF}_i)P(\text{PO} | \text{FF}_1)] \times$$

$$[1 - P^1(\text{FF}_2 | \text{FF}_i)P(\text{PO} | \text{FF}_2)] \times \dots \times$$

$$[1 - P^1(\text{FF}_n | \text{FF}_i)P(\text{PO} | \text{FF}_n)]$$

$$= 1 - \prod_{j=1}^n [1 - P^1(\text{FF}_j | \text{FF}_i)P(\text{PO} | \text{FF}_j)]$$

$$= EPPM_{\text{FF-FF}}^2 \cup EPPM_{\text{FF-PO}} \text{ 的第 } i \text{ 行元素。}$$

由归纳法可知，

$$P^c(\text{PO} | \text{FF}_i) \text{ 为 } EPPM_{\text{FF-FF}}^{c-1} \cup EPPM_{\text{FF-PO}} \text{ 的第 } i \text{ 行元}$$

素，证毕。

3.3 时序电路可靠度计算

时序电路可靠度 $R(\text{SC})$ 可表示为：

$$R(\text{SC}) = \sum_{\text{对所有的 } X} p(X) p(Y = \text{正确逻辑值} | X) \quad (1)$$

上式中, X 和 Y 分别表示施加至电路的输入向量 (包括 PIs 和 PPIs) 和电路的输出向量 (POs); $p(X)$ 是输入向量为 X 的概率; $p(Y=\text{正确逻辑值}|X)$ 表示当输入向量为 X 时, 输出正确的概率, 这是一个条件概率。对于包含 q 个输入 (即 PIs 和 PPIs 的总数为 q) 的电路, 需考虑的输入向量数为 2^q 个, $R(\text{SC})$ 又可表示为:

$$R(\text{SC}) = \sum_{w=0}^{2^q-1} p(X_w) p(Y = \text{正确逻辑值} | X_w) \quad (2)$$

其中, X_w 表示第 w 个输入向量, 该向量为 w 的 q 位二进制编码表示。例如, 若 $q=5$ 、 $w=15$, 则 $X_{15}=01111$ 。假设所有输入向量出现的概率相同, 即 $p(X)=1/2^q$, 则有:

$$R(\text{SC}) = \frac{1}{2^q} \sum_{w=0}^{2^q-1} p(Y = \text{正确逻辑值} | X_w) \quad (3)$$

在软错误的影响下, 电路中每个单元都有可能发生差错。假定所有逻辑门和触发器输出正确与否是相互独立的, 且每个逻辑门 (触发器) 发生差错的概率都为 f_{GT} (f_{FF})。若电路中的逻辑门和触发器数分别为 m 和 n , 用向量 $\text{GT}=(g_1 \ g_2 \ \dots \ g_m)$ 和 $\text{FF}=(f_1 \ f_2 \ \dots \ f_n)$ 分别表示所有逻辑门和触发器的状态, 其中, g_i (f_j) = 0 或 1, $i=1, 2, \dots, m$; $j=1, 2, \dots, n$ 。 g_i (f_j) = 0 表示第 i 个逻辑门 (第 j 个触发器) 处于正常状态; g_i (f_j) = 1 表示第 i 个逻辑门 (第 j 个触发器) 发生差错。 $\text{GT}_m(k)$ 表示总共 m 位的向量 GT 中含有 k 个 1, 即电路有 k 个逻辑门同时发生差错; 同样, $\text{FF}_n(k)$ 表示总共 n 位的向量 FF 中含有 k 个 1, 说明电路有 k 个触发器同时发生差错。

由于故障存在屏蔽效应, 即使有逻辑单元发生差错, 电路仍然可能得到正确的输出结果。本文考虑的是三种屏蔽效应中影响最大的逻辑屏蔽效应^[16]。定义符号 ‘ \odot ’ 用于比较两个向量是否相等: $Y_i \odot Y_j = 1$ 当且仅当 Y_i 和 Y_j 等长且各位对应相等。由于逻辑门和触发器的处理方式相似, 为方便描述, 下文仅以逻辑门发生差错为例说明本方法。若施加至电路的输入向量为 X_w , 且有 k 个逻辑门发生差错, 此时电路还能正常输出需满足的条件是:

$$Y(\text{GT}_m(k); X_w) \odot Y(\text{GT}_m(0); X_w) = 1 \quad (4)$$

这说明电路中逻辑门的差错被屏蔽了, 并没有传到原始输出端。

根据 k 值的不同, 可用(5)式表示仅受逻辑门影响而评估得到的电路可靠度 $R_{\text{GT}}(\text{SC})$:

$$R_{\text{GT}}(\text{SC}) = \sum_{i=0}^m P(k=i) P(Y = \text{正确逻辑值} | k=i) \quad (5)$$

上式 $P(k=i)$ 是指发生差错的逻辑门数为 i 的概率, $P(Y=\text{正确逻辑值}|k=i)$ 表示在 i 个门出错的情况下, 输出仍然正确的概率, 此时假设所有触发器都是正常的逻辑单元。将(2)、(3)式代入(5)式:

$$\begin{aligned} R_{\text{GT}}(\text{SC}) &= \sum_{i=0}^m P(k=i) P(Y = \text{正确逻辑值} | k=i) \\ &= \sum_{i=0}^m P(k=i) \sum_{w=0}^{2^q-1} P(X_w) P(Y = \text{正确逻辑值} | X_w; k=i) \end{aligned}$$

上式中 $P(Y=\text{正确逻辑值}|X_w; k=i)$ 表示输入向量为 X_w 且有 i 个逻辑门发生差错时电路输出仍然正确的概率。引入(4)式的表示方法, 同时考虑到总共 m 个逻辑门中有 i 个发生差错的组合数为 C_i^m , 用

$Y(\text{GT}_m(i); j; X_w)$ ($j=1, 2, \dots, C_i^m$) 表示输入向量为 X_w 且有 i 个逻辑门出错的其中一种组合情况对应的输出。继续对上式进行变换:

$$\begin{aligned} R_{\text{GT}}(\text{SC}) &= \sum_{i=0}^m P(k=i) \sum_{w=0}^{2^q-1} P(X_w) \frac{1}{C_i^m} \sum_{j=1}^{C_i^m} \\ &\quad Y(\text{GT}_m(i); j; X_w) \odot Y(\text{GT}_m(0); X_w) \\ &= \frac{1}{2^q} \sum_{i=0}^m P(k=i) \sum_{w=0}^{2^q-1} \frac{1}{C_i^m} \sum_{j=1}^{C_i^m} \\ &\quad Y(\text{GT}_m(i); j; X_w) \odot Y(\text{GT}_m(0); X_w) \quad (6) \end{aligned}$$

在各个逻辑门相互独立, 且都以相同的概率 f_{GT} 发生差错的前提下, $P(k=i)$ 满足二项分布, 用公式(7)表示为:

$$P(k=i) = C_i^m f_{\text{GT}}^i (1-f_{\text{GT}})^{m-i} \quad (7)$$

将(7)式代入(6)式, 得到:

$$\begin{aligned} R_{\text{GT}}(\text{SC}) &= \sum_{i=0}^m C_i^m f_{\text{GT}}^i (1-f_{\text{GT}})^{m-i} \cdot \frac{1}{2^q} \sum_{w=0}^{2^q-1} \frac{1}{C_i^m} \sum_{j=1}^{C_i^m} \\ &\quad Y(\text{GT}_m(i); j; X_w) \odot Y(\text{GT}_m(0); X_w) \\ &= \sum_{i=0}^m C_i^m f_{\text{GT}}^i (1-f_{\text{GT}})^{m-i} \cdot T_i(\text{GT}) \quad (8) \end{aligned}$$

其中, $T_i(\text{GT})$ 表示发生差错的逻辑门数 $k=i$ 时, 电路的输出仍然正确的概率, 因此 $T_i(\text{GT}) \in [0, 1]$ 。经类似分析还可得到如果仅受触发器差错的影响, 电路可靠度

$$R_{\text{FF}}(\text{SC}) = \sum_{i=0}^n C_i^n f_{\text{FF}}^i (1-f_{\text{FF}})^{n-i} \cdot T_i(\text{FF}) \quad (9)$$

上式中的 $T_i(\text{FF})$ 是指发生差错的触发器数 $k=i$

时，电路仍然能正确输出的概率。

本方法同时考虑逻辑门和触发器发生差错对电路可靠度的影响，将 $R_{GT}(SC)$ 与 $R_{FF}(SC)$ 的乘积作为时序电路的可靠度，即：

$$R(SC) = R_{GT}(SC) \times R_{FF}(SC) \quad (10)$$

对公式(8)进行改写：

$$R_{GT}(SC) = C_0^m f_{GT}^0 (1 - f_{GT})^m \cdot T_0(GT) + \sum_{i=1}^m C_i^m f_{GT}^i (1 - f_{GT})^{m-i} \cdot T_i(GT) = (1 - f_{GT})^m + \sum_{i=1}^m C_i^m f_{GT}^i (1 - f_{GT})^{m-i} \cdot T_i(GT) \quad (11)$$

将(11)式后半部分看作 i 阶 ($i = 1, 2, \dots, m$) 分量之和。在 f_{GT} 较小的情况下，2 阶及更高阶分量的系数 $P(k=i)$ 很小。定义

$$R_{GT_PE}(SC) = (1 - f_{GT})^m + P(k=1) \times T_1(GT) \quad (12)$$

为 $R_{GT}(SC)$ 的悲观值，此时忽略了 2 阶及更高阶分量，认为当出现两个或更多逻辑门发生差错时，电路必定发生故障；另一种极端情况是将 $T_i(GT)$ ($i \geq 2$) 全部当成 1 处理，定义 $R_{GT}(SC)$ 的乐观值 $R_{GT_OP}(SC)$

$$= (1 - f_{GT})^m + P(k=1) \times T_1(GT) + \sum_{i=2}^m P(k=i) \times 1, \quad \text{考}$$

虑到 $\sum_{i=0}^m P(k=i) = 1$ ，所以

$$R_{GT_OP}(SC) = 1 - (1 - T_1(GT)) \times P(k=1) \quad (13)$$

这里认为当两个或更多逻辑门发生差错时，电路仍能正常输出。此时得到的可靠度结果是最乐观的，但实际可能并不会发生。

与此类似，将 $R_{FF_PE}(SC)$ 和 $R_{FF_OP}(SC)$ 定义为 $R_{FF}(SC)$ 的悲观值与乐观值。即：

$$R_{FF_PE}(SC) = (1 - f_{FF})^n + P(k=1) \times T_1(FF) \quad (14)$$

$$R_{FF_OP}(SC) = 1 - (1 - T_1(FF)) \times P(k=1) \quad (15)$$

根据 EPPM 的定义和定理 1、定理 2 的描述，式(12~15)中的待求量 $T_1(GT)$ 与 $T_1(FF)$ 可表示为：

$$T_1(GT) = \sum_{i=1}^m [1 - P(PO | GT_i)] \prod_{j=1}^s [1 - P^j(PO | GT_i)] / m \quad (16)$$

$$T_1(FF) = \sum_{i=1}^n [1 - P(PO | FF_i)] \prod_{j=1}^t [1 - P^j(PO | FF_i)] / n \quad (17)$$

其中， s 和 t 分别表示 $\prod_j [1 - P^j(PO | GT_i)]$ 和

$\prod_j [1 - P^j(PO | FF_i)]$ 收敛时对应的周期数。本文第 4

部分的实验结果表明，电路的 s 和 t 值相差很小，可近似认为相同。这里，若用 $S_{EPP}(GT)$ 表示逻辑门发生差错时的时序电路 EPP，则

$$S_{EPP}(GT) = 1 - T_1(GT) \quad (18)$$

同样，用 $S_{EPP}(FF)$ 表示触发器发生差错时的时序电路 EPP，则

$$S_{EPP}(FF) = 1 - T_1(FF) \quad (19)$$

综合(12~15)式，分别用 $R_{PE}(SC)$ 和 $R_{OP}(SC)$ 表示时序电路可靠度的悲观结果与乐观结果：

$$R_{PE}(SC) = R_{GT_PE}(SC) \times R_{FF_PE}(SC) \quad (20)$$

$$R_{OP}(SC) = R_{GT_OP}(SC) \times R_{FF_OP}(SC) \quad (21)$$

4 实验结果及分析

4.1 时序电路 EPP 计算方法比较

文献[15]提出了基于立方运算的时序电路 EPP 计算方法。本文所提方法在评估时序电路可靠度的过程中，同样计算了电路的 EPP；而另一种计算时序电路 EPP 的方法为 Monte Carlo 模拟。表 1 列出了 3 种方法计算时序电路 EPP 的时间复杂度：

表 1 计算时序电路 EPP 的时间复杂度比较

计算方法	时间复杂度
cube-based EPP	$O((c \cdot C_{\text{avg}})^2 \times (m+n) \times c \times n^3)$
Monte Carlo 模拟	$O(N^c \times (m+n))$
本文方法	$O((N_{\text{part}} \times (m, n) \times c \times n^2))$

表 1 中的 m 、 n 和 c 分别表示时序电路的逻辑门数、触发器数和计算的时钟周期数； N 表示完备空间的输入向量数，即对于包含 q 个输入的电路， $N = 2^q$ 。 C_{avg} 表示全体向量数与经无关位压缩后的向量数的比值，即压缩倍数^[15]； N_{part} 是本方法计算组合逻辑 EPP 时施加的输入向量数，下标“part”表明所施激励有可能不是完备空间。由上述结果可知，由于要模拟 c 个时钟周期的情况，且每次都施加完备输入向量集，所以 Monte Carlo 方法最耗时，

当然该方法的计算结果也最准确；cube-based EPP方法的复杂性与本文方法相比，取决于 $(N/C_{avg})^2$ 与 N_{part} 的大小关系。对于不含查找表(Look Up Table, LUT)结构的逻辑电路，若将 N/C_{avg} 的值控制在100左右，则与之具有近似复杂度的本方法的 N_{part} 值为10000，在此条件下比较这两种方法计算结果的准确性，如表2所示：

表2 两种时序电路EPP计算方法的结果比较

电路	RE-To-MC (%)	
	cube-based EPP方法	本文方法
S27	0.004	0.001
S298	0.013	0.018
S526	0.058	0.042
S832	0.065	0.036
S1488	0.065	0.052
S1494	0.076	0.047
平均	0.054	0.03

表2所列的实验电路为ISCAS'89中的6个电路，这些电路不包含LUT。RE-To-MC是指参与比较的两种方法对时序电路EPP的计算结果与Monte Carlo方法计算结果的相对误差，即：

$RE-To-MC = \frac{\text{该方法的计算结果} - \text{Monte Carlo方法的计算结果}}{\text{Monte Carlo方法的计算结果}} \times 100\%$

实验中的时钟周期 c 为收敛值，本文后面的实验列出了各电路的收敛周期数。表2所示结果表明基于立方运算的方法与文本方法计算的时序电路EPP相差并不大。前者的误差来源于采用分析方法求差错的控制立方覆盖和传播立方覆盖时，不能完全消除由扇出重汇聚引发的信号相关性影响，而利用概率矩阵自乘的方式计算多时钟周期的EPP也有失准确性；本文方法的误差来源于计算组合逻辑EPP(即EPPM的元素值)时，采用的模拟向量并非完备空间，从而损失了部分精度。实际上，对于规模较大的电路，基于立方运算的方法同样无法使用完备输入向量空间。

4.2 时序电路可靠度结果

计算时序电路可靠度的实验采用ISCAS'89中的15个电路。在PC(Intel@Core(TM) i3-2310M CPU@2.10GHz, 2GB内存)上，用C++实现了基于EPPM的时序电路软错误可靠性评估方法。具体步骤是：1. 对实验电路每个逻辑单元轮流注入差错，随机施加与之相适数量的测试向量并模拟得到

其响应，与该向量激励下的正常响应值比较，统计得到四类EPPM的全部元素值；2. 按矩阵的并积运算规则计算多时钟周期的 $T_1(GT)$ 与 $T_1(FF)$ ，直至这两个值趋于定值，并记录收敛时的周期数；3. 依据本文3.3节所列公式计算各实验电路的 $R_{PE}(SC)$ 和 $R_{OP}(SC)$ ，在两者相差不大的情况下，用其平均值表示 $R(SC)$ 。实验结果如表3所示：

表3列出了两种不同条件下的电路可靠度，条件分别是 $f_{GT}=1e-5$ ； $f_{FF}=1.33e-5$ 和 $f_{GT}=1e-6$ ； $f_{FF}=6.70e-6$ 。 f_{GT} 取值为 $1e-5$ 或 $1e-6$ 与当前CMOS技术的水平相适应；而 f_{FF} 的值是根据 f_{GT} 的取值并利用Monte Carlo方法模拟得到的结果，具有较高的准确度^[8,17]。为了得到准确的EPPM，对于规模较大的电路，实验施加的激励向量数也较多。如需进一步节省时间，还可减少测试向量数目，得到的结果与大样本向量空间的计算结果相差并不大。分析表3的结果可知：1. 电路规模越大，可靠度很可能越小，同时 $R_{PE}(SC)$ 与 $R_{OP}(SC)$ 的差别越大，这是符合实际情况的；2. f_{GT} 越小， $R_{PE}(SC)$ 与 $R_{OP}(SC)$ 相差越小，平均后的结果更接近真实情况。

图2描述了4个实验电路可靠度收敛的情况。根据图示曲线及表3中收敛周期的数据可知：电路的可靠度随时钟周期的增加会不断减小，直至收敛于某个值；不同电路的收敛情况不同，且收敛速度与电路规模没有明显的比例关系。

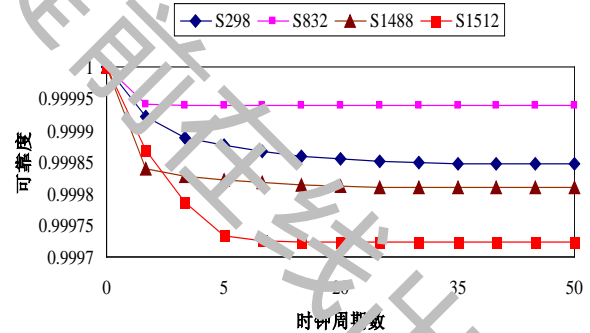


图2 部分实验电路可靠度收敛情况

4.3 可靠度评估方法的比较

在无法精确计算大规模电路可靠度的情况下，Monte Carlo模拟方法被认为能够提供最佳估计值。为了验证所提方法的准确性和有效性，将本方法和文献[8,11,12,14]所提方法的计算结果与Monte Carlo方法的结果进行了比较，结果如表4所示：

表3 ISCAS'89 实验电路可靠度

电路	电路组成		激励向 量数	可靠度 ($f_{GT}=1e-5; f_{FF}=1.33e-5$)			可靠度 ($f_{GT}=1e-6; f_{FF}=6.70e-6$)			收敛 周期
	m	n		$R_{PE}(SC)$	$R_{OP}(SC)$	$R(SC)$	$R_{PE}(SC)$	$R_{OP}(SC)$	$R(SC)$	
S27	10	3	16,000	0.9999461	0.9999461	0.9999461	0.9999913	0.9999913	0.9999913	8~12
S298	119	14	32,000	0.9991885	0.9991892	0.9991889	0.9998464	0.9998464	0.9998464	50~55
S344	160	15	64,000	0.9996128	0.9996141	0.9996135	0.9999023	0.9999023	0.9999023	160~165
S444	181	21	64,000	0.9990035	0.9990051	0.9990043	0.9998110	0.9998110	0.9998110	60~65
S526	193	21	64,000	0.9988110	0.9988129	0.9988120	0.9997878	0.9997878	0.9997878	50~55
S832	287	5	80,000	0.9995622	0.9995663	0.9995643	0.9999382	0.9999383	0.9999383	8~12
S1488	653	6	160,000	0.9984747	0.9984959	0.9984853	0.9998102	0.9998104	0.9998103	30~35
S1494	647	5	160,000	0.9985511	0.9985719	0.9985615	0.9998302	0.9998304	0.9998303	8~12
S1512	780	57	160,000	0.9981960	0.9982265	0.9982113	0.9997238	0.9997241	0.9997240	20~25
S3271	1572	116	200,000	0.9857505	0.9858737	0.9858121	0.9979457	0.9979473	0.9979465	8~12
S3330	1789	132	200,000	0.9891977	0.9893570	0.9892774	0.9984348	0.9984368	0.9984358	150~155
S5378	2779	179	640,000	0.9722667	0.9726075	0.9724171	0.9962722	0.9962768	0.9962745	80~85
S9234	5597	228	640,000	0.9547973	0.9513060	0.9505516	0.9937010	0.9937178	0.9937094	120~125
S15850	9772	597	960,000	0.9110663	0.9130298	0.9120481	0.9914856	0.9915696	0.9915276	110~115
S38584	19253	1452	960,000	0.8762235	0.8799771	0.8784063	0.9878530	0.9883575	0.9881053	130~135

针对表4所列的7个实验电路,4种方法(依据表4所列顺序,分别记为方法1、方法2、方法3和方法4)的结果与Monte Carlo方法结果相比,相对误差的均值分别为 $\gamma_1=1.65e-3$, $\gamma_2=1.55e-4$, $\gamma_3=1.07e-4$, $\gamma_4=5.75e-5$;而相对误差的方差分别为 $\delta_1=1.08e-5$, $\delta_2=4.93e-8$, $\delta_3=2.76e-8$, $\delta_4=1.69e-8$ 。可知本方法相比其他3种方法所得结果更准确。

图3描述了各种时序电路可靠度评估方法的时间开销:

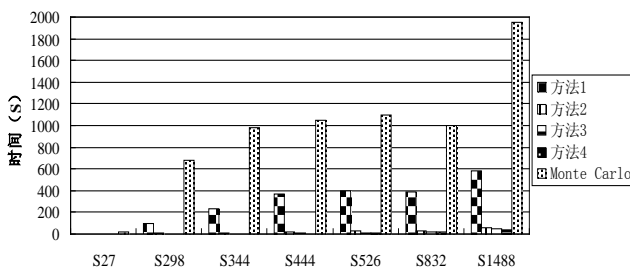


图3 多种可靠度评估方法的时间开销比较

从图3所示实验结果可知, Monte Carlo方法最耗时,方法1次之,方法2与方法3的耗时相对较少,但仍无法计算大规模电路(参考文献计算的最

大规模电路为S1488)。本方法(方法4)最耗时的部分是EPPM的获取过程,由于采用并行模拟策略,大大缩短了计算时间;而随着时钟周期数的增加,需要重复进行的是矩阵的并积运算,其复杂度等同于矩阵乘法运算的复杂度,并不会随着电路规模的增大呈指数级增长。因此,相比其他几种方法,本方法能适用于更大规模电路的可靠度评估。

5 结束语

本文提出了一种基于EPPM的时序电路软错误可靠性评估方法。该方法将逻辑门和触发器对差错的传播概率用四种EPPM表示,利用矩阵的并积运算并结合二项分布特点计算时序电路在多个时钟周期下的可靠度。以ISCAS'89基准电路为对象,通过实验验证了本方法的准确性和有效性。下一步的研究工作是在本方法的基础上同时考虑电气屏蔽效应和时钟窗口屏蔽效应的影响。

表 4 多种时序电路可靠度评估方法的结果比较

电路	可靠度 $R(SC)$ ($f_{GT}=1e-6$)				
	文献[11,12]方法	文献[8]方法	文献[14]方法	本文方法	Monte Carlo 方法
S27	0.9999913	0.9999929	0.9999921	0.9999913	0.9999916
S298	0.9978874	0.9997181	0.9997768	0.9998464	0.9999219
S344	0.9995287	0.9997453	0.9997428	0.9999023	0.9999396
S444	0.9985865	0.9996963	0.9998277	0.9998110	0.9999311
S526	0.9972030	0.9997089	0.9997809	0.9997878	0.9999198
S132	0.9987756	0.9997536	0.9998164	0.9999383	0.9999432
S1488	0.9959077	0.9998279	0.9998123	0.9998103	0.9997782

参考文献:

- [1] Ziegler J F, Curtis R J, et al. LDM experiments in soft fails in computer electronics (1978-1994). *IEEE Journal of Research and Development*. 1996, 40(1): 3-18.
- [2] Shivakumar P, Kistler M, Keckler S W, et al. Modeling the effect of technology trends on the soft error rate of combinational logic. *Proceedings of the International Conference on Dependable Systems Networks*, Washington, D.C., USA, 2002: 389-398.
- [3] Krishnaswamy S, Viamontes G F, Markov I L, et al. Accurate reliability evaluation and enhancement via probabilistic transfer matrices. *Proceeding of the Design, Automation and Test in Europe Conference and Exhibition*, Munich, Germany, 2005: 282-287.
- [4] Patel K N, Hayes J P, and Markov I L. Evaluating circuit reliability under probabilistic gate-level fault models. *International Workshop on Logic and Synthesis*, California, USA, 2003: 59-64.
- [5] Wang Z., Jiang J. H., et al. Parallel processing of the probabilistic transfer matrix based circuits reliability calculation. *Journal of Chinese Computer Systems*, 2008, 29(2):357-360(in Chinese)
(王真, 江建慧, 沈君华等. 基于概率转移矩阵的电路可靠性并行计算方法. *小型微型计算机系统*. 2008, 29(2): 357-360.)
- [6] Wang Z., Jiang J. H. A serial method of circuit reliability calculation based on probabilistic transfer matrix. *ACTA ELECTRONICA SINICA*, 2009,37(2):241-247(in Chinese)
(王真, 江建慧. 基于概率转移矩阵的串行电路可靠度计算方法. *电子学报*. 2009, 37(2): 241-247.)
- [7] Jie Xiao, Jianhui Jiang, Xuguang Zhu, et al. A method of gate-level circuit reliability estimation based on iterative PTM model. *Dependable Computing (PRDC)*, IEEE 17th Pacific Rim International Symposium, Pasadena, California, USA, 12-14, Dec. 2011. 276-277.
- [8] Seyyed Mahdavi S J, Mohammadi K. SCRAP: Sequential circuits reliability analysis program. *Microelectronics Reliability*, 2009, 49(8): 924-933.
- [9] Miskov-Zivanov N, Marculescu D. MARS-S: modeling and reduction of soft errors in sequential circuits//*Proceedings of the 8th International Symposium on Quality Electronic Design*. San Jose, CA, USA, 2007: 893-898.
- [10] M Z Natasa, D Marculescu. Modeling and optimization for soft-error reliability of sequential circuits. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2008,27(5):803-816.
- [11] Karthikeyan, Lingasubramanian, and S Bhanja. Probabilistic error modeling for sequential logic. *Proceedings of the 7th IEEE International Conference on Nanotechnology*, Hong Kong SAR, China, 2007:616-620.
- [12] Lingasubramanian K, Bhanja S. An error model to study the behavior of transient errors in sequential circuits//*Proceedings of the 22nd International Conference on VLSI Design*. New Delhi, India, 2009: 485-490.
- [13] K Mo, arnadi, H Jahani-rad, P Attarsharghi, et al. Fast reliability analysis method for sequential logic circuits. *21st International Conference on Systems Engineering*, Las Vegas, Nevada, USA, 2011:352-356.
- [14] Ouyang C.T., Jiang J. H. Reliability estimation of sequential circuit based on probabilistic transfer matrices. *ACTA ELECTRONICA SINICA*, 2013,41(1):171-177(in Chinese)
(欧阳城添, 江建慧. 基于概率转移矩阵的时序电路可靠度估计方法. *电子学报*, 2013, 41(1):171-177.)
- [15] Keheng Huang, Yu Hu, Xiaowei Li. Reliability-Oriented Placement and Routing Algorithm for SRAM-Based FPGAs. *IEEE Transactions on Very Large Scale Integration Systems*. 2014, 22(2):256-269.
- [16] S.Buchner, M.Baze, D.Brown, et at. Comparison of Error Rates in Combinational and Sequential Logic. *IEEE Transactions on Nuclear Science*. 1997, 44(6):2209-2216.
- [17] C Ouyang, J Jiang, J Xiao. Reliability evaluation of flip-flops based on probabilistic transfer matrices. *Proceedings of the 2010 IEEE 16th Pacific Rim International Symposium on Dependable Computing*. Tokyo, Japan, 2010: 239-240.



Cai Shuo, born in 1982. Ph.D. candidate, lecturer. His main research interests include reliability evaluation, fault-tolerant computing.

Kuang Jishun, born in 1959. Ph.D., professor. His main research interests include fault-tolerant computing, embedded

system.

Zhang Liang, born in 1989. M.S. candidate. His main research interests include fault-tolerant computing, digital circuits testing.

Liu Tiejiao, born in 1982. Ph.D. His main research interests include fault-tolerant computing, digital circuits testing.

Wang Weizheng, born in 1984. Ph.D. lecturer. His main research interests include fault-tolerant computing, low power testing.

Research Background

The development of VLSI technology brings more challenges to the aspect of reliability. When high energy particles hit semiconductor materials, the created charge will be collected by the sensitive area of the transistor. If the charge is enough, the single event effects that result from charge collection will temporarily change the logic value of the node, causing a soft error. Soft errors arise from single event upsets(SEU), which are caused by energetic particles, especially by neutrons and alpha particles. With the upgrading of integrated circuits(IC) technology, the soft errors have become a major factor in the reliability of the circuit.

To meet the reliability requirements, reliability estimation of logic circuits is necessary. The use of matrix representation for circuit reliability was presented at first. Several methods such as Probability Transfer Matrix(PTM), Signal Probability Reliability(SPR) and Multi Pass SPR(SPR-MP) have been developed to achieve such reliability estimation. However, these methods can only be used for combinational circuits.

In sequential circuit the error occurred in a particular clock cycle will be propagated to consecutive cycles thereby making the device volatile. Any method that can estimate the reliability of sequential circuit should handle both spatial dependencies between nodes in a single clock cycle and temporal dependencies between nodes of different clock cycles.

Compared to the number of methods proposed for calculating reliability of combinational circuits, sequential circuits have received less attention. One method that calculates the probability of latching the error in the sequential circuit in the clock cycles following the particle hit was proposed by Asidi. The author assumed that hits can only happen at flip-flops(FFs) and then, based on this assumption, find the error probability at each output due to each flip-flop hit. This analysis excludes cases where the gates of the combinational logic are hit. In some other papers, a graphical probabilistic model based on Bayesian Networks(BN) was proposed. The author intended to model the sequential logic into a Dynamic Bayesian Network(DBN). However, the flip-flops were considered to be fault-free in this work. N Miskov-Zivanov developed a symbolic modeling framework based on binary decision diagrams(BDDs) and algebraic decision diagrams(ADDs) to analyze the reliability of combinational circuits. This method can be extended to solve the soft error reliability analysis of the sequential circuits by using the circuit unrolling. S J S Mahdavi proposed an approach called ‘Sequential Circuit Multiple-Pass(SC-MP)’ combined gate failure probability with the propagated errors to calculate the reliability of every nodes of the circuit in an iterative manner. OuYang and Jiang proposed a method for reliability estimation of sequential circuits based on PTM(S-PTM). The limitation of these methods is that they are either inapplicable to large scale circuit because of combinatorial explosion or inaccurate in the general case.

This paper proposes a reliability estimation method for soft error of sequential circuit based on EPPM(Error Propagation Probability Matrix). The error propagation probability of logic gates and flip-flops in current clock cycle is represented with four EPPMs, then the error propagation probability in multicycle is calculated by customized matrix union operation. Considering the characteristics of the binomial distribution, the reliability of sequential circuit is estimated. Experimental results on ISCAS’89 benchmark circuits show that our method is more accurate and efficient compared with existing methods.

This work is supported by the National Natural Science Foundation of China(NSFC) under grant No.61303042 and 60773207.